

文章编号: 0253-2239(2006)03-0403-6

一种高性能硅片曝光场分布优化算法*

何 乐^{1,2} 王向朝¹

1 中国科学院上海光学精密机械研究所信息光学实验室, 上海 201800
2 中国科学院研究生院, 北京 100039

摘要: 以提高光刻机应用性能为目的, 提出了一种高性能硅片曝光场分布优化算法。由芯片尺寸计算得到最佳曝光场尺寸, 使其最接近于光刻机提供的曝光场最大尺寸, 提高了曝光系统的利用率; 引入曝光场交错分布, 减少了硅片边缘曝光场的交叠, 提高了光刻产率; 建立产率优先和良率优先两种优化方案, 实现了产率和良率的共优。以实际芯片产品的参量为例, 将本算法用于曝光过程, 采用产率优先标准, 曝光场数量减少了 10%, 而内场数量基本不变, 提高了光刻的产率也确保了良率; 采用良率优先标准, 内场数量增长了 10%, 总的场数也有所减少, 提高了光刻良率的可靠性也确保了产率。

关键词: 激光技术; 光刻技术; 曝光场分布; 寻优算法; 产率; 良率

中图分类号: TN305.7 文献标识码: A

High Performance Optimization Algorithm for Determining Wafer Exposure Field Layout

He Le^{1,2} Wang Xiangzhao¹

1 Information Optics Research Laboratories, Institute of Optics and Fine Mechanics, The Chinese Academy of Sciences, Shanghai 201800
2 Graduate School of the Chinese Academy of Sciences, Beijing 100039

Abstract: A high performance algorithm to optimize the wafer exposure field layout is presented to improve the lithographic machine performance. The size of the best exposure field is calculated from the size of the chip, extremely close to the maximum size of the exposure field of the lithographic machine, so the utilization ratio of exposure system is increased. The offset layout of the exposure field is implemented to decrease the overlap of exposure fields in edge area of the wafer, which increases the lithography throughput. With the adoption of two optimization criterions, throughput prior and yield prior, the exposure field layout is optimized for both throughput and yield. And the algorithm is used in the exposure process in a wafer fabrication laboratory, with the throughput prior criterion, and the practical viability of this approach is validated while taking the parameters of the chip production as the example. The overlap of the exposure field decreases by 10%, while the number of inner fields keeps steady. For the yield prior criterion the overlap of inner field increases by 10%, while the total number of exposure fields decrease accordingly and the chip's throughput and yield are enhanced.

Key words: laser technology; lithography; layout of exposure field; optimization algorithm; throughput; yield

1 引 言

微光刻技术广泛使用微细加工领域, 已成为集成电路制造业的核心技术之一。光刻设备工作时, 每次曝光的矩形区域称为曝光场。硅片表面由若干曝光场覆盖, 每个曝光场内可包含若干芯片。如果曝光场完全位于硅片范围内, 定义为内场; 部分位于硅片内,

定义为交接场。合理安排曝光场与硅片表面芯片阵列的组合关系, 将直接影响芯片曝光的产率和良率^[1,2]。将曝光场看作是一个芯片, 利用 Ferris Prabhu 提出的单硅片芯片最大分布数的近似表达式^[3], 可得到单硅片内场的最大分布数。遗憾的是, 该表达式只能计算内场数且无法给出位置信息。当

*国家 863 计划(2002AA4Z3000)资助课题。

作者简介: 何 乐(1978~), 男, 江苏镇江人, 中国科学院上海光学精密机械研究所博士研究生, 主要从事光刻模型、设备优化算法开发等方面的研究。E-mail: hele0511@siom.ac.cn

收稿日期: 2005-03-23; 收到修改稿日期: 2005-06-03

考虑交接场时,必须借助于其他几何手段计算上述内场分布的位置信息,进而外推得到所有交接场。许多光刻优化软件借助这一思路优化了曝光场分布。该类方法计算量大,多次浮点计算的累积误差对套刻精度影响较大。同时该类方法对曝光产率的考虑也较少。Cher Fu Chien^[4,5]在前人的基础上,根据曝光场与芯片的关系,通过改变曝光场阵列与硅片中心的相对位置,以最大芯片数为寻优条件,迭代计算曝光场的优化分布,提出了产率优化的设想。该方法寻优结果是得到一个满足硅片表面的芯片最大分布的曝光场分布。然而,由于曝光场相对尺寸较大,芯片处于最大分布时,所对应的曝光场分布并不唯一。因此不经过其他优化手段很难得到曝光场的进一步优化。此外,以上方法均未考虑曝光场交错分布时的优化。

本文提出一种新的曝光场分布优化算法。以确定芯片布局为基础,研究覆盖该芯片布局的曝光场分布,考虑了曝光场尺寸对产率的影响,并引入了曝光场交错分布模式,提出了产率优先和良率优先两种曝光场优化标准,改善了光刻产率和良率。

2 优化规划原理

2.1 曝光场的交错分布

光刻设备以曝光场作为基本曝光单位,按照一定的次序进行曝光以完成对硅片的加工,如图 1(a)所示,图中硅片上的小矩形为曝光场,边框为实线的是内场,虚线的是交接场。当前光刻设备的主流技术是步进-扫描构架,如图 1(b)所示,工件台、掩模台在曝光过程中以固定的速度比例同步反方向运动。工件台、掩模台及照明系统在控制系统的协调下,同步运作共同完成对硅片的曝光^[6-8]。

理论上,构成曝光场的四条直线相互独立,曝光场之间可任意存在水平或垂直向交错,如图 2 所示。

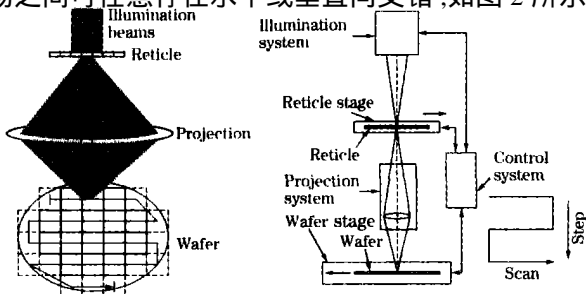


图 1 光刻实现的基本结构。(a) 硅片曝光, (b) 步进-扫描曝光体系

Fig. 1 Sketch of optical lithography. (a) Wafer exposure, (b) sketch of step and scan lithography

步进-扫描光刻设备上工件台运动具备 6 个自由度,曝光场可自由分布于工件台运动范围内的任何位置。当曝光场交错的偏移量为芯片数量的整数倍时,将不影响芯片的后期加工。此处引入曝光场交错分布,较目前采用的非交错分布模式,在设备运行角度具备同样的可行性和稳定性。

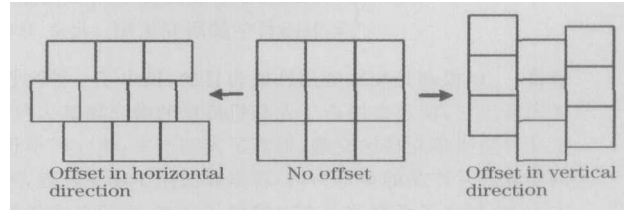


图 2 曝光场的交错分布

Fig. 2 Exposure field layout with offset in horizontal or vertical direction

2.2 曝光场分布的优化标准

光刻过程中,生产者关心的是产率和良率。单硅片曝光的时间越小,即曝光场越少,则获取的产率越大。单硅片的内场越多,则获取的良率越可靠。但是二者同时最优的可能性极小,故传统的曝光规划方法只取其一作为优化标准。此处提出一种分级优先的优化策略,将优化条件设为其中一个优先,另一个在前者基础上最优。

定义产率优先标准为:使整个硅片曝光场数最少,在此基础上满足内场数量最多。可表示为

$$\begin{cases} N_w(x_h, s_v) = \min[N_{wf}(S_H, S_V)], \\ N_I(s_{hb}, s_{vb}) = \max[N_I(s_h, s_v)], \\ N_T = N_w(s_{hb}, s_{vb}), \end{cases} \quad (1)$$

式中 \min 表示求最小值函数, \max 表示求最大值函数, S_H, S_V 与 s_h, s_v 为偏移的曝光场阵列中心与初始曝光场阵列中心在水平和垂直方向的偏移量,该偏移量为整数,以一个芯片为基本单位。 $N_{wf}(S_H, S_V)$ 为特定偏移量下曝光场的总数, $N_w(s_h, s_v)$ 为所有偏移量下曝光场总数最小的集合, $N_I(s_h, s_v)$ 为 $N_w(s_h, s_v)$ 对应的内场分布, s_{hb}, s_{vb} 为最佳偏移量, $N_I(s_{hb}, s_{vb}), N_w(s_{hb}, s_{vb})$ 为满足 $N_w(s_h, s_v)$ 条件下内场数最多的分布, N_T 为产率优化的结果。

定义良率优先标准为:使整个硅片内场数最多,在此基础上满足总的曝光场数最少。可表示为

$$\begin{cases} N_I(s_h, s_v) = \max[N_I(S_H, S_V)], \\ N_w(s_{hb}, s_{vb}) = \min[N_w(s_h, s_v)], \\ N_y = N_w(s_{hb}, s_{vb}), \end{cases} \quad (2)$$

式中 $N_I(S_H, S_V)$ 为特定偏移量下确定的曝光场内场数; $N_I(s_h, s_v)$ 为所有偏移量下曝光场内场数最大

的集合; $N_w(S_h, S_v)$ 为 $N_i(S_h, S_v)$ 对应的曝光场分布; $N_w(S_{hb}, S_{vb})$ 为满足 $N_w(S_h, S_v)$ 条件下, 总场数最小的分布; N_f 为产率优化的结果。

2.3 优化分布原理

对确定的芯片分布, 用矩阵记录为

$$M_c = \begin{bmatrix} i_{\min} & \dots & 0 & \dots & i_{\max} \\ j_{\min}(i_{\min}) & \dots & j_{\min}(0) & \dots & j_{\min}(i_{\max}) \\ j_{\max}(i_{\min}) & \dots & j_{\max}(0) & \dots & j_{\max}(i_{\max}) \end{bmatrix}, \quad \begin{matrix} i, j \\ Z \end{matrix} \quad (3)$$

式中 i_{\max} 、 i_{\min} 是最靠近水平轴处水平方向上芯片分布的整数序号上下限; $j_{\min}(i)$ 、 $j_{\max}(i)$ 是第 i 列芯片分布上的最小和最大垂向整数序号。可知, $j_{\max}(i) - j_{\min}(i) + 1$ 是第 i 列芯片的分布数, $\sum_{i=i_{\min}}^{i_{\max}} [j_{\max}(i) - j_{\min}(i) + 1]$ 为整个硅片上芯片分布的总数。

尽可能地使用光刻设备的最大曝光场将有助于产率的提高和良率的改善。根据这一思路以及曝光场与芯片的包含关系, 确定最佳曝光场尺寸和包含的芯片数如下:

$$\begin{cases} W = \text{floor}[W_{\max}/(d_x + h)] \times (d_x + h), \\ L = \text{floor}[L_{\max}/(d_y + h)] \times (d_y + h), \\ n_x = \text{floor}[W_{\max}/(d_x + h)], \\ n_y = \text{floor}[L_{\max}/(d_y + h)], \end{cases} \quad (4)$$

式中 floor 表示向下取整函数, 如 floor(3.14) = 3; L_{\max} 、 W_{\max} 为最大曝光场尺寸, d_x 、 d_y 为芯片尺寸, h 为芯片间的切割沟道。该结果使得曝光场内包含最多的芯片, 同时尺寸上接近于最大曝光场, 从而达到优化曝光场利用率的效果。

定义曝光场的最左和最右边界分别为 m_1 和 m_2 , 则可放置的曝光场列数是 $m_2 - m_1$ 。根据(3)式确定的 i_{\min} 、 i_{\max} , 得到 m_1 为 m_2 表达式:

$$\begin{cases} m_1 = - \text{ceil}\left[\frac{\lfloor i_{\min} \rfloor + S_H + 1}{n_x}\right] \\ m_2 = \text{ceil}\left[\frac{\lfloor i_{\min} \rfloor - S_H}{n_x}\right], \end{cases} \quad (5)$$

$S_H \quad [0, n_x]$

式中 ceil 表示向上取整函数, 如 ceil(3.14) = 4; n_x 、 n_y 分别为曝光场水平和垂直方向包含的芯片数。

定义由相邻曝光场列向边界确定的曝光场分布列的最下和最上边界分别为 m 和 n_2 。则如图 3 所示, 其中 field(J, k) 表示第 J 列曝光场中序号为 k 的曝光场, 由边界 $J - 1$ 和 J 构成曝光场列 Field(J) 包含的距离垂向坐标轴最近的芯片列分布 i_n ,

用于确定该曝光场列具有的场数, 则 $n_1(J)$ 和 $n_2(J)$ 表示如下:

$$\begin{cases} n_1(J) = - \text{ceil}\left[\frac{\lfloor j_{\min}(J, i_n) \rfloor + S_V(J) + 1}{n_y}\right], \\ n_2(J) = \text{ceil}\left[\frac{\lfloor j_{\min}(J, i_n) \rfloor - S_V(J)}{n_y}\right], \end{cases} \quad \begin{matrix} S_V(J) \\ [0, n_y] \end{matrix} \quad (6)$$

式中 $j_{\min}(J, i)$ 、 $j_{\max}(J, i)$ 为(3)式确定的第 i 列芯片分布的整数序号下上限, $S_V(J)$ 为第 J 曝光场列与初始曝光场列在垂直方向的偏移量, 以一个芯片为基本单位。该曝光场列内距离垂向坐标最远的芯片列分布 i_i , 用于确定该列的内场数, 该曝光场列内场分布的下、上限 n_1 和 n_2 表示如下:

$$\begin{cases} n_1(J) = - \text{floor}\left[\frac{\lfloor j_{\min}(J, i_n) \rfloor + S_V(J) + 1}{n_y}\right], \\ n_2(J) = \text{floor}\left[\frac{\lfloor j_{\min}(J, i_n) \rfloor - S_V(J)}{n_y}\right], \end{cases} \quad \begin{matrix} S_V(J) \\ [0, n_y] \end{matrix} \quad (7)$$

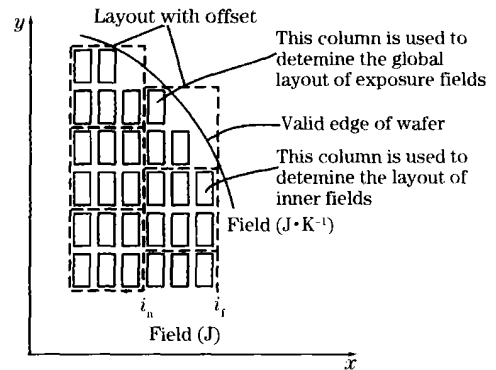


图 3 曝光场确定原理

Fig.3 Principle of determining exposure field

于是某个偏移量 (S_H, S_V) 下, 整个硅片表面曝光场的分布为

$$N_{wf}(S_H, S_V) = \sum_{J=m_1+1}^{m_2} [n_2(J) - n_1(J)], \quad (8)$$

其中内场数目为

$$N_{if}(S_H, S_V) = \sum_{J=m_1+1}^{m_2} [n_2(J) - n_1(J)], \quad (9)$$

对偏移量 S_H, S_V 在一定范围内迭代寻优, 选用文中提出的(1)式或(2)式优化标准, 得到不同的预期优化结果。

少数生产场合为提高产率, 会考察交接场内的芯片数。若某交接场内少于规定的芯片数, 则该场将不被曝光, 这里用曝光场饱和数表征该参量, 如图 4 所示, 曝光场饱和数设为 2。由(6)式、(7)式得到曝光场列 J 存在的交接场数为 $n_2 - n_2 + m - n_1$ 。由(3)式的

计算结果,得到每个交接场中包含的芯片数 E_c 为

$$E_c(k) = \begin{cases} \begin{matrix} i_f \\ i=i_n \end{matrix} \{ |j_{\max}(J, i)| - n_y \times [(|n_2| + k) + S_v] \}, & k = (0, \dots, n_2 - n_2 - 1) \\ \begin{matrix} i_f \\ i=i_n \end{matrix} \{ n_y \times (|n_1| + k) - S_v - |j_{\min}(J, i)| \}, & k = (0, \dots, n_1 - n_1 - 1) \end{cases} \quad (10)$$

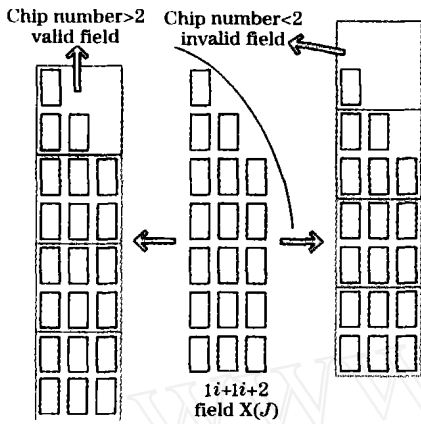


图 4 交接场有效性判断原理

Fig. 4 Principle of determining the validity of the edge field
如果 (10) 式结果小于曝光场饱和数,则该场设

为无效。

3 应用与分析

为验证上述算法比传统方法更有效,在光刻实验室针对直径 200 mm 和直径 300 mm 硅片进行了若干针对性实验。芯片原始数据来自晶圆代工厂以及互联网。以 Crusoe TM5800 芯片为例,芯片特征尺寸为 7.420 mm × 7.420 mm,切割槽宽为 0.100 mm,硅片直径为 200 mm,设置有效直径为 195 mm,曝光场最大尺寸为 24.000 mm × 38.000 mm,曝光场饱和数为 1。

采用光刻实验室现有 248 nm 光刻设备提供的软件工具,由工艺工程师设置以上参量并人为设置由 (4) 式计算得到最佳曝光场尺寸 22.560 mm ×

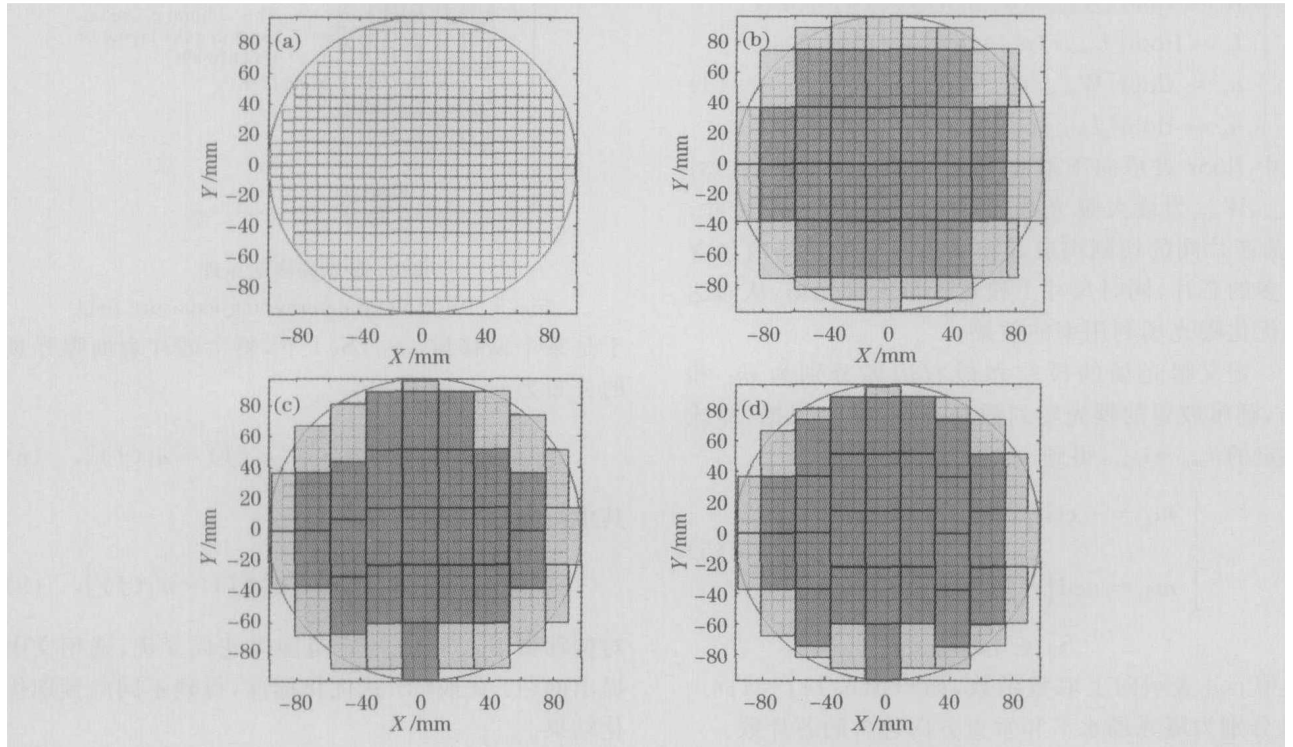


图 5 曝光场优化分布结果对比,其中深色表示内场,浅色的表示交接场的有用部分。现有光刻机工具优化的芯片布局(a)
现有光刻机工具优化的(b)本文产率优先标准优化的(c)和本文良率优先标准优化的(d)曝光场分布

Fig. 5 Contrast between different optimized exposure layouts, the fuscous is the inner field, and the undertone is the usable part of the edge field. Chip layout optimized by the existing lithography tool (a); exposure field layout optimized by the existing lithography tool (b), with throughput prior (c) and with yield prior (d)

37.600 mm。优化结果是:芯片数 496,曝光场数 44,其中内场 24,如图 5(a)、图 5(b)所示。根据图 5(a)所示芯片分布,应用本文所提算法,产率优先优化后曝光场数为 39,其中内场为 23;良率优先优化后曝光场数为 42,其中内场为 26。如图 5(c)和图 5(d)所示。

可见,利用本文提出的优化算法,对于相同的芯片分布,采用曝光场交错优化分布,在产率优先标准上,总的场数减少了 11.364%,有效地提高了曝光产率;在良率优先标准上,内场数量有了 8.330%的增长,对高集成度芯片的出片良率有显著的辅助作用。

表 1、表 2 和表 3 给出了一些芯片产品在现有

光刻设备上优化得到的分布,与本文提出算法应用到相同产品上的结果对比。结果表明,将本算法应用到各种芯片生产上,在硅片产出效益上具有明显的改善作用。利用产率优先标准,优化后内场数基本不变,而总的曝光场数相对减少了 10%,有效地提高了芯片产率。利用良率优先标准,内场数也有近 10%的增长,而总的曝光场数却相对减少,有效地提高了芯片生产良率的可靠性。根据不同的芯片生产要求,低集成度、特征尺寸较大的芯片生产可选用产率优先标准;高集成度、特征尺寸小的芯片生产可选用良率优先标准。

表 1 芯片产品特征参量

Table 1 Technological characteristics of different chip products

Product ID	Chip size / (mm ×mm)	Maximum size of exposure		Best size of exposure	
		field / (mm ×mm)		field / (mm ×mm)	
1	4.256 ×6.658	22.000 ×36.000		21.280 ×33.790	
2	6.789 ×7.608	22.000 ×36.000		20.667 ×30.832	
3	6.520 ×14.200	22.000 ×36.000		19.860 ×28.600	
4	9.130 ×10.220	24.000 ×38.000		18.460 ×30.960	
5	4.420 ×8.180	24.000 ×38.000		22.600 ×33.120	
6	10.720 ×5.550	24.000 ×38.000		21.640 ×33.300	

表 2 采用产率优先标准所得结果与传统方法比较

Table 2 Optimized results contrast between traditional method and throughput prior in this paper

Product ID	Chip number	Traditional method		Optimized method		Statistical Data	
		Field number	Inner field number	Field number	Inner field number	Decrease ratio of field number / %	Increase number of inner field
1	984	55	29	46	28	16.363	- 1
2	532	53	38	49	35	7.547	- 3
3	280	57	37	50	40	12.281	3
4	284	61	37	52	40	14.754	3
5	758	50	28	45	28	10.000	0
6	454	51	27	44	28	13.725	1

表 3 采用良率优先标准所得结果与传统方法比较

Table 3 Optimized results contrast between traditional method and yield prior in this paper

Product ID	Chip number	Traditional method		Optimized method		Statistical Data	
		Field number	Inner field number	Field number	Inner field number	Decrease number of field	Increase ratio of field number / %
1	984	55	29	50	32	5	10.345
2	532	53	38	53	39	0	2.631
3	280	57	37	53	43	4	16.216
4	284	61	37	54	42	7	13.514
5	758	50	28	50	32	0	14.286
6	454	51	27	48	32	3	18.519

本文所提出的算法在进行迭代优化时,其迭代次数取决于曝光场中所包含的芯片数目。由于该数目较小,因此总能够得到最优解。目前,计算机运算性能得到极大增强,利用该算法在 1s 内可得到最优解。将本文所提出的算法应用到光刻设备优化软件中将具有很好的可行性和可靠性。文中算法没有考虑不同尺寸芯片混合曝光的情况,从原理上来看对该算法再作更细一步的划分即可满足这一需求。下一步将考虑硅片表面缺陷分布对曝光良率的影响,进一步完善该算法。

4 结 论

本文综合考虑了曝光场利用率及其分布对芯片曝光阶段产率和良率的影响,提出了一种新的曝光场分布优化算法。应用结果表明,将本算法应用到各种芯片生产上,在硅片产出效益上具有明显的改善作用。引入曝光场交错分布,采用产率优先标准,在内场数基本不变的同时,曝光场数量有近 10% 的减少,提高了芯片生产的产率;采用良率优先标准,在总的曝光场数减小的同时,内场数有近 10% 的增长,提高了芯片生产良率的可靠性。

参 考 文 献

- 1 S. B. Sisler, J. P. Bonn, R. C. Whiteside. Steps per wafer reduction for photolithographic tool productivity improvement[C]. *Advanced Semiconductor Manufacturing Conference and Workshop, IEEE/SEMI*, 1997. 91~97
- 2 Henrik Sjöberg, Jean-Michel Chauvet, Jan Härkesjö *et al.*. Pattern accuracy and throughput optimization for an SLM-based 248-nm DUV laser mask pattern generator [C]. *Proc. SPIE*, 2004, **5446**: 632~642
- 3 Albert V. Ferris-Prabhu. An algebraic expression to count the number of chips on a wafer [J]. *IEEE Circuits and Devices Magazine*, 1989, **5**(1): 37~39
- 4 Chen-Fu Chien, Shao-Chung Hsu, Chin-Ping Chen. An iterative cutting procedure for determining the optimal wafer exposure pattern [J]. *IEEE Trans. Semiconductor Manufacture*, 1999, **12**(3): 375~377
- 5 Chen-Fu Chien, Shao-Chung Hsu, Jing-Feng Deng. A cutting algorithm for optimizing the wafer exposure pattern [J]. *IEEE Trans. Semiconductor Manufacture*, 2001, **14**(2): 157~162
- 6 Liu Dan, Cheng Zhaogu, Gao Haijun *et al.*. Process of wafer stage and reticle stage for step-and-scan-lithography system [J]. *Laser & Optoelectronics Progress*, 2003, **40**(5): 14~20 (in Chinese)
刘丹,程兆谷,高海军等. 步进扫描投影光刻机工件台和掩模台的进展 [J]. *激光与光电子学进展*, 2003, **40**(5): 14~20
- 7 Martin van den Brink, Hans Jasper, Steve Slonaker *et al.*. Step-and-scan and step-and-repeat, a technology comparison [C]. *SPIE Symposium on Microlithography*, 1996. 10~15
- 8 Naoto Sano, Kazuhiro Takahashi, Hitoshi Nakano *et al.*. 193 nm step and scan lithography [C]. *Proc. SPIE*, 2000, **4000**: 532~541