

反-逆混洗光电混合循环排序网

李 源 曹明翠 罗风光 陈清明

(华中理工大学激光技术国家重点实验室, 武汉 430074)

摘 要 提出了一种新型光电混合循环排序网络。排序网的互连级采用自由空间光学反-逆混洗 (Comega) 互连, 比较交换节点列阵采用硅互补金属-氧化物-半导体-自由光效应器件 (CMOS-SEED) 光电混合集成电路来实现。由于反-逆混洗多级网络各互连级完全相同, 该排序网络通过采用循环结构大大地简化系统所需的硬件。通过采用并行比较交换节点进一步提高了排序网络中比较操作的速度。

关键词 光计算, 光互连, 并行处理, 排序网络。

1 引 言

排序操作是计算以及交换系统中最重要的任务之一^[1, 2]。采用并行操作的排序网络是实现快速排序的有效途径。其中 Bitonic 排序网是一种具有较高排序效率和较低硬件复杂度的多级排序网络, 其互连级一般采用全混洗 (Perfect-Shuffle) 互连, 节点级由比较交换节点列阵组成。在信号速率不断提高的情况下, 排序网中的电子线互连存在的信号畸变、长时延、高功耗等缺点, 已成为限制排序网络的速度与规模进一步提高的因素。人们开始研究采用光互连的 Bitonic 排序网络, 目前出现的光电混合排序网, 其光学互连级一般仍采用的是全混洗互连^[3, 4]。自由空间光学反-逆混洗互连网络是一种新型的光学多级互连网络, 其互连级的光学实现简单, 易于制作成模块化的结构, 是一种性能较优的光学互连网络^[5]。本文研究了用反-逆混洗光互连来实现循环排序网络的方法, 并给出了一个 8 端口并行比较循环排序网的设计方案。

2 反-逆混洗多级排序网

光学反-逆混洗互连是采用一片处于 $4F$ 光学系统中的 1×2 的二位相光栅 (BPG) 来实现的, 所实现的互连关系如图 1 所示, 图中虚线表示采用 2×2 节点时被吸收掉的光线, 实线为有效互连光线。用反-逆混洗互连级把多级开关节点列阵连接起来, 即可得到多级反-逆混洗互连网络。

Bitonic 排序网络是最常见的一种排序网络, 图 2 是一个基于全混洗互连的 Bitonic 排序网络。它由比较交换节点级和连接这些节点级的全混洗互连级组成。网络中含有三种工作方

式的节点: 直通节点、向上比较交换节点和向下比较交换节点。直通节点把两输入数据直接传到对应输出端, 上输入端来的数据从上输出端输出, 下端输入的仍从下端输出。向上比较交换节点, 把两输入数据中较大的从上端输出, 较小的从下端输出。向下比较交换节点, 把两输入数据中较小的从上端输出, 较大的从下端输出。

要采用反-逆混洗网络来进行排序运算, 其节点级也须采用比较交换节点, 这就要确定网络中各级比较交换节点的工作方式。可以通过反-逆混洗网络与全混洗网络的拓扑等价来确定反-逆混洗网络中的比较节点的工作方式。采用图分析法^[6], 可得到 8 端口反-逆混洗网络与全混洗网络拓扑等价的一套逻辑名, 如图 3 所示, 然后按全混洗网络中逻辑名相同的比较节点的状态来设置反-逆混洗网络中的开关节点状态。

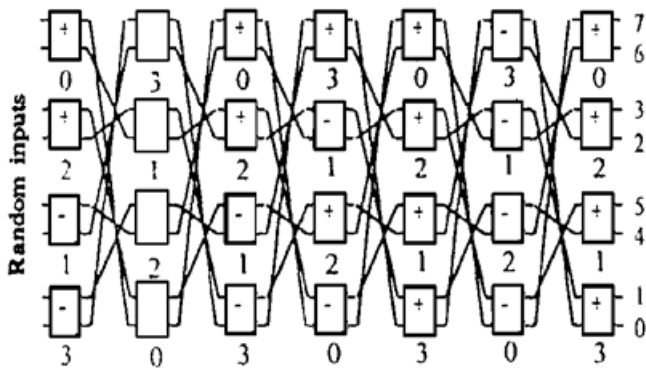


Fig. 2 Bitonic sorting network with the perfect-shuffle interconnection

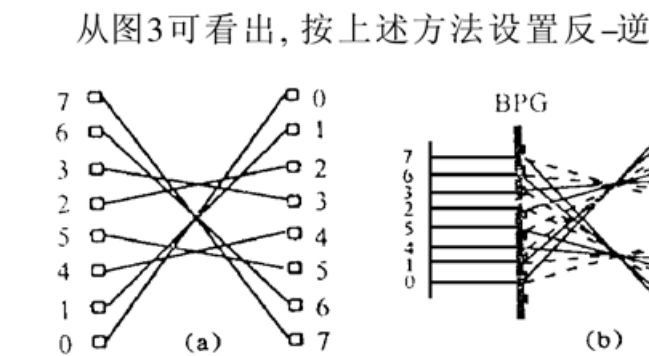


Fig. 4 Output stage of the sorting network. (a) Interconnection pattern, (b) Implementation scheme

在下面的讨论中可以看到, 由于输出级所用的位相光栅与实现反-逆混洗互连所用的光栅完全相同, 因此在采用循环网络结构时, 输出级的存在并不增加系统的硬件。

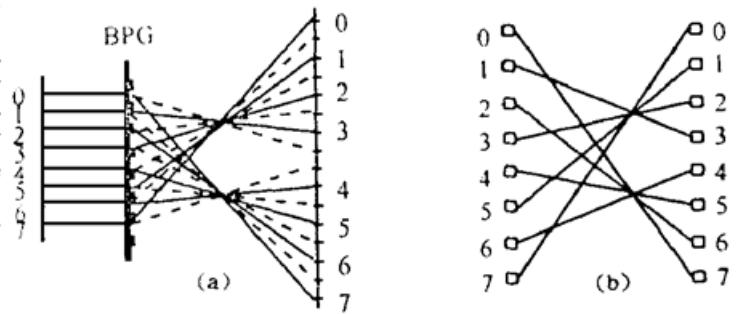


Fig. 1 Optical comega interconnection. (a) Implementation scheme, (b) Interconnection

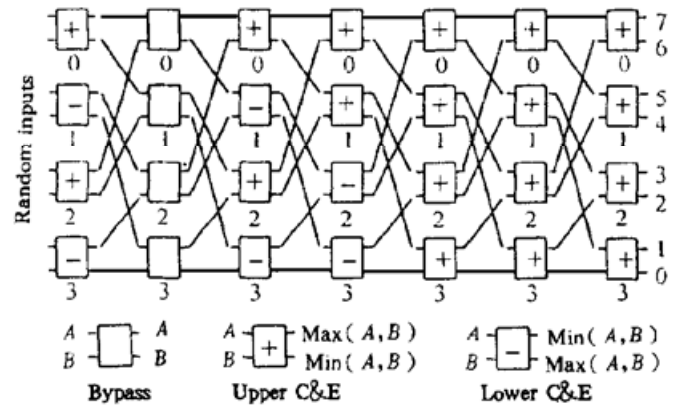


Fig. 3 Omega multi-stage sorting network

从图3可看出, 按上述方法设置反-逆混洗网络中的比较节点状态后, 任意的8个输入数据, 经过网络后将得到排列成(7, 6, 3, 2, 5, 4, 1, 0)的输出序列。为了把输出调整为从大到小的序列(7, 6, 5, 4, 3, 2, 1, 0), 可在反-逆混洗网络的输出一侧增加一级输出级, 输出级的互连关系如图 4(a) 所示。与反-逆混洗网络中的互连级相似, 输出互连级也可通过一片 1 分 2 的位相光栅来实现, 只是接收器件的窗口分布有所不同[如图 4(b) 所示], 因而对整个网络的硬件复杂性增加不大。

在下面的讨论中可以看到, 由于输出级所用的位相光栅与实现反-逆混洗互连所用的光栅完全相同, 因此在采用循环网络结构时, 输出级的存在并不增加系统的硬件。

3 循环网络结构

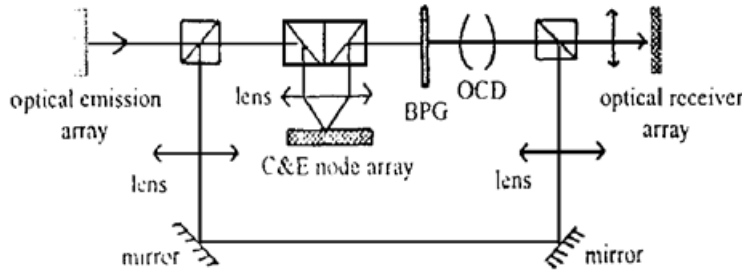


Fig. 5 Schematic of the Omega recirculating sorting network

上面得到的反-逆混洗多级排序网络与采用全混洗互连的Bitonic排序网所需的比较交换节点级数相同，为 $\log_2^2(N) - \log_2 N + 1$ 级。因此在并行比较的数据数 N 较大时，排序网所需的节点级数也较大。为了简化排序网络所需的硬件，可利用反-逆混洗排序网中各互连级完全相同，只有输出级不同的特点，采用循环网络的结构，如图 5

所示。其工作过程为：数据流通从输入端进入循环网中，首先到由比较交换节点列阵，在此完成第一级的比较交换操作，然后再下传输，经过 1×2 的二位相光栅完成反-逆混洗互连，二位相光栅后加入了一对柱面镜对(OCD)保持经过二位相光栅的输出光点阵与输入光点阵尺寸相同。信号通过光路将再次进入比较交换节点列阵，此时比较交换节点列阵已设置成第二级的比较交换状态，数据流在此进行第二级的比较交换操作，所得输出再次传往二位相光栅，…。这样，数据流在比较交换节点列阵、二位相光栅、柱面镜间通过光路循环传输，每循环一次完成一级比较交换操作，当完成了所有各级的比较交换操作后，数据流将从输出端输出。由于比较交换节点列阵在数据各次通过时，分别实现对应多级排序网络中各节点级的功能，因此列阵中的各节点需要能工作在直通、向上比较和向下比较三种方式下。

从图 5 可以看到，数据流最后从比较交换节点列阵输至输出端前，再次通过了 1×2 的二位相光栅，因此只需按图 5 中的输出设置输出端的光接收窗口，即利用此二位相光栅实现了排序网中的输出互连级，这样，系统就完全不需为实现输出互连级增加硬件开销。

4 比较交换节点列阵

循环排序网中的比较交换节点列阵可采用 CMOS-SEED 光电子混合集成工艺制作^[7]。CMOS-SEED 是最近几年出现的新型混合集成电路，这种芯片通过在 CMOS 集成电路上“倒装焊”自电光效应器件(SEED)来实现。自电光效应器件既可用作光接收器，又可用作光调制器，从而使 CMOS 集成电路具有了光 I/O 的能力。

为提高系统效率，根据自由空间光互连是二维的光点阵互连，即数据通道为高密度的二维分布的特点，可以同时需要对需要比较交换的两数据的所有位并行地进行比较操作，这样只需一个比较周期就可得出两数据的比较结果，然后可根据此结果分别把两数据并行地送到适当的输出端。在此给出一个数据长度为 8 位的 8 端口循环排序网中比较交换节点列阵的 CMOS-SEED 设计。

比较交换节点列阵 CMOS-SEED 芯片中的自电光效应器件芯片上有 64 个自电光效应光探测器窗口，64 个自电光效应光调制器窗口，其中的 $64(8 \times 8)$ 个自电光效应光探测器用作 8 个 8 位数据的并行输入端口，64 个自电光效应光调制器则用作数据的输出端口。

CMOS 芯片中包含 64 个自电光效应光探测器放大电路、64 个自电光效应光调制器的驱动电路和 4 个 8 位并行比较交换器。图 6 为一个 8 位并行比较交换节点的逻辑框图，它主要含有 16 个自电光效应光探测器接收单元、16 个自电光效应光调制器驱动单元、两级 16 位的

锁存器、并行比较逻辑单元和 8 个 2×2 开关组成。 2×2 开关在其控制位为“0”时处于直通状态,控制位为“1”时为交叉状态。

该比较交换节点的工作过程如下。2 个 8 位的数据 A 、 B 的各数据位以光信号的方式并行地输入比较交换器,经自电光效应光探测器单元接收放大,转化为电信号存到各自相应的入端锁存器中,然后一齐输入并行比较单元,同时输至二级锁存器,当 2×2 开关的状态设置好后,数据 A 、 B 并行地从二级锁存器中输出,通过 2×2 开关到达适当的输出自电光效应光调制器单元,以光信号的形式输出。并行比较单元对数据 A 、 B 进行比较操作,当 A 大于等于 B 时,输出逻辑“1”,反之输出逻辑“0”,此结果用来与 \overline{UD} 和 \overline{Pa} 信号一起控制节点中的 8 个 2×2 开关的状态。 \overline{Pa} 为直通控制信号, \overline{UD} 为上下状态控制信号。

当 \overline{Pa} 信号为“0”时,不管并行比较逻辑单元的输出为何值, 2×2 开关都处于直通的状态,即两数据将直接通过节点。当 \overline{Pa} 为“1”时,节点执行比较交换的功能:若 \overline{UD} 为“0”,则执行向上比较交换操作,即 A 、 B 中较大的数据从上端输出;若 \overline{UD} 为“1”,则执行向下比较交换,即 A 、 B 中较小的数据从上端输出。这样,此节点即可在 \overline{UD} 和 \overline{Pa} 信号的控制下工作于直通、向上比较和向下比较三种模式,从而可满足数据多次通过比较交换节点列阵时,对比较交换节点不同工作方式的要求。

结束语 由于光学互连具有光学等程性,信号在网络互连级的传输的时延很小且相等,因而光学反-逆混洗循环排序网络可在很高的信号速率下运行。因为采用了循环结构,不论数据端口数 N 有多大,排序网系统都只需一级比较交换节点级和一级光学互连级,硬件复杂度与多级排序网络相比有极大的降低。系统的排序规模将只受到光学互连通道数和光电混合集成芯片规模的限制,而目前已实现的自由空间光互连点阵达 $4225(65 \times 65)^{[8]}$,即采用此排序网络可能实现数千个数据的并行排序。通过采用微光学器件,可制作出体积小、端口数大的高速并行排序模块,在大规模并行计算系统和宽带交换系统中有很好的应用前景。

参 考 文 献

- [1] Moravec H P. Fully interconnecting multiple computers with pipelined sorting nets. *IEEE Trans. Comput.*, 1979, C-28(10): 795~ 798
- [2] Murdocca M, Cloonan T J. Optical design of a digital switch. *Appl. Opt.*, 1989, 28(13): 2505~ 2517
- [3] Stirk C W, Athale R A. Sorting with optical compare-and-exchange modules. *Appl. Opt.*, 1988, 27(9): 1721~ 1726
- [4] Beyette F R, Mitkas P A, Feld S A et al.. Bitonic sorting using an optoelectronic recirculating architecture. *Appl. Opt.*, 1994, 33(35): 8164~ 8172
- [5] 李 源,曹明翠,李洪谱等,自由空间光学 Omega 多级互连网络特性研究. *光学学报*, 1996, 16(11): 1585~ 1590
- [6] 艾 军,曹明翠,李再光. 互连网络拓扑等价的图分析法. *计算机研究与发展*, 1994, 31(3): 29~ 33

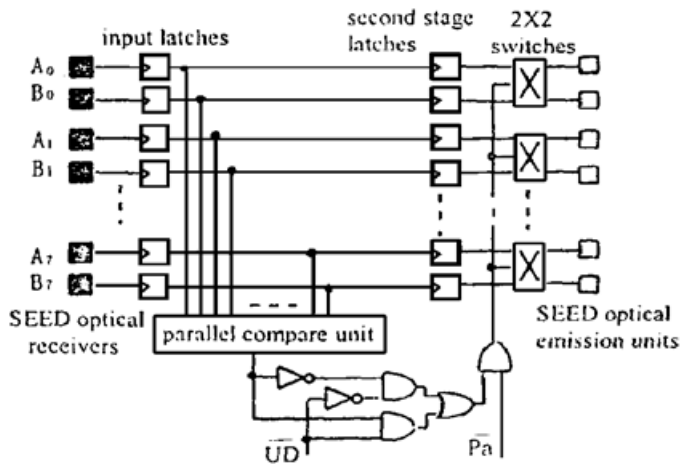


Fig. 6 Logic of parallel compare-and-exchange node

- [7] Gossen K W, Walker J A, D'Asaro L A *et al.*. GaAs MQW modulators integrated with silicon CMOS. *IEEE Photon. Tech. Lett.*, 1995, 7(4) : 360~ 362
- [8] Luo Fengguang, Cao Mingcui, Li Hongpu *et al.*. Optical implementation of an optical interconnect crossover network using a Dammann grating with 65×65 spot arrays. *Institute of Physics, U.K., Inst. Phys. Conf. Ser., No. 139: Part 2, Opt. Comput. Int. Conf.*, Edinburgh, U.K.: IOP Publishing Ltd. 1994. 255~ 258

Comega Optoelectronic Sorting Network with Recirculating Architecture

Li Yuan Chao Mingcui Luo Fengguang Chen Qingming

(National Laboratory of Laser Technology, Huazhong University of Science and Technology, Wuhan 430074)

(Received 30 December 1997; revised 26 March 1998)

Abstract A novel optoelectronic sorting network with recirculating architecture is presented. The link stage is implemented by optical Comega interconnect, and the array of compare-and-exchange(C&E) nodes is implemented by CMOS-SEED hybrid integrated circuit. Basing on the fact that all link stages in Comega multistage network have the same pattern, the hardware complexity of the system is greatly reduced by introducing recirculating architecture. In addition, the comparing speed is raised by using parallel C&E nodes.

Key words optical computing, optical interconnection, parallel processing, sorting network.