

# 多位数序列全加器的光电混合实现

王瑞波 李淳飞 张雷

(哈尔滨工业大学应用物理系, 哈尔滨 150006)

## 提 要

本文报道用光学双稳开关构成多位数序列全加器的方法,并用非线性干涉滤光片双稳开关进行了原理性实验演示,完成了四位二进制数的全加运算.

**关键词** 序列全加器, 非线性干涉滤光片.

## 1 引 言

近年来光学加法器的研究引起了人们广泛的兴趣,不同的光学元件构成了各具特色的二进制加法器,为全光学数字计算机的研制打下了基础. 仅用非线性干涉滤光片(NLIF)双稳开关构成一位全加器的方法就有三种,它们分别是用两个器件构成的全加器<sup>[1]</sup>,简单易行的斜入射单门全加器<sup>[2]</sup>,以及便于集成和级联的正入射单门全加器<sup>[3]</sup>. 这些全加器研究都还局限在一位数的加法,本文报道在单门全加器基础上利用延时将进位信号反馈回输入端,以实现多位数全加运算的方法,并给出用 ZnS 非线性干涉滤光片开关得到的实验演示结果.

## 2 单门光学全加器

一位全加器是一个三输入二输出的简单逻辑系统. 如果用  $A_i, B_i$  代表本位操作数,  $C_{i-1}$  代表低一位进位,  $S_i, C_i$  为本位和与进位,则全加器输入输出逻辑关系可表示为:

$$S_i = A_i \oplus B_i \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

全加器的构成有多种方式,组合的方式不同,所需逻辑门的数量也不同. 图 1 所示为用两个半加器和一个 OR 门组成的全加器,其中  $HA_1$  和  $HA_2$  表示两个半加器. 由于一个半加器就需要用 AND 和 XOR 两个逻辑门构成,所以按图 1 结构构成全加器时,需要五个逻辑门. 如果用双稳开关构成以上五个逻辑门,实现全加运算,光路将十分复杂. 实际上,若选择合适的工作点,只需一个法布里-珀罗结构的双稳开关就能实现全加器的运算功能. 图 2 所示为一个非线性干涉滤光片开关的简化输入输出特性曲线,图中只给出了回线的上升部分,因为在矩形数字脉冲输入的情况

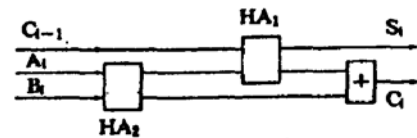


Fig. 1 A full-adder constructed with half-adders and OR gate

下,器件的工作点与特性曲线的回降部分无关,从图中可以看出,当输入光强分别为  $b, b+x, b+2x, b+3x$  时,反射输出依次为  $P_0, P_1, P_0, P_1$ ,透射输出依次为  $P_0, P_0, P_1, P_1$ . 如果用  $b$  表示偏置光强,  $0, x, 2x, 3x$  分别表示两个数和低一位进位信号取不同值时的算术和,  $P_0, P_1$  分别表示输出结果为 0, 1 的甄别光强, 则当输入信号的算术和  $P_s = 0, 1, 2, 3$  时, 反射输出结果为 0, 1, 0, 1, 透射输出为 0, 0, 1, 1. 由全加器逻辑关系真值表可以知道, 反射输出可以作为全加器的本位和, 透射输出可作为向下一位的进位.

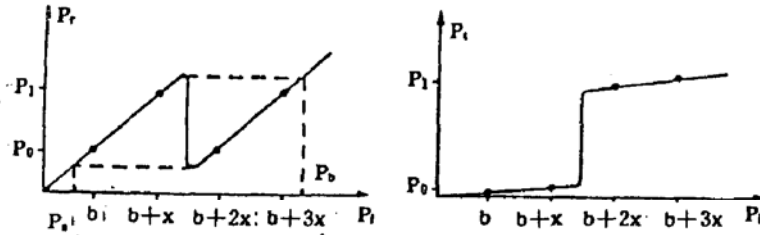


Fig. 2 Input-output characteristics required for operations of full-addition

显然, 为保证输出结果满足全加器逻辑关系,  $b$  与  $x$  的选取应满足下面的条件:

$$b > P_a, \quad b+x < P_{\uparrow}, \quad b+2x > P_{\uparrow}, \quad b+3x < P_i \quad (3)$$

式中  $P_{\uparrow}$  为开关的开启阈值, 图 3 给出了采用斜入射和正入射两种方式的单门全加器, 在正入射方式中,  $\lambda/4$  波片的作用是改变 NLIF 反射光的偏振状态, 以实现用偏振棱镜对反射光的分离. 在斜入射方式下, NLIF 开关的输入输出特性可以通过改变入射光角度来实现, 因此对器件的中心波长要求并不十分严格, 而在正入射方式下, 需要选取中心波长和带宽合适的开关.

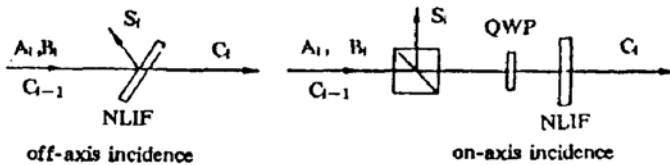


Fig. 3 Single-gate full-adder with on-axis and off-axis incidence

### 3 序列全加器

在序列全加器中, 待加数由低位到高位依次输入加法器, 运算结果也按时间顺序依次输出. 图 4 为一多位数序列全加器的原理模型<sup>[4]</sup>, 它可由一位加法器和移位寄存器构成, 移位寄存器的作用是将本位进位信号进行暂存, 然后与下一位待加数一起输入加法器, 并同时对本位进行结果进行存储.

如果用高速双稳开关构成单门全加器, 那么就可以用超短光学脉冲作为信息载体, 利用超短脉冲的空间延时代替移位寄存器, 就能实现本位进位信号与下一位待加数的同步输入, 使序列全加器的结构大为简化. 在图 5 所示的利用空间延时实现进位的序列全加器中, BOS 为双稳开关与  $\lambda/4$  波片 QWP<sub>1</sub> 及偏振棱镜一起构成正入射

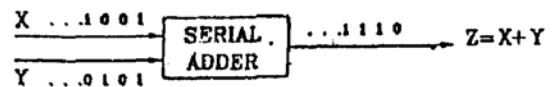


Fig. 4 Principle scheme for a serial full-adder

单门全加器,  $\lambda/4$  波片  $QWP_2$  的作用是将进位信号恢复为线偏振光. 为保证进位信号的同步输入, 环腔光程  $L$  应满足  $L = cT$ , 这里  $T$  表示输入信号的间隔周期,  $c$  为光速, 上面所介绍的仅仅是利用空间延时实现进位的设计方案, 由于尚难得到具有较低阈值功率的高速开关 ( $1 \text{ ns} \sim 1 \text{ ps}$ ), 目前尚未进行这方面的实验研究.

由于非线性干涉滤光片开关速度比较低 ( $1 \text{ ms} \sim 1 \text{ }\mu\text{s}$ ), 进行运算时所用信号的脉宽和周期很大, 若用空间延时实现进位, 则所需环形腔长度过长, 实验中难以实现. 为此, 在用非线性干涉滤光片开关进行的演示实验中用触发延时信号发生器控制电光开关, 代替空间延时光路产生进位信号, 实验装置如图 6 所示. 图 6 所用的光源为氩离子激光, 待加信号  $A_i, B_i$  是由微电机驱动的编码盘对波长为  $514.5 \text{ nm}$  的激光输出进行调制后模拟产生,  $A_i, B_i$  的值可以改变编码盘的透光位置来改变, 在编码盘转动过程中,  $A_i, B_i$  被调制产生后并行输入到非线性干涉滤光片上. 与计算机驱动光调制器的信号输入方式相比, 这种方式简单易行, 但不具有实时性, 只适合于一般演示性实验. 由于输入信号必须有相同的偏振方向, 所以不能用偏振元件将  $A_i, B_i, C_{i-1}$  进行合并, 而只能用反射镜. 例如图 6 中  $C_{i-1}$  光束与  $A_i, B_i$  光束的合并, 就是用反射镜实现的, 图 6 中没有给出  $A_i$  光束与  $B_i$  光束的合并. 由于采用的反射镜, 这样就导致了很大的能量损耗 ( $\sim 80\%$ ). 此外, 当相同偏振方向的光合到一起时, 会产生干涉现象; 这样局域点元的光强不再满足强度的算术相加, 但由于聚焦光斑很小 ( $< 50 \text{ }\mu\text{m}$ ), 在总输入光强仍满足算术相加的条件下, 细密的干涉条纹对 ZnS 这样的热效应器件虽有一定影响, 但不会影响运算结果的正确性, 这与实验观测结果一致.

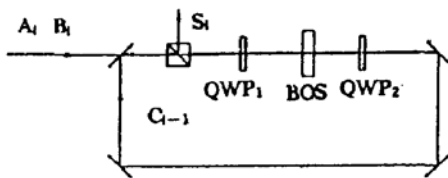


Fig. 5 Serial full-adder using spatial time-delay cavity

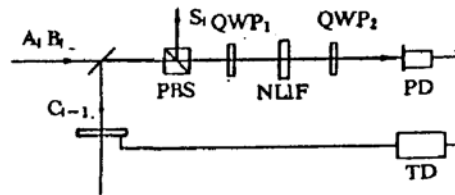


Fig. 6 Experimental set-up

全加运算过程可作如下描述, 当  $A_0, B_0$  输入加法器后, 在反射输出端和透射输出端分别得到  $S_0, C_0$ , 如果  $C_0 = 1$ , 则探测器 PD 接收到一个透过非线性干涉滤光片的光脉冲, PD 的输出信号对触发延时信号发生器 TD 进行触发, TD 经过一段延时, 在  $A_1, B_1$  到来时, 产生一脉宽与输入信号相等的电信号启动电光开关, 透过电光开关的光便可做为  $C_0$  与  $A_1, B_1$  一起入射到 NLIF 上产生  $S_1, C_1$ ;  $C_1$  经过同样的过程与  $A_2, B_2$  一同输入加法器, 这样由低位到高位依次类推, 便可在  $S_i$  输出端得到一代表全加运算结果的脉冲序列.

在实验中采用中心波长为  $513.7 \text{ nm}$  的 ZnS 非线性干涉滤光片开关完成了四位全加运算的演示. 非线性干涉滤光片开关的最低开启阈值为  $11 \text{ mW}$ , 最大峰值透过率为  $62.4\%$ , 图 7 (a) 为其典型的透射与反射特性曲线, 由于工作点只与上升部分有关, 为明显起见, 这里在低速三角波输入的情况下, 只记录了双稳回线的上升部分. 图 7 (b) 所示为信号  $A_i = 1101, B_i = 1001$  进行相加的实验结果, 其中  $P_i$  表示信号由低位到高位输入时的总输入光强, 即  $P_i = P_{A_i} + P_{B_i}$ ,  $C$  表示在输入端得到的电光开关产生的进位信号  $10010$ ,  $S$  表示计算结果  $10110$ .

实验上能严格满足信号光为  $0, x, 2x, 3x$  而反射光为  $0, 1, 0, 1$ , 透射输出为  $0, 0, 1, 1$  的正入射型 ZnS 器件是难以制作的. 实验所用的非线性干涉滤光片开关是从大量器件中挑选出来的, 仍不能很好地满足要求, 从图 7 (b) 中也可以看出, 当  $S_i = 0$  时, 反射光中仍存在一个幅值

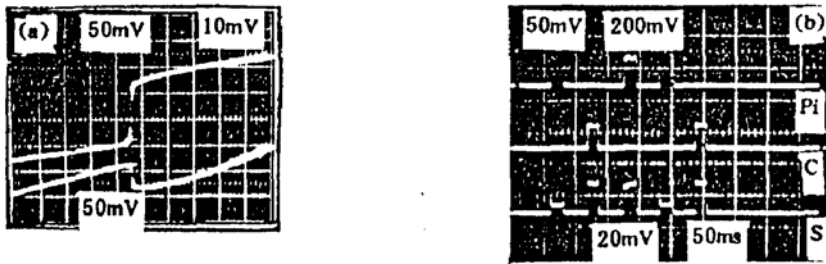


Fig. 7 Experimental results

(a) Rising parts of typical transmission and reflection curves

(b) Four-bit addition

较小的脉冲,这是由于器件对比度小引起的.如果进行多级运算,还需要用限幅元件对输出信号进行整形.实验中还发现,通过减小入射光束在非线性干涉滤光片上聚焦后产生的锥角,使光束中不同部位的光具有相同的入射角( $\theta = 0^\circ$ )和初相位,或者取消器件的保护片以减少前表面的反射光,都可以使器件的输入输出特性曲线得到改善.

**结 论** 由于实验中采用了电子延时装置,所构成的系统并不是全光学系统.另外,由于所用的 ZnS 光开关速度比较低,运算速度与实用化要求相距甚远,但是随着光双稳开关研究的不断深入,高速度、低开关能量、高集成度的全光学器件日趋成熟,如果将来用高速器件构成空间延时的序列全加器阵列,将能获得极高的处理速度.

## 参 考 文 献

- [1] 李淳飞,查子忠,励强华等, 用两个双稳器件构成的光学全加器. 中国激光, 1989, 16(6): 354~355
- [2] Wang Ruibo, Zha Zizhong, Zhang Lei *et al.*, All-optical full-adder based on zino sulphide optical bistable device. 1989 *Topical Meeting on Optical Computing, published in 1989, Technical Digest Series. Optical Computing* (Optical Society of America, Washington, D. C., 1989: 385~388
- [3] F. A. P. Tooley, N. C. Craft, S. D. Smith *et al.*, Experimental realization of an all-optical full-adder circuit. *Opt. Commun.*, 1987, 63(6): 365~370
- [4] M. J. Murdocca, A. Huang, J. Jahns, *et al.*, Optical design of programmable logic arrays. *Appl. Opt.*, 1988, 27(9): 1651~1660

### Hybrid optoelectronic implementation of a serial multi-bit full-adder

WANG Ruibo LI Chunfei LEI Zhang

(Department of Applied Physics, Harbin Institute of Technology, Harbin 150006)

(Received 2 July 1992; revised 16 November 1992)

## Abstract

In this paper we present a design for the realization of serial multi-bit full-adders by using optical bistable switches. Principle of the operation has been demonstrated with nonlinear interference filters. Experimental results of four-bit addition are also presented.

**Key words** serial full-adder, nonlinear interference filter