

激光与光电子学进展

大数据时代光电共封技术的机遇与挑战

卞玲艳*, 曾艳萍**, 蔡莹, 陆霄, 周倩蓉, 唐清林, 顾廷炜, 王轲

中国电子科技集团公司第五十八研究所, 江苏 无锡 214072

摘要 人工智能和大数据时代对数据存储、传输和处理能力的需求日益增加, 数据传输所需带宽和通信速率也随之增加。然而系统级封装中的电互连受到介质材料、传输速率的影响, 表现出强烈的损耗、反射、延迟和串扰等现象, 无法满足日益增加的带宽和通信速率的需求。光电共封装技术基于先进封装技术将光模块和电芯片共同封装在同一封装体内, 缩短了光模块和电芯片之间的互连长度, 减小了寄生效应, 具有宽频带、抗电磁干扰、低传输损耗和小功耗等明显优势, 成为了近年来的研究热点。本文论述了光电共封装的基本概念、优势特性, 梳理了基于 2D、2.5D 和 3D 封装的典型技术和国内外最新进展, 分析了作为新一代封装技术所面临的挑战。

关键词 光电共封装; 2.5D/3D 集成; 光通信; 光电集成; 先进封装

中图分类号 TN29

文献标志码 A

DOI: 10.3788/LOP231348

Opportunities and Challenges of Optoelectronic Co-Packaging Technology in the Era of Big Data

Bian Lingyan*, Zeng Yanping**, Cai Ying, Lu Xiao, Zhou Qianrong, Tang Qinglin, Gu Tingwei, Wang Lu

China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214072, Jiangsu, China

Abstract In the era of artificial intelligence and big data, the demand for data storage, transmission, and processing capabilities has surged. Thus, the prerequisites for data transmission, including bandwidth and communication speed, have experienced an escalation. However, owing to the influence of dielectric materials and transmission rate, the electrical interconnections in system-level packaging present strong phenomena, such as loss, reflection, delay, and crosstalk, which cannot meet the requirements of increasing bandwidth and communication speed. Consequently, advanced packaging technology and photoelectric co-packaging technology encapsulate optical modules and electrical chips within the same package, thereby reducing the interconnection length between them and parasitic effects. Furthermore, it has numerous advantages, such as wide band, anti-electromagnetic interference, low transmission loss and power consumption, and hence, it has become a research hotspot in recent years. This article discusses the basic concepts and advantages of optoelectronic co-packaging, introduces typical 2D, 2.5D, and 3D technologies and the latest developments at home and abroad, and analyzes the challenges that must be addressed as a new generation packaging technology.

Key words optoelectronic co-packaging; 2.5D/3D integration; optical communication; optoelectronic integration; advanced packaging

1 引言

随着智慧交通、自动驾驶、物联网等人工智能应用的推广和普及, 人类社会每天都会产生包括语音、图像、视频等在内的海量数据。2022 年 11 月 30 日, 美国人工智能研究室 OpenAI 推出了聊天机器人模型 ChatGPT (Chat Generative Pre-trained Transformer)。

ChatGPT 通过连接 45 TB 的数据 (相当于 1351 万本牛津词典、近 1 万亿个单词) 来训练模型, 使其具备上知天文下知地理还能根据聊天的上下文进行互动的能力^[1]。从这些数据中分析和提取有价值的信息, 需要匹配强大的数据存储、传输和处理能力, 这对当前的数据中心和计算能力提出了前所未有的挑战, 对算力的需求越来越大。从而算力成为了人工智能的核心竞争

收稿日期: 2023-05-22; 修回日期: 2023-06-12; 录用日期: 2023-06-20; 网络首发日期: 2023-07-12

基金项目: 中国博士后科学基金面上项目 (2022M722962)、江苏省自然科学基金 (BK20220228)

通信作者: *bianlingyan1123@163.com; **zyanping123@163.com

力。同时人工智能应用为了提高信息捕捉的质量和精度,其模型在不断迭代,参数规模与日俱增。据 OpenAI 网站公布的数据,近年来,如图 1(a) 所示的 AI

模型的参数量以每年 10 倍的速率快速增长,同时因数据量爆炸, AI 模型训练的计算能力需求也以每年 10 倍的速率快速提升^[2-3],如图 1(b) 所示。

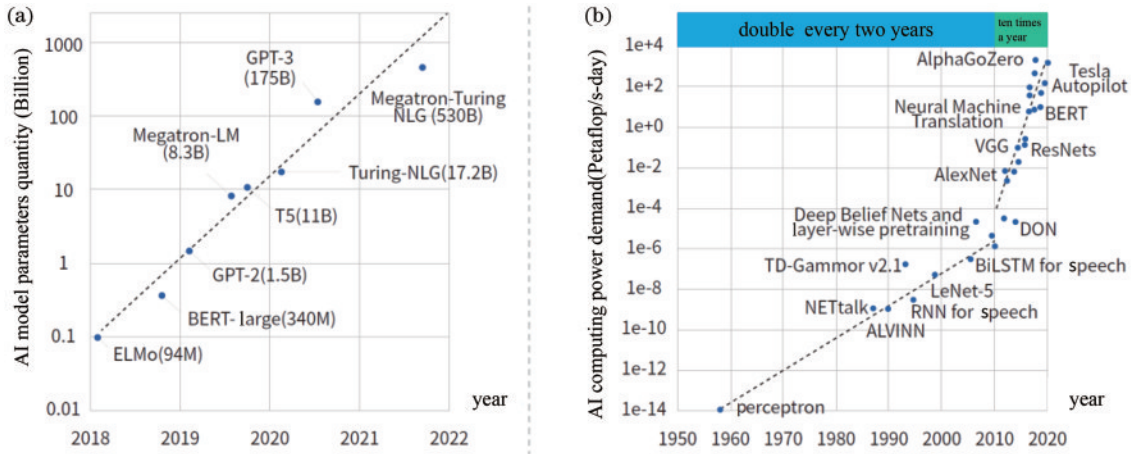


图 1 AI 模型参数量和算力需求的增长趋势^[2]。(a) AI 模型参数量; (b) AI 算力需求量

Fig. 1 Increasing trend of AI model parameters quantity and computing power demand^[2]. (a) AI model parameters quantity; (b) AI computing power demand

传统光电互连采用的是板边光模块,将光收发模块单独制作成可插拔光模块或有源光缆,组装在印制电路板(PCB)边缘,其工艺比较成熟,已得到广泛商用。但采用这种方式的电学互连走线较长,表现出明显的寄生效应,存在信号完整性问题,且模块的体积较

大、互连密度低、多通道功耗较大,已无法满足大带宽、高传输速率和日益剧增的算力的需求^[4-7]。为了满足急剧增长的数据量的需求,光电互连从传统板边光模块不断向着集成度更高、体积更小的方向发展^[8-10],如图 2 所示。

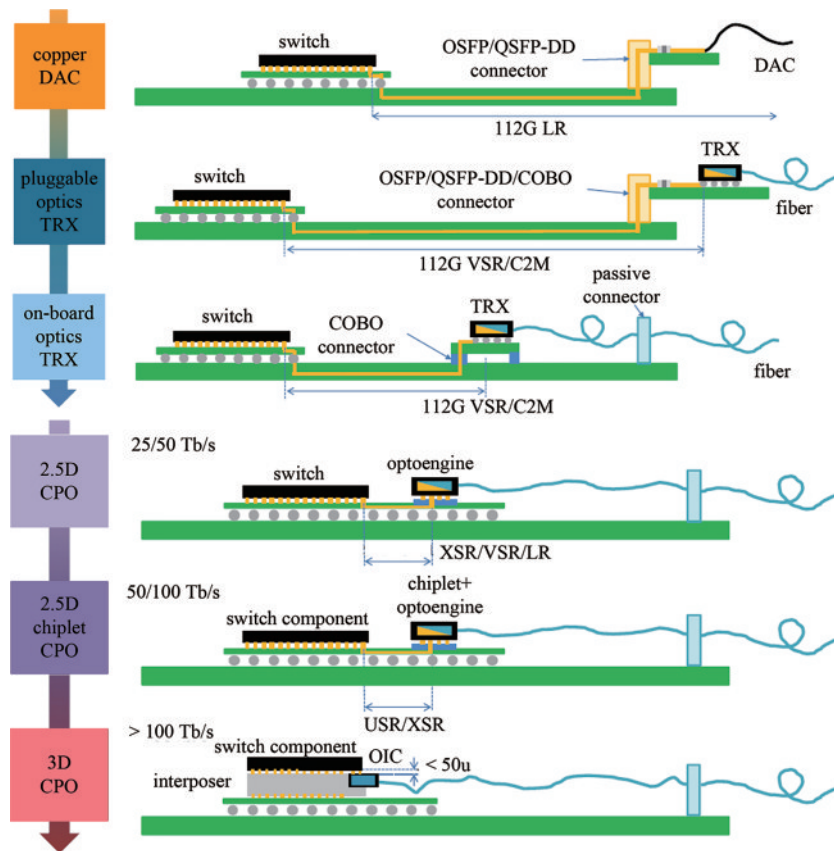


图 2 光电互连封装技术的发展过程^[8]

Fig. 2 Development process of optoelectronic interconnection packaging technology^[8]

光电共封装(CPO)是一种新型的光电子集成技术,它基于先进封装技术将光收发模块和控制运算的专用集成电路(ASIC)芯片异构集成在一个封装体内,形成具有一定功能的微系统^[11-14]。先进封装技术是一种采用先进的设计思路和先进的集成工艺技术如硅通孔(TSV)、重布线(RDL)、倒装(flip chip)、凸点(bumping)、引线键合(wire bonding)等对芯片进行封装级重构,能有效提升功能密度的工艺技术^[15]。光电共封装技术进一步缩短了光信号输入和运算单元之间的电学互连长度,在提高光模块和 ASIC 芯片之间的互连密度的同时实现了更低的功耗,是解决未来大数据运算处理中海量数据高速传输问题的重要技术途径。本文简述了光电共封装的基本概念、优势特性,梳理了国内外最新进展,并介绍了 2D、2.5D、3D 典型技术,结合当前技术现状分析了新一代封装技术所面临的挑战。

2 光电共封装技术及发展

2.1 发展现状

2.1.1 国外发展现状

近年来,光电共封装技术逐渐从学术型研究成果转变为市场需求的产品,如英特尔、博通、美满科技等行业内龙头企业均已推出多款基于 CPO 技术的量产产品,其他企业也在积极地布局 CPO 相关技术及产品,并推进 CPO 技术标准化,技术标准体系逐步形成,产业链不断成熟。云服务厂商 Facebook 和 Microsoft 创建了 CPO 联盟^[16],旨在打造一个平台,吸引各细分行业龙头企业加入联盟,推动 CPO 标准的建立和产品的发展。

2020 年 3 月,英特尔展示了业内第一款基于 CPO 技术的交换机产品,并采用了 12.8 Tbit/s 的 Barefoot Tofino2 芯片和 1.6 Tbit/s 光引擎共同封装^[17]。2021 年,英特尔与 Ayar Labs 合作将现场可编程逻辑门阵列(FPGA)芯片 Stratix 10 和 5 颗光学 IO TeraPHY 芯片共同封装在一个 16 层有机基板上,实现 8 Tbit/s 带宽的多芯片封装体,可用于交换机产品^[18]。2022 年,英特尔报道了与 Ayar Labs 的最新合作成果,使用 FPGA 与硅光芯片构成 optical IO 链路,首次验证了 5.12 Tbit/s 带宽的信号互连^[19]。

思科通过并购 Lightwire、Luxtera、Acacia 三大硅光企业发展 CPO 相关产品。Acacia 在 2020 年推出 400G 硅光模块方案,先将分立光器件集成为 PIC (Photonic Integrated Circuit) 芯片,再与自研 DSP 电芯片集成在 SOI (Silicon-On-Insulator) 上,最终外接激光器封装成光模块。思科仍继续进行 CPO 技术的探索,与芯片制造商 Inphi 在 CPO 技术领域展开合作,计划未来推出基于 CPO 技术的 51.2 Tbit/s 交换机^[20]。美满科技在 2022 年推出基于 2.5D CPO 技术的 12.8 Tbit/s Teralynx 7 交换机^[21]; 2023 年,推出由超低延迟 Marvell Teralynx 10 51.2 Tbit/s 交换芯片和业界首款

PAM4 1.6 Tbit/s 光电平台 Marvell Nova 组成的新平台。该技术使云数据中心运营商能够减少联网时间,最大限度地提高计算利用率,并满足人工智能和机器学习不断增长的带宽需求^[22]。

博通也是通过并购或收购光器件公司 Luminent、Broadlight 来发展相关技术。2022 年在光纤通信展览会及研讨会(OFC)上发布首款 CPO 交换机,将 25.6 Tbit/s Tomahawk 4 交换机芯片和光学部件共同封装^[23]。

2023 年,推出了最新的交换机产品 Tomahawk StrataXGS 5,采用了 CPO 技术将交换机芯片和 100G PAM4 接口共同封装在一起,达到了 51.2 Tbit/s 的交换容量,功耗仅需 5.5 W,拥有 800 Gbit/s 的速率,由于采用光学共封装技术,光学连接所需的功率降低 50%^[24]。

2.1.2 国内发展现状

与国外相比,我国企业则普遍较晚进入 CPO 领域,在产品开发进度及技术研究方面存在明显的差距。2020 年,业界开始对发展 CPO 标准形成共识,国内由中国科学院计算技术研究所牵头成立 CCITA 联盟(中国计算机互连技术联盟),为制订前沿互连技术标准筹备相关工作。在推动高速通信微型化、高密度集成与高通信容量技术往下一代演进的道路,传统架构逐渐乏力,而制订 CPO 标准可以促进产业的整体升级及生态供应链的重组。CCITA 牵头的 CPO 标准是当前中国唯一原生的 CPO 技术标准,其目的是结合目前国内在光互连技术发展及应用场景的差异,联合国内光模块、光收发芯片、电驱动放大芯片、光源、连接器等厂商,共同打造更加适合我国的 CPO 标准,使企业研发生产都有统一的准绳,便于规模化、产业化、低成本的普及,以推动我国在光电子技术和产业方面的可持续发展^[25]。

国内的企业如武汉光迅科技、中际旭创、华工科技、新易盛、阿里云、通宇通讯、海信、博创科技、联特科技等都已开始涉足光电共封装领域,但由于起步较晚,目前还没有 CPO 相关的产品推向市场,主要产品还都集中在 400G、800G 的硅光模块。光迅科技在 2023 年的 OFC 上领先发布了可以支持 3.2T CPO 光引擎的自研光源模块,为后续推出 CPO 产品做技术铺垫。2021 年,亨通光电和英国 Rockley 合作推出了国内首台 3.2T CPO 工作样机^[26]。由于技术迭代,目前尚在进一步研发过程中,还不具备量产化条件。

2021 年,锐捷网络发布了首款基于 112G SerDes 交换芯片并由 16 个 1.6 Tbit/s CPO 模块组成的 25.6 Tbit/s CPO 交换机。CPO 光引擎到前面板之间的光纤链路支持传统光纤和柔性印刷光纤解决方案,可提高生产效率,与传统可插拔光模块方案相比,CPO 设计方案可以让整机光模块功耗降低 50% 以上,可用于数据中心解决高速信号损耗过高的问题。2022 年,

锐捷网络将 CPO 模块从 1.6 Tbit/s 升级到 3.2 Tbit/s, 发布了 51.2 Tbit/s 的 CPO 交换机^[27-28]。

2.2 光电共封装典型技术

按照物理结构, CPO 可分为以下 3 种技术形态: 2D 平面 CPO、2.5D CPO、3D CPO^[29]。

2.2.1 基于 2D 封装的 CPO 技术

基于 2D 封装的 CPO 技术是将 PIC 和集成电路 (EIC) 并排放置在基板或 PCB 上, 通过引线或基板布线实现互连。2D 封装的优点是易于封装、灵活性高, EIC 和 PIC 都可以使用不同的材料、利用不同的工艺单独制作^[9]。根据芯片和基板互连方式不同, 基于 2D 封装发展出了基于 Wire bonding 的 CPO、基于倒装的 CPO、基于扇外型晶圆级封装技术 (FOWLP) 的 CPO 3 种技术方案。

1) 基于引线键合的 CPO 技术

台积电在 2021 年推出了紧凑型通用光子引擎技术 (COUPE), 将 EIC 和 PIC 放置在同一基板上, 通过引线键合的方式在基板上实现互连, 如图 3 所示。台

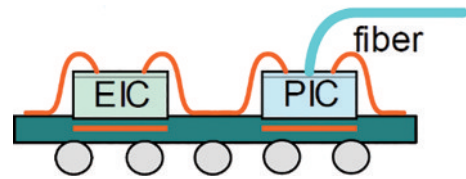


图 3 COUPE 技术封装结构^[30]

Fig. 3 Structure of COUPE technology^[30]

积电对比了 COUPE 技术、EIC 和 PIC 用带引线键合的 3D 微凸点互连技术及带 TSV 的 3D 微凸点互连技术的信号速率和功耗等方面的性能 (图 4), 发现: COUPE 技术的性能有明显提升: COUPE 方案的信号速率提高了 70%, 功耗降低了 40%; COUPE 的 EIC 和 PIC 接口在 28 GHz 处的插入损耗为 0.04 dB, 回波损耗为 46 dB, 微凸点技术在 28 GHz 处的插入损耗为 0.25 dB, 回波损耗为 25 dB, COUPE 技术具有更低的插入损耗; COUPE 技术的电源分配网络 (PDN) 阻抗比带 TSV 的微凸点技术下降了 51%, 比带引线键合的微凸点互连技术下降了 92%, 能够显著降低 PDN 阻抗^[30]。

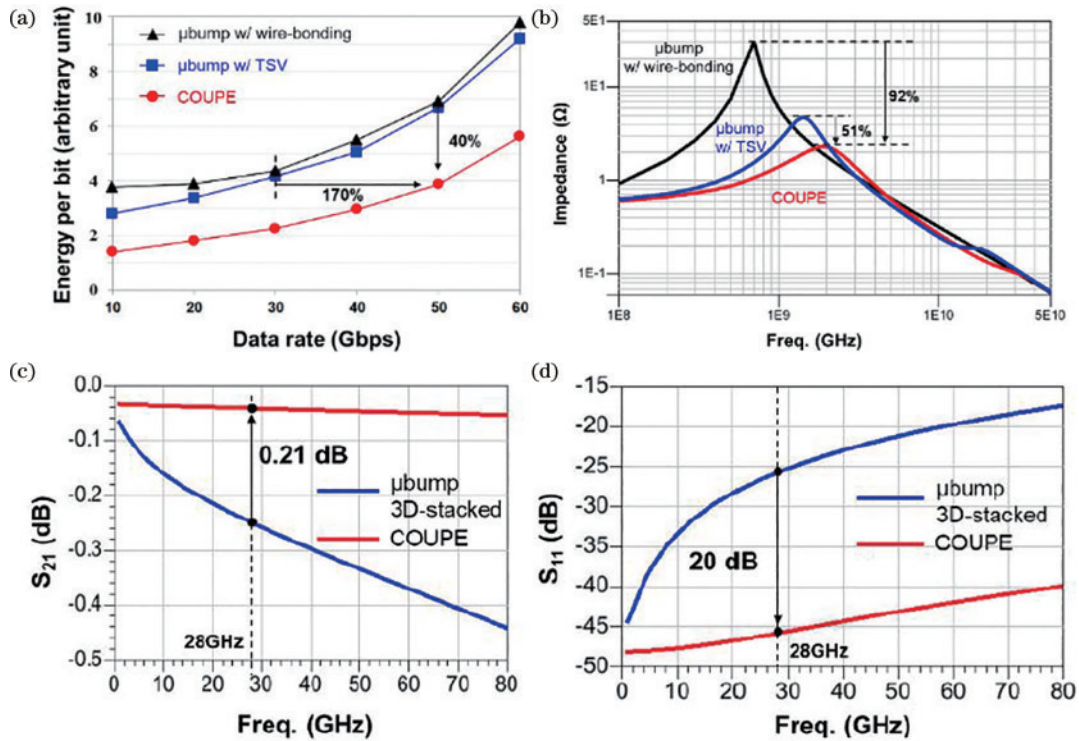


图 4 COUPE 技术、带引线键合的 3D 微凸点技术与带 TSV 的 3D 微凸点技术的性能对比^[30]。(a) 不同速率下功耗大小; (b) 不同频率下阻抗大小; (c) (d) 不同频率下插入损耗和回波损耗

Fig. 4 Performance comparison of COUPE technology, 3D micro-bump with wire-bonding, and 3D micro-bump with TSV^[30]. (a) Power consumption at different rates; (b) PDN impedance at different frequencies; (c) (d) insertion loss and reflection loss comparison at different frequencies

2) 基于倒装的 CPO 技术

Acacia 公司在 2017 年利用 CPO 技术设计了一款相干收发器^[31], 将 PIC、驱动器芯片和跨阻放大器 (TIA) 倒装焊在一个 11 层的低温共烧陶瓷 (LTCC) 基板上, 可以实现 ASIC 芯片与光电集成电路的光电共封

装, 如图 5 所示。其封装尺寸为 21.6 mm×13.0 mm, 相对于 PCB 可以大大节省空间, 信号通过陶瓷基板内部走线互连, 具有较短的路径和良好的电学性能, 相比于在 PCB 上走线大大减少了传输损耗, 结构也更紧凑, 能够保证产品具有良好的电性能、散热性能和稳定性。

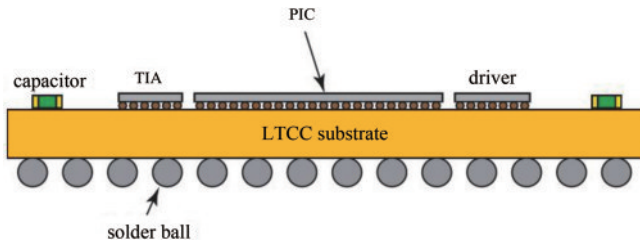


图 5 基于陶瓷基板的 CPO 技术示意图^[31]
Fig. 5 Schematic diagram of CPO technology based on ceramic substrate^[31]

3) 基于 FOWLPL 的 CPO 技术

韩国 Lipac 公司在 2021 年推出了一种基于 FOWLPL 技术的新型混合 CPO 技术^[32-33], 如图 6 所示。电子芯片和光学芯片嵌入在环氧模塑料(EMC)基板中, 通过半导体金属工艺的 RDL 层将光电互连, 避免了使用 Wire bonding 或者 Bumping, 因此互连线更短。Lipac 利用 FOWLPL 技术实现了 100G SR4 光收发模块, 封装尺寸只有 6.27 mm×4.64 mm×0.27 mm, 由于 RDL 工艺只需要很小的焊盘, 因此 FOWLPL 平台最显著的优点是可以实现小尺寸的 CPO 器件。

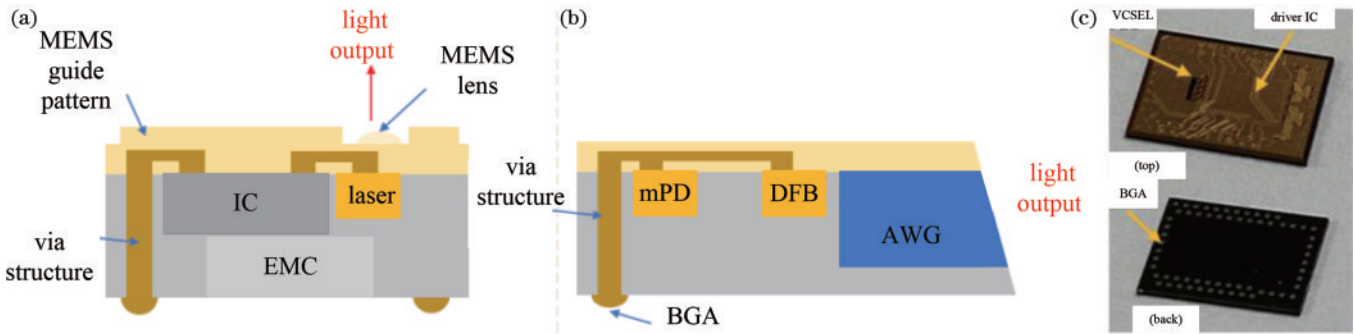


图 6 FOWLPL 型封装截面图^[32]。(a)多模光纤;(b)单模光纤;(c)光收发模块
Fig. 6 Cross section of the FOWLPL package^[32]. (a) Multi-mode fiber; (b) single-mode fiber; (c) optical transceiver module

2.2.2 基于 2.5D 封装的 CPO 技术

2.5D 封装是将 EIC 和 PIC 均倒装在中介层(interposer)上, 通过 interposer 上的金属互连 PIC 和 EIC, interposer 再与下方的封装基板或 PCB 板相连。2.5D 集成封装尺寸介于 2D 集成和 3D 集成之间, 并且由于信号须通过两次凸点, 信号性能会有所下降。根据所用转接板的材料不同, 基于 2.5D 封装发展出了基于玻璃转接板的 CPO、基于硅转接板的 CPO 和基于嵌入式多芯片互连桥接(EMIB)的 CPO 3 种技术方案。

1) 基于玻璃转接板的 CPO 技术

玻璃材料具有高透光性、低损耗的电气互连特性和出色的尺寸稳定性, 很适合作为 CPO 的转接板^[34]。2013 年, 美国佐治亚理工大学基于双面玻璃转接板实现了高性能、高密度的 CPO, 如图 7 所示, 方案采用了一块 150 μm 厚的超薄玻璃转接板, PIC 和驱动芯片及 TIA 倒装在玻璃转接板上, 光通过转接板上的有机透镜聚焦到转接板背面的波导中, 与光纤耦合, 电信号通过在玻璃转接板上的金属通孔(TGV)引出^[35-36]。

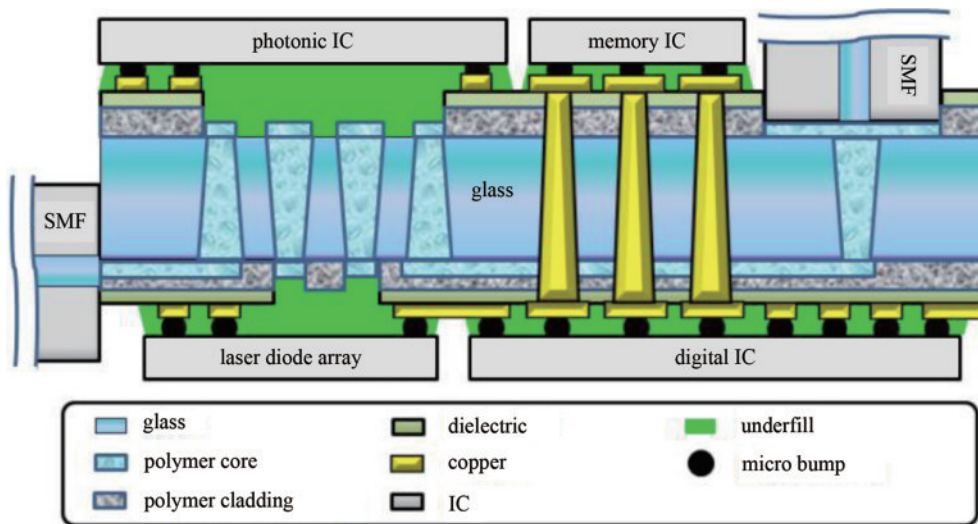


图 7 基于玻璃基板的 CPO^[35]
Fig. 7 CPO based on glass substrate^[35]

2) 基于硅转接板的 CPO 技术

采用硅转接板实现 CPO 具有较大优势。硅转接板采用硅晶圆加工技术,可以制作更小线宽的互连线,布线密度高,可以实现光电芯片的高密度引脚互连^[37-42]。另一方面,硅转接板与芯片材料相同,二者热膨胀系数(CTE)失配小,可以减小封装产品的翘曲,从而提高可靠性。中国科学院微电子研究所设计了基于硅转接板的典型 CPO 结构,如图 8^[14]所示。为了满足数据的高速传输需求,光电芯片都被组装在硅转接板上,通过 TSV 和其表面的 3 层 RDL(正面 2 层,背面 1 层)实现互连。由于 RDL 线宽、线距可以小于 10 μm,光电芯片能够实现极高密度的互连,并有效减小封装的整体尺寸。

美满科技在 2022 年推出了一款基于 2.5D CPO

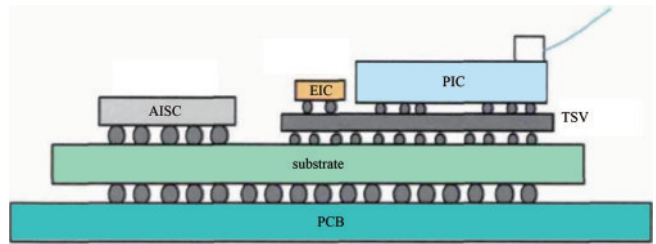


图 8 基于硅基板的 CPO^[14]
Fig. 8 CPO based on silicon substrate^[14]

技术的交换机,它将驱动芯片、TIA、激光器等倒装在有 TSV 的硅光转接板上,再将转接板和 DSP 放到同一块有机基板上形成光引擎,如图 9 所示,然后将 16 个光引擎和交换芯片 Marvell Teralynx 7 在 PCB 上互连形成交换机,可达到 12.8 Tbit/s 的交换速率^[21]。

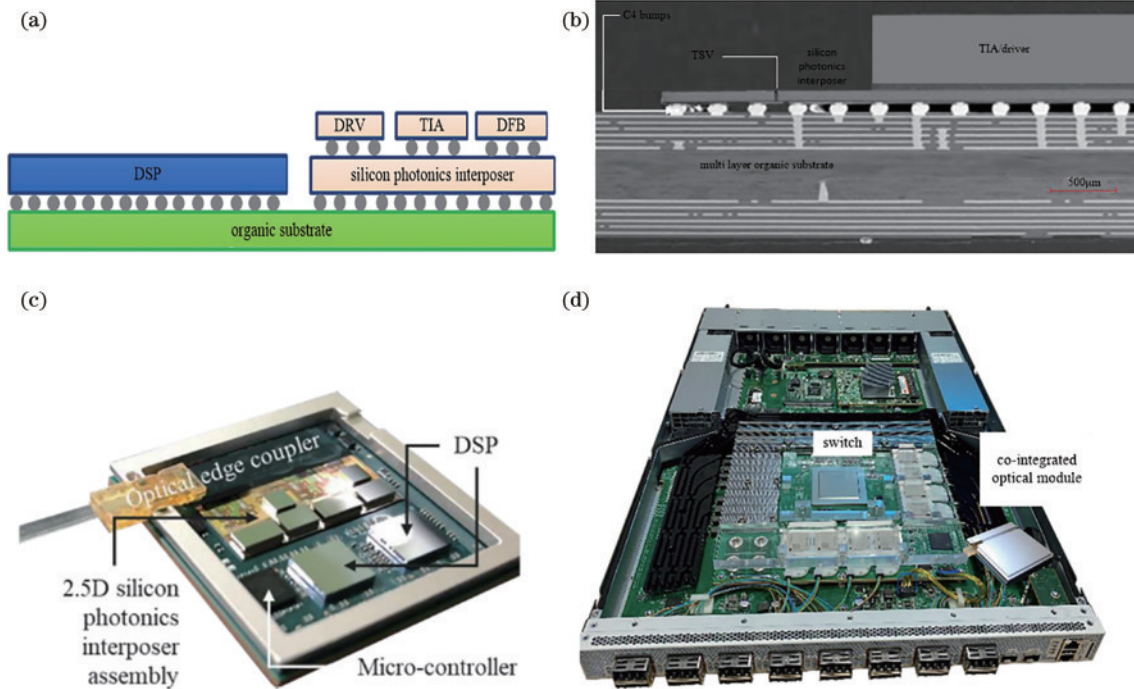


图 9 美满科技 2.5D 封装的光引擎和交换机^[21]。(a)2.5D 封装方案示意图;(b)2.5D 封装截面图;(c)2.5D 封装的光引擎;(d)集成了 16 个 2.5D 封装光引擎的交换机

Fig. 9 Optical engine and switch in Marvell 2.5D package^[21]. (a) Schematic diagram of 2.5D package scheme; (b) section view of 2.5D package; (c) optical engine in 2.5D package; (d) integrated switch with 16 2.5D packaged optical engine

2017 年,新加坡微电子所(IME)基于 2.5D 硅转接板 CPO 技术实现了多通道硅基集成光收发器^[43]。电芯片和光芯片倒装在硅基转接板上,再通过引线键合与下面的 PCB 实现互连,如图 10 所示。该收发器实现了单通道超过 50 Gbit/s 的传输速率,通过多通道或者多芯片的共封装,实现了超过 400 Gbit/s 甚至更高的传输速率。

3) 基于 EMIB 的 CPO 技术

EMIB 是英特尔公司的一种 2.5D 封装技术,其特点为在有机基板中嵌入薄硅桥,并结合多层后道互连工艺实现局部物理互连。基于这项技术,英特尔与

Ayar Labs 将 FPGA 芯片 Stratix 10 和 5 颗光学 IO TeraPHY 芯片共同封装在一个平面尺寸为 55 mm×55 mm 的 16 层有机基板上,光芯片和 FPGA 的距离小于 100 μm,设计可实现 8 Tbit/s 的带宽,如图 11 所示。相比基于硅转接板的 CPO,EMIB 技术一方面避免了使用 TSV 转接板带来的寄生电容等信号完整性问题,另一方面 EMIB 相对硅转接板所需面积小,因此该技术在保证 FPGA 与光电子芯片之间高速、高密度通信的同时,大幅减小了封装体的尺寸,从而实现了成本和性能两方面的兼顾^[18]。

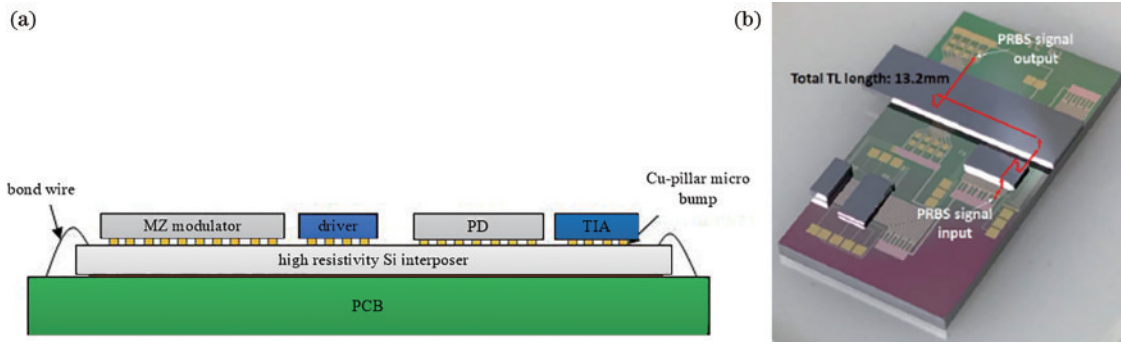


图 10 基于硅转接板的光收发器^[43]。(a)2.5D多芯片光电集成封装截面图；(b)2.5D集成光收发器
Fig. 10 Optical transceiver based on silicon interposer^[43]。(a) Section of 2.5D multi-chip photoelectric integrated package；
(b) 2.5D integrated optical transceiver

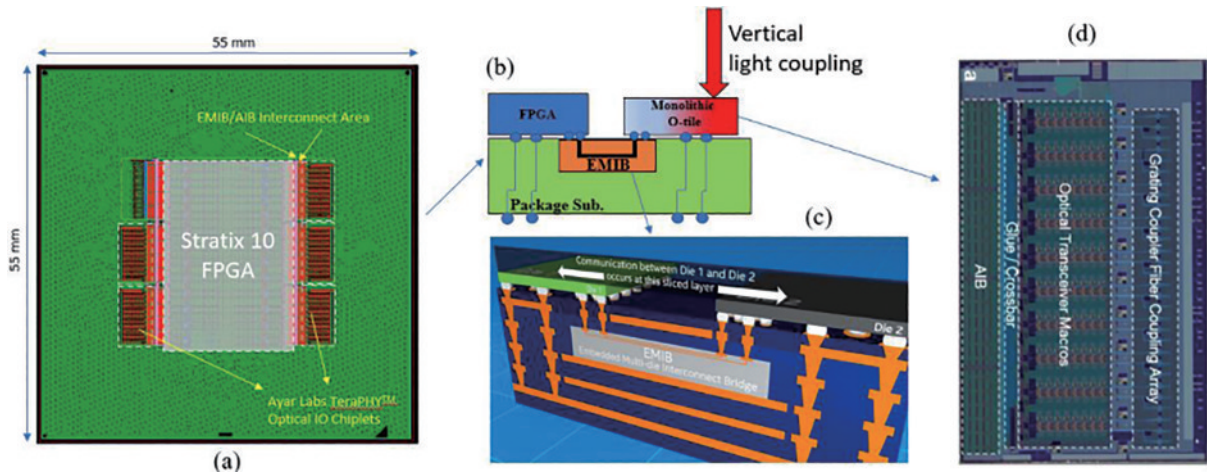


图 11 基于EMIB的CPO技术封装方案^[18]。(a)5颗光学IO芯片通过EMIB连接到FPGA的示意图；(b)通过EMIB连接的截面图；
(c)嵌入封装基板的EMIB截面图；(d)TeraPHY芯片布局图
Fig. 11 CPO package scheme based on EMIB^[18]。(a) Schematic diagram of five optical IO chips connected to the FPGA through
EMIB；(b) cross section view connected through EMIB；(c) EMIB cross-sectional view of embedded packaging substrate；
(d) TeraPHY chip layout diagram

2.2.3 基于3D封装的CPO技术

相比2.5D封装,3D封装技术通过将光电芯片进行垂直互连,可以实现更短的互连距离、更高的互连密度、更好的高频性能、更低的功耗、更高的集成度以及更紧凑的封装,是目前CPO技术研究的热点和趋势。

1) 基于TSV的PIC转接板的CPO

2018年,新加坡IME将集成了光调制器、光探测

器的PIC做成了带TSV的转接板,PIC芯片采用750 Ω·cm的高阻SOI和硅片制作,并将驱动芯片和TIA倒装在PIC上,通过TSV将电信号和光信号互连,然后将带有TSV的PIC倒装在硅转接板(TSI)或有机基板上,如图12^[44]所示。该技术实现了高密度的CPO,在50 GHz时插入损耗小于3.5 dB,回波损耗小于-13 dB。

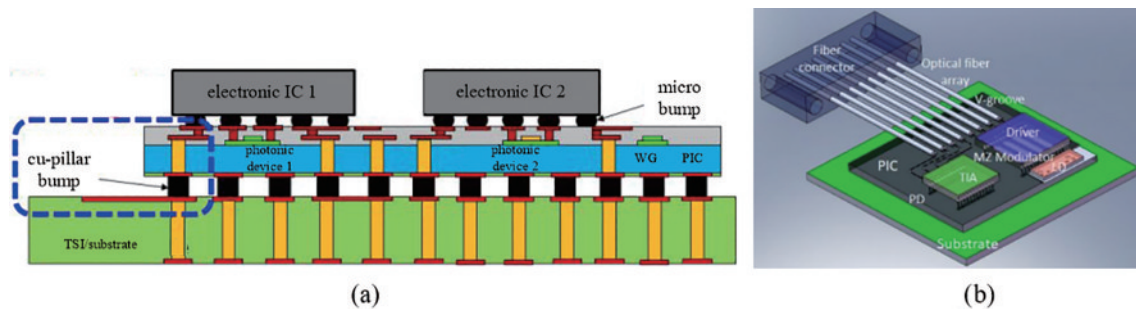


图 12 基于带TSV的PIC转接板的CPO^[44]。(a)封装截面图；(b)封装方案示意图
Fig. 12 CPO based on PIC with TSV^[44]。(a) Cross section of the 3D package；(b) schematic diagram of packaging scheme

2) 基于 TSV 的 EIC 转接板的 CPO

2022 年,博通首次推出了一款基于 3D 封装的光引擎,它将 PIC 倒装在 EIC 上方,EIC 与 ASIC 芯片通过基板互连^[9-10],如图 13 所示,将 25.6 Tbit/s 的 Tomahawk 4 交换机芯片和 4 个 CPO 结构的光引擎封装

在一起形成一个交换机,单个 CPO 模块支持 3.2 Tbit/s,整个系统包含 4 个 CPO 模块,共有 12.8 Tbit/s 的带宽。博通称采用 CPO 的结构可以节约 40% 的功耗和 40% 的每比特成本。

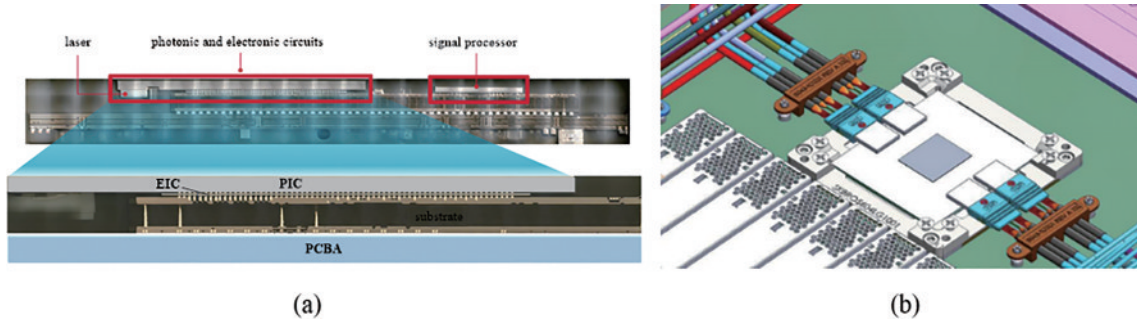


图 13 博通 3D CPO 示意图^[9]。(a)封装截面图;(b)封装方案示意图

Fig. 13 Broadcom 3D CPO schematic^[9]. (a) Cross section of the 3D package; (b) schematic diagram of packaging scheme

3) 基于挖腔转接板的 CPO 技术

2017 年,甲骨文提出了一种挖腔的 CPO 实现方案,如图 14^[45]所示。方案采用陶瓷或有机基板作为转接板,利用挖腔转接板实现 CPO。通过在转接板上挖腔,把硅光芯片放在腔内,再将收发集成电芯片组装在

基板上方,形成一个“桥”结构,就可以通过基板上的线路实现光电互连,形成一个 CPO 模块,即光电共封装模块(POeM),将多个 POeM 与 ASIC 芯片集成在一个载板上,实现多通道光电互连。

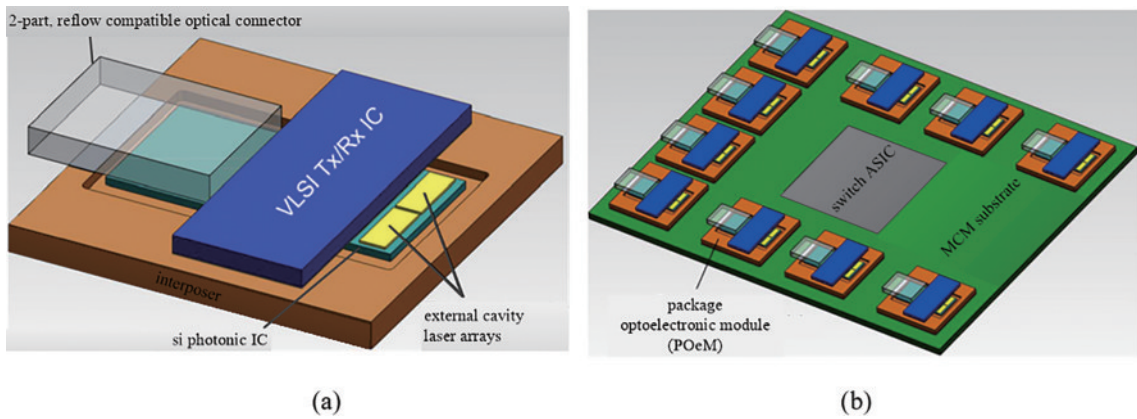


图 14 采用挖腔转接板的光电模块示意图^[45]。(a)POeM 三维结构示意图;(b)整体封装结构示意图

Fig. 14 Schematic illustration of optoelectronic module realized by cavity interposer^[45]. (a) Three-dimensional structure diagram of POeM; (b) schematic diagram of the overall package structure

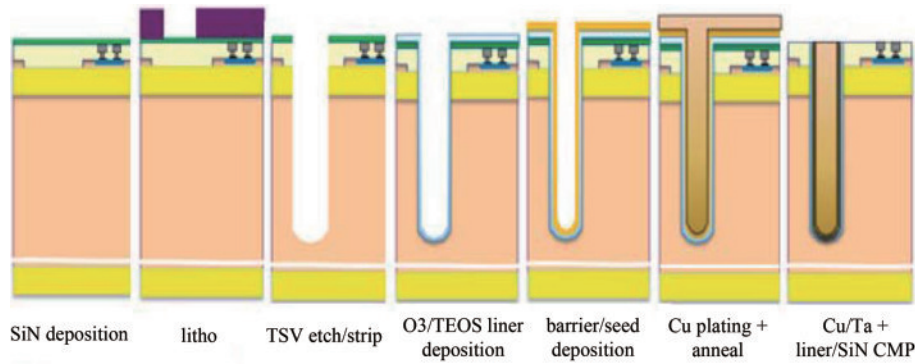
3 面临的挑战

尽管 CPO 技术在最近几年取得了诸多成绩,但限于当前工艺、仿真、测试等方面技术水平的发展,依然面临很多挑战。这些挑战制约着 CPO 技术的发展和产业化,但同时也带来了创新和突破的机遇。

3.1 封装技术

CPO 涉及 TSV、TGV、多层高密度互连基板、Bumping 和芯片堆叠等先进封装中的关键技术,每种关键技术都有各自的优缺点,比如:TGV 通孔技术可能会损伤玻璃造成表面不光滑,大多数 TGV 加工方法效率低,没法大规模量产,TGV 结构的电镀成本和时间比 TSV 略高,玻璃衬底表面的黏附性较差,容易

导致 RDL 金属层异常,玻璃本身的易碎性和化学惰性给工艺开发带来了难度。TSV 通孔加工技术涉及深反应离子刻蚀(DRIE)工艺,如图 15 所示,采用氟化物 SF₆ 和 C₄F₈ 在常温下对硅刻蚀,刻蚀完成后还需对 TSV 通孔电镀填充,填充材料有铜、银和钨,为了确保 TSV 可靠性,需要控制电镀填充过程,一般需要孔底部的填充速率高于孔开口和孔侧壁位置的填充速率,以保证填充后不在孔内部形成孔洞,同时需要控制填充后表面铜层的厚度,以减少后续平坦化工艺的难度,TSV 孔填充是 TSV 技术的关键和核心步骤,也是 TSV 集成成本的决定因素之一,占总生产成本的 26%~40%。TSV 通孔技术还涉及晶圆减薄,这导致了潜在的成品率和可靠性的问题^[41]。目前,国内相关

图 15 基于硅中介层的 TSV 主要制备工艺步骤^[41]Fig. 15 Major steps of TSV based on Si interposer^[41]

的工艺制程水平与国外还有不小的差距,为达到模块的多功能、高可靠性、小型化等设计目标,封装工艺能力是制约 CPO 发展的重要因素^[46]。

3.2 散热技术

由于涉及高带宽的高速信号传输,需要使用 2.5D、3D 等先进封装技术,包括高密度凸点与 TSV 技术,单位面积芯片可以支持更高速率的信号传输,因此 CPO 中放置光和电器件的空间十分狭小,另外由于光学器件对热特别敏感,散热成为一个巨大的挑战。CCITA CPO 标准工作组所做的模拟仿真中,在风速 5 m/s 的条件下,当采用 16 个的 CPO 模块和一个开关芯片模型设计时,开关芯片的温度为 151.76 °C,几乎无法正常工作,因此需要特殊的散热方案^[46-50]。

3.3 仿真技术

随着集成密度的不断提高,为提高产品的一次设计成功率,仿真技术在 CPO 设计阶段的应用将显著增多,由于 CPO 面临着光学、电学、热力学等交叉学科的融合和多层级的跨越,对仿真提出了更高的要求。目前光子设计自动化(PDA)工具能够提供精确的光子器件仿真,但仿真效率非常低,不适合大规模系统级仿真,同时电子设计自动化(EDA)工具大多基于电路级或系统级仿真,因此能够应用于电路级和系统级仿真的光子器件模型是大规模电子-光子联合仿真的关键,是未来光电共封装器件大规模商业化的重要条件,可以极大地提高设计效率。光-电-热-力多物理场的跨维度耦合仿真以及芯片-封装-系统的跨尺寸联合仿真将成为仿真领域的发展趋势和难点^[50]。

3.4 测试和良率问题

由于光芯片是直接和电芯片通过先进封装工艺封装在一起的,如果某颗芯片发生了损坏,整个模块就无法正常工作,这不仅使良率下降,也给测试带来了诸多困难。光器件和电器件建立在不同的制造工艺技术上,因此具有不同的测试要求。共封装的光学器件具有不同于以往开发的任何子组件的通道密度,这意味着现有的测试解决方案不能满足测试要求。例如,一个 51.2 Tbit/s 共封装光学设备有 16 个单元的

3.2 Tbit/s 模块,每个模块具有 8Tx 和 8Rx 光纤,每根光纤有 4 个波长。这个单独的共封装光学设备共计有 512 个通道,每个通道都以 100 Gbit/s 的速率运行。每个通道还需要进行多项指标测试,并且每个测试都可能非常复杂,因为各通道可能使用多光纤结构并承载多个波长。由于单个被测器件(DUT)上有如此多的通道,测试工程师面临着前所未有的测试挑战^[51]。

3.5 可靠性

传统可插拔光模块容易更换、相对比较灵活,而 CPO 更换会比较麻烦,所以对产品的可靠性要求较高,主要有使用寿命较长、故障率低、产品升级方便等,提高产品可靠性可以大幅降低后续维护成本。由于 CPO 系统复杂度和集成度高,工艺制造流程复杂,各种先进工艺流程也给可靠性提出了前所未有的挑战。

3.6 标准化

为了 CPO 技术尽早应用在大规模生产中满足商业化需求,将 CPO 标准化是实现类似于可插拔光学模块的易用性和多厂商合作的先决条件。只有通过标准化,才能使产品在更大的市场范围内使用,满足更多消费者的需求。标准化还可以消除技术壁垒,促进国际间的经贸发展和技术交流与合作,通过统一技术标准,可以将全球上下游产业链连接起来。目前,CPO 有各种各样的应用场景,不同的应用场景有不同的要求,标准化需要满足多种场景要求,光引擎架构和技术的多样性让标准化达成具有挑战性。

CPO 实现大规模市场化还有很长的路要走,不仅要解决技术挑战还要应对市场接受度、标准化、成本等非技术挑战。CPO 的成功还取决于光学供应商、模块供应商和数据中心运营商之间的有效合作,以便在解决用户需求、技术可行性和经济可行性方面保持一致。

4 结束语

光电共封装技术作为新型光电互连技术,在人工智能和大数据时代迎来重大发展机遇,在学术界和产业界的共同关注下获得突飞猛进的发展。光电共封装技术是实现高速率、大带宽、低功耗的必经之路,将成

为光通信行业必不可少的技术。目前,光电共封装技术正处于挑战与机遇并存的发展阶段。一方面,光电共封装技术已经在数据中心和高性能计算等诸多应用方面崭露头角。但另一方面,光电共封装在封装工艺、仿真技术、可靠性、产业化等方面仍然面临许多挑战。本文对光电共封装典型技术进行了分析讨论,探讨了该技术的发展现状及面临的挑战,为后续光电共封装技术的发展提供参考。

参 考 文 献

- [1] ChatGPT[EB/OL]. [2023-04-10]. <https://baike.baidu.com/item/ChatGPT/62446358?fr=aladdin>.
- [2] 曦智研究院. 大规模光电集成赋能智能算力网络白皮书[EB/OL]. (2023-03)[2023-04-10]. <http://www.lightelligence.co/index/tech.html>.
Lightelligence. Large scale optoelectronic integration empowers intelligent computing power network white paper[EB/OL]. (2023-03) [2023-04-10]. <http://www.lightelligence.co/index/tech.html>.
- [3] Amodei D, Hernandez D, Sastry G, et al. AI and compute[EB/OL]. (2018-03-16) [2023-04-05]. <https://openai.com/blog/ai-and-compute/>.
- [4] 孙瑜, 刘丰满, 薛海韵. 高速高密度光电共封装技术[J]. 中兴通讯技术, 2018, 24(4): 27-32.
Sun Y, Liu F M, Xue H Y. High-speed and high-density optoelectronic co-package technologies[J]. ZTE Technology Journal, 2018, 24(4): 27-32.
- [5] Margalit N, Xiang C, Bowers S M, et al. Perspective on the future of silicon photonics and electronics[J]. Applied Physics Letters, 2021, 118(22): 1-10.
- [6] 成骏伟, 江雪怡, 周海龙, 等. 光电智能计算研究进展与挑战[J]. 中国激光, 2022, 49(12): 1219001.
Cheng J W, Jiang X Y, Zhou H L, et al. Research progress and challenges of photoelectric intelligent computing [J]. Chinese Journal of Lasers, 2022, 49(12): 1219001.
- [7] 孙小燕, 梁昶, 张伟, 等. 超短脉冲激光加工在微电/光互连领域的应用研究进展[J]. 中国激光, 2022, 49(10): 1002502.
Sun X Y, Liang C, Zhang W, et al. Application of ultrashort pulse laser manufacturing in microelectrical/optical interconnection[J]. Chinese Journal of Lasers, 2022, 49(10): 1002502.
- [8] Minkenber C, Krishnaswamy R, Zilkie A, et al. Co-packaged datacenter optics: opportunities and challenges [J]. IET Optoelectronics, 2021, 15(2): 77-91.
- [9] 欧祥鹏, 杨在利, 唐波, 等. 2.5D/3D 硅基光电子集成技术及应用[J]. 光通信研究, 2023(1): 1-16.
Ou X P, Yang Z L, Tang B, et al. 2.5D/3D silicon-based optoelectronic integration technology and its application[J]. Study on Optical Communications, 2023 (1): 1-16.
- [10] Johnson J E, Bacher K, Schaevitz R, et al. Performance and reliability of advanced CW lasers for silicon photonics applications[C]//2022 Optical Fiber Communications Conference and Exhibition (OFC), March 6-10, 2022, San Diego, CA, USA. New York: IEEE Press, 2022.
- [11] 周治平. 硅基光电子学[M]. 北京: 北京大学出版社, 2012: 1-11.
Zhou Z P. Silicon photonics[M]. Beijing: Peking University Press, 2012: 1-11.
- [12] 王子昊, 王霆, 张建军. 硅基光电异质集成的发展与思考[J]. 中国科学院院刊, 2022, 37(3): 360-367.
Wang Z H, Wang T, Zhang J J. Development and thinking of silicon photonics heterogenous integration[J]. Bulletin of Chinese Academy of Sciences, 2022, 37(3): 360-367.
- [13] 周治平, 杨丰赫, 陈睿轩, 等. 硅基光电子: 微电子与光电子的交融点[J]. 微纳电子与智能制造, 2019, 1(3): 4-15.
Zhou Z P, Yang F H, Chen R X, et al. Silicon photonics-a converging point of microelectronics and optoelectronics[J]. Micro/Nano Electronics and Intelligent Manufacturing, 2019, 1(3): 4-15.
- [14] Liang D, Bowers J E. Recent progress in heterogeneous III-V-on-silicon photonic integration[J]. Light: Advanced Manufacturing, 2021, 2(1): 59.
- [15] 王梦雅, 丁涛杰, 顾林, 等. 面向信息处理应用的异构集成微系统综述[J]. 电子与封装, 2021, 21(10): 100102.
Wang M Y, Ding T J, Gu L, et al. Overview of heterogeneous integration microsystem for information processing applications[J]. Electronics & Packaging, 2021, 21(10): 100102.
- [16] Microsoft & Facebook launch co-packaged optics collaboration[EB/OL]. (2019-03-14) [2023-04-01]. https://www.lightreading.com/optical-ip/microsoft-and-facebook-launch-co-packaged-optics-collaboration/d/d-id/750169?pidl_msgorder=asc.
- [17] Intel. Hands-on with the intel co-packaged optics and silicon photonics switch[EB/OL]. (2020-03-18)[2023-04-01]. <https://www.servethehome.com/hands-on-with-the-intel-co-packaged-optics-and-silicon-photonics-switch/>.
- [18] Hosseini K, Kok E, Shumarayev S Y, et al. 8 Tbps co-packaged FPGA and silicon photonics optical IO[C]//2021 Optical Fiber Communications Conference and Exhibition (OFC), June 6-10, 2021, San Francisco, CA, USA. New York: IEEE Press, 2021.
- [19] Hosseini K, Kok E, Shumarayev S Y, et al. 5.12 Tbps co-packaged FPGA and silicon photonics interconnect I/O [C]//2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), June 12-17, 2022, Honolulu, HI, USA. New York: IEEE Press, 2022: 260-261.
- [20] Cisco demonstrates co-packaged optics (CPO) system at OFC 2023[EB/OL]. (2023-03-17) [2023-04-01]. <https://blogs.cisco.com/sp/cisco-demonstrates-co-packaged-optics-cpo-system-at-ofc-2023>.
- [21] Nagarajan R, Ding L, Coccioni R, et al. 2.5D heterogeneous integration for silicon photonics engines in optical transceivers[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2022, 29(3): 8200209.
- [22] Marvell Nova & Teralynx 10 Press Kit[EB/OL]. [2023-04-01]. <https://www.marvell.com/company/media-kit/>

- nova-teralynx-10-press-kit.html.
- [23] BCM56999 25.6-Tbps multilayer switch with co-packaged optics[EB/OL]. [2023-04-01]. <https://www.broadcom.com/products/fiber-optic-modules-components/co-packaged-optics/switches>.
- [24] TH5 51.2T baily CPO (co-packaged optics)[EB/OL]. (2023-03)[2023-04-01]. <https://docs.broadcom.com/doc/th5-51.2t-baily-cpo>.
- [25] 光互连最火概念! 中国原生 CPO 标准草案来了, 决胜数据中心未来[EB/OL]. [2023-04-10]. <https://baijiahao.baidu.com/s?id=1735494270542903428&wfr=spider&for=pc>. The hottest concept of optical interconnect! The draft of China's native CPO standard has arrived, determining the future of data centers[EB/OL]. [2023-04-10]. <https://baijiahao.baidu.com/s?id=1735494270542903428&wfr=spider&for=pc>.
- [26] 亨通光电推出国内首台基于硅光技术的 3.2T CPO 样机[EB/OL]. [2023-04-10]. <http://www.cww.net.cn/article?id=482928>. Hengtong optoelectronics launches the first 3.2T CPO prototype based on silicon optics technology in China[EB/OL]. [2023-04-10]. <http://www.cww.net.cn/article?id=482928>.
- [27] Ruijie Networks Released Near-packaged Optics (NPO) & cold-plate liquid cooled switch[EB/OL]. (2022-10-19)[2023-04-10]. <https://www.ruijienetworks.com/products/switches/>.
- [28] demo's Ragile 51.2 Tbps co-packaged ethernet switch[EB/OL]. (2022-03-08)[2023-04-10]. <https://opticalconnectionsnews.com/2022/03/ofc-ragile-demos-51-2tbps-co-packaged-ethernet-switch/>.
- [29] Abrams N C, Cheng Q X, Glick M, et al. Silicon photonic 2.5D multi-chip module transceiver for high-performance data centers[J]. *Journal of Lightwave Technology*, 2020, 38(13): 3346-3357.
- [30] Hsia H, Tsai C H, Ting K C, et al. Heterogeneous integration of a compact universal photonic engine for silicon photonics applications in HPC[C]//2021 IEEE 71st Electronic Components and Technology Conference (ECTC), June 1-July 4, 2021, San Diego, CA, USA. New York: IEEE Press, 2021: 263-268.
- [31] Doerr C, Heanue J, Chen L, et al. Silicon photonics coherent transceiver in a ball-grid array package[C]//Optical Fiber Communication Conference Postdeadline Papers, March 19-23, 2017, Los Angeles, California. Washington, D. C.: Optica Publishing Group, 2017: Th5D.5.
- [32] Choi S, Bae Y, Oh S, et al. A new FOWL platform for hybrid optical packaging-demonstration on 100 Gbps transceiver[C]//Optical Fiber Communication Conference (OFC) 2021, June 6-10, 2021, San Francisco, CA, USA. New York: IEEE Press, 2021.
- [33] Kim J H, Kwon Y T, Kwon Y H, et al. Fan out package: performance and scalability perspective[C]//2018 IEEE 68th Electronic Components and Technology Conference (ECTC), May 29-June 1, 2018, San Diego, CA, USA. New York: IEEE Press, 2018: 1194-1199.
- [34] 徐罕, 朱亚军, 戴飞虎, 等. 晶圆级封装中的垂直互连结构[J]. *电子与封装*, 2021, 21(10): 100107. Xu H, Zhu Y J, Dai F H, et al. Vertical interconnection structures of wafer level package[J]. *Electronics & Packaging*, 2021, 21(10): 100107.
- [35] Chou B C, Sato Y, Sukumaran V, et al. Modeling, design, and fabrication of ultra-high bandwidth 3D glass photonics (3DGP) in glass interposers[C]//2013 IEEE 63rd Electronic Components and Technology Conference, May 28-31, 2013, Las Vegas, NV, USA. New York: IEEE Press, 2013: 286-291.
- [36] Sukumaran V, Bandyopadhyay T, Chen Q, et al. Design, fabrication and characterization of low-cost glass interposers with fine-pitch through-package-vias[C]//2011 IEEE 61st Electronic Components and Technology Conference (ECTC), May 31-June 3, 2011, Lake Buena Vista, FL, USA. New York: IEEE Press, 2011: 583-588.
- [37] Yang Y, Yu M B, Fang Q, et al. 3D silicon photonics packaging based on TSV interposer for high density on-board optics module[C]//2016 IEEE 66th Electronic Components and Technology Conference (ECTC), May 31-June 3, 2016, Las Vegas, NV, USA. New York: IEEE Press, 2016: 483-489.
- [38] Miyaguchi K, Ban Y, Pantano N, et al. 110 GHz through-silicon via's integrated in silicon photonics interposers for next-generation optical modules[C]//2021 European Conference on Optical Communication (ECOC), September 13-16, 2021, Bordeaux, France. New York: IEEE Press, 2021.
- [39] Gambino J P, Adderly S A, Knickerbocker J U. An overview of through-silicon-via technology and manufacturing challenges[J]. *Microelectronic Engineering*, 2015, 135: 73-106.
- [40] He H M, Xue H Y, Sun Y, et al. Design and realization of multi-channel and high-bandwidth 2.5D transmitter integrated with silicon photonic MZM[J]. *Journal of Lightwave Technology*, 2022, 40(15): 5201-5215.
- [41] Bogaerts L, El-Mekki Z, van Huylenbroeck S, et al. High-speed TSV integration in an active silicon photonics interposer platform[C]//2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), October 15-18, 2018, Burlingame, CA, USA. New York: IEEE Press, 2019.
- [42] Zheng Q, Yang P, Xue H Y, et al. Research on 3D optical module integrating edge coupler and TSV[J]. *Journal of Lightwave Technology*, 2022, 40(18): 6190-6200.
- [43] Kim D W, Au K Y, Li H Y, et al. 2.5D silicon optical interposer for 400 Gbps electronic-photonic integrated circuit platform packaging[C]//2017 IEEE 19th Electronics Packaging Technology Conference (EPTC), December 6-9, 2017, Singapore. New York: IEEE Press, 2018.
- [44] Kim D W, Yu L H, Chang K F, et al. 3D system-on-packaging using through silicon via on SOI for high-speed optical interconnections with silicon photonics devices for application of 400 Gbps and beyond[C]//2018 IEEE 68th

- Electronic Components and Technology Conference (ECTC), May 29-June 1, 2018, San Diego, CA, USA. New York: IEEE Press, 2018: 834-840.
- [45] Krishnamoorthy A V, Thacker H D, Torudbakken O, et al. From chip to cloud: optical interconnects in engineered systems[J]. *Journal of Lightwave Technology*, 2017, 35(15): 3103-3115.
- [46] 赵万芹, 梅雪松, 杨子轩. 激光加工电子陶瓷基板孔的形貌特征及其工艺调控综述[J]. *中国激光*, 2022, 49(10): 1002403.
Zhao W Q, Mei X S, Yang Z X. Review on morphological features and process control of holes drilled by pulsed laser on surface of electronic ceramic substrates[J]. *Chinese Journal of Lasers*, 2022, 49(10): 1002403.
- [47] Cheng Q X, Bahadori M, Glick M, et al. Recent advances in optical technologies for data centers: a review [J]. *Optica*, 2018, 5(11): 1354-1370.
- [48] Tan M, Xu J, Liu S Y, et al. Co-packaged optics (CPO): status, challenges, and solutions[J]. *Frontiers of Optoelectronics*, 2023, 16(1): 1-40.
- [49] Mahajan R, Li X Q, Fryman J, et al. Co-packaged photonics for high performance computing: status, challenges and opportunities[J]. *Journal of Lightwave Technology*, 2022, 40(2): 379-392.
- [50] Thomson D, Zilkie A, Bowers J E, et al. Roadmap on silicon photonics[J]. *Journal of Optics*, 2016, 18(7): 073003.
- [51] 光电共封装设备测试解决方案[EB/OL]. (2023-03) [2023-06-07]. http://news.sohu.com/a/650044861_121615179.
Optoelectronic co packaging equipment testing solution [EB/OL]. (2023-03) [2023-06-07]. http://news.sohu.com/a/650044861_121615179.