

## 激光与光电子学进展

## 低轨卫星激光通信实时算法研究(特邀)

杨奇<sup>1,4\*</sup>, 王宜州<sup>1†</sup>, 王元祥<sup>2</sup>, 范峰<sup>3</sup>, 黎景<sup>1</sup>, 梁子鹏<sup>1</sup>, 邱天<sup>1</sup>, 戴潇潇<sup>1</sup><sup>1</sup>华中科技大学光学与电子信息学院, 武汉光电国家研究中心, 湖北 武汉 430074;<sup>2</sup>华中科技大学网络空间安全学院, 湖北 武汉 430074;<sup>3</sup>北京遥测技术研究所, 北京 100094;<sup>4</sup>湖北光谷实验室, 湖北 武汉 430074

**摘要** 针对低轨卫星激光通信实时化、低功耗的应用场景,为了解决独立时钟源及传输信道复杂等问题,对时钟恢复算法和前向纠错码进行了改进与优化,实现了资源占用低、时延低且功耗为 0.129 W 和 1.199 W 的实时化全数字时钟恢复算法和低密度奇偶校验(LDPC)编译码。搭建了桌面演示系统,成功演示了二进制相移键控(BPSK)调制/相干探测、通信速率为 1.024 Gbit/s 的实时空间光传输,其中时钟误差约为  $1.50 \times 10^{-4}$ 。

**关键词** 低轨卫星; 相干光通信; 实时; 低功耗

中图分类号 TN929

文献标志码 A

DOI: 10.3788/LOP232252

## Real-Time Algorithm for Low-Orbit Satellite Laser Communication (Invited)

Yang Qi<sup>1,4\*</sup>, Wang Yizhou<sup>1†</sup>, Wang Yuanxiang<sup>2</sup>, Fan Feng<sup>3</sup>, Li Jing<sup>1</sup>, Liang Zipeng<sup>1</sup>,  
Qiu Tian<sup>1</sup>, Dai Xiaoxiao<sup>1</sup><sup>1</sup>Wuhan National Laboratory for Optoelectronics, School of Optical and Electronic Information, Huazhong  
University of Science and Technology, Wuhan 430074, Hubei, China;<sup>2</sup>School of Cyber Science and Engineering, Huazhong University of Science and Technology,  
Wuhan 430074, Hubei, China;<sup>3</sup>Beijing Research Institute of Telemetry, Beijing 100094, China;<sup>4</sup>Optics Valley Laboratory, Wuhan 430074, Hubei, China

**Abstract** We optimized the clock recovery algorithm and forward error correction code to address the challenges associated with an autonomous clock source and intricate transmission channel in a real-time, low-power-consumption scenario for low-orbit satellite laser communication. The successful implementation of this optimization includes an all-digital clock recovery algorithm and a low-density parity check (LDPC) compilation code, demonstrating minimal resource consumption, low latency, and power consumption of only 0.129 W and 1.199 W, respectively. Subsequently, we constructed a desktop demonstration system that effectively showcases real-time spatial optical transmission using binary phase shift keying (BPSK) modulation and coherent detection at a communication rate of 1.024 Gbit/s. Notably, the clock error in this system is approximately  $1.50 \times 10^{-4}$ . This achievement reflects a fine balance between performance and efficiency in the context of low-orbit satellite laser communication.

**Key words** low-orbit satellite; coherent optical communication; real-time; low power consumption

## 1 引言

低轨卫星通信具有覆盖面大、部署快、带宽高、时延比高轨卫星低的优势。随着卫星制造能力的提升、

火箭发射成本的下降、集成电路技术的进步以及 5G 万物互联的推进,大规模 low earth orbit (LEO) 通信网络的独特优势既能与地面网络形成互补,也能与 geostationary earth orbit (GEO) 通信网络互补。LEO

收稿日期: 2023-10-09; 修回日期: 2023-11-17; 录用日期: 2023-11-29; 网络首发日期: 2023-12-12

基金项目: 光电国家研究中心创新专项、湖北光谷实验室创新科研项目(OVL2021BG002)

通信作者: \*yangqi@hust.edu.cn

† 共同第一作者

通信网络是空天地一体化信息网络不可或缺的一部分<sup>[1]</sup>。

将卫星理解为搬到空中的地面基站,两者的区别在于:地面移动通信中基站不动,而用户移动;卫星通信中,空中的基站高速移动( $>5700\text{ m/s}$ ),而大部分用户相对静止或低速移动。所以在卫星通信中发生星间切换、星地切换的频率较高,传输信道状况也一直在发生变化。又由于终端发生变化会引入新的时钟源偏差<sup>[2]</sup>,接收端采样模拟信号时会发生最佳采样点偏移或采样周期错误,因此时钟恢复算法对于时钟误差补偿和采样点偏移纠正来说不可或缺<sup>[3]</sup>。另一方面传输信道变化性较大,信道好坏无法控制,会导致误码突增,因此需要高容限的前向纠错码(FEC)来纠错,常采取性能较好的低密度奇偶校验(LDPC)编译码<sup>[4]</sup>。

2010年 Zhou 等<sup>[5-6]</sup>将蝶形自适应滤波器嵌套进全数字定时恢复环路中,能够同时实现时钟同步、均衡和偏振解复用,还提出了一种可大规模并行运算的全数字时钟同步方案并对它进行了仿真验证。2021年 Li 等<sup>[7]</sup>提出了基于先进先出(FIFO)的实时算法,并进行了  $2.5\text{ Gbit/s}$  的实时验证,但该方法只能解决单方向时钟偏差。有研究人员提出了一种软判决低密度奇偶校验(SD-LDPC)方法<sup>[8]</sup>,实现了比 IEEE 802.3 标准高  $1.3\text{ dB}$  的总编码增益。还有研究人员使用 75 片现场可编程门阵列(FPGA)实现了  $90\text{ Gbit/s}$  的吞吐量,该 SD-LDPC 码提供了超过  $1.5\text{ dB}$  的增益<sup>[9]</sup>。然而在大

规模 LEO 中,算法性能不是唯一目标,还要考虑星上资源占用情况及功耗。在不降低性能的情况下实现低功耗、低质量、低空间占用的算法是具有研究意义的。用数字域算法代替器件,优化算法结构,减少资源消耗可以达到减少功耗开销的目的。在接收端往往配置高精度模数转换器(ADC)(比特位宽通常为  $8\sim 12\text{ bit}$ )进行模数转换,但由于 ADC 的功耗随系统带宽增加近似线性增加,随比特位宽增加近似指数增加<sup>[10-12]</sup>,可以通过降低 ADC 的比特位宽来显著降低系统的电路功耗。

本文提出了一种资源占用少且计算时延短的全数字时钟(CDR)算法,功耗开销仅为  $0.149\text{ W}$ ,能解决双向传输中时钟误差互为相反的问题;还给出了一种仅需  $5\text{ bit}$  ADC 的高性能且码率为  $7/8$  的 LDPC 编译码,占用极少数字信号处理(DSP)资源且功耗开销仅为  $1.199\text{ W}$ ,并且成功进行了时钟误差为  $\pm 1.5\times 10^{-4}$  的时钟恢复算法和校验矩阵为  $(1984, 384)$  LDPC 的实时演示。

## 2 基本原理

### 2.1 CDR 算法原理

CDR 算法原理如图 1 所示,输入为错误采样的信号,输出为纠正后恢复到正确采样点的信号。其中, data 为数据选择,INTER 为插值器, TED 为定时误差检测, LF 为环路滤波, control unit 为控制单元, output 为输出。

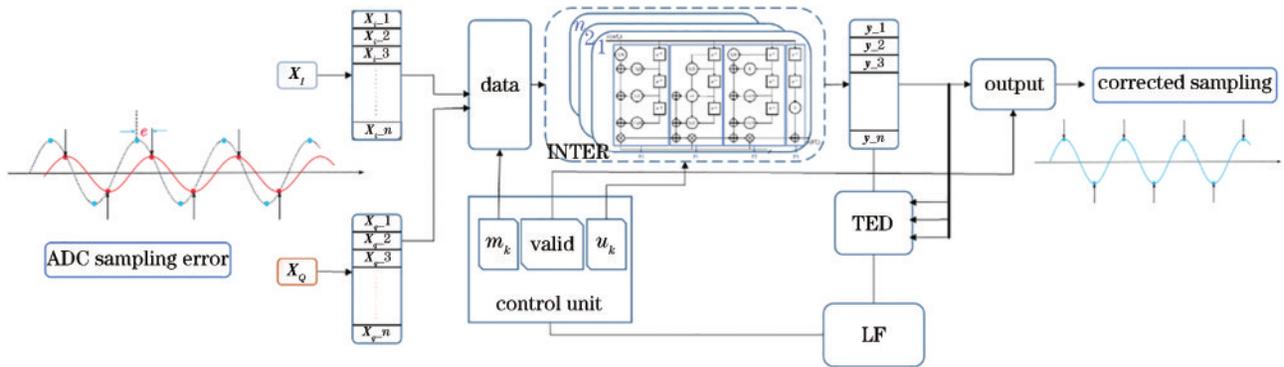


图 1 CDR 算法原理框图

Fig. 1 Principle block diagram of CDR algorithm

CDR 进行数据选择时通常需要根据环路反馈值选择前一组数据或者下一组数据,这种回溯和跳点在离线中很好实现,但在卫星实时通信的场景中,回溯往往不易实现。Li 等<sup>[7]</sup>提出了一种基于 FIFO 的方法来实现数据选择,但该方法只能解决接收端采样率偏大的问题,没有关于采样率偏小时的相关处理。本文则提出了一种结构类似但没有采用 FIFO 的架构,所提方法对正负频偏的问题具有通用性。通过用寄存器变量来缓存  $3n$  个数据( $n$  为每次进入数据个数),由于连续两拍数据是有  $2n$  个重复的,这样就便于进行数据选择操作。图 2 为所提算法结构。

插值滤波器在算法中用于进行采样速率转换,将采样率恢复到正确速率,这个过程可以由 2 个步骤完成:首先根据采样序列恢复原始模拟信号,其次在最佳采样点对模拟信号进行重采样。由于所提算法需要实时化,在对复杂度和性能进行权衡后选择拉格朗日插值法进行处理,以易于硬件实现并将传统方程变为 Fabry-Perot 结构的滤波器结构,表达式为

$$y = [(F_0 \cdot u_k + F_1) \cdot u_k + F_2] \cdot u_k + F_3, \quad (1)$$

式中:  $y$  为插值器输出结果;  $F$  为插值器输入和固定系数相乘的向量;  $u_k$  为插值器系数。

定时误差检测模块只须提供时钟恢复定时调整的

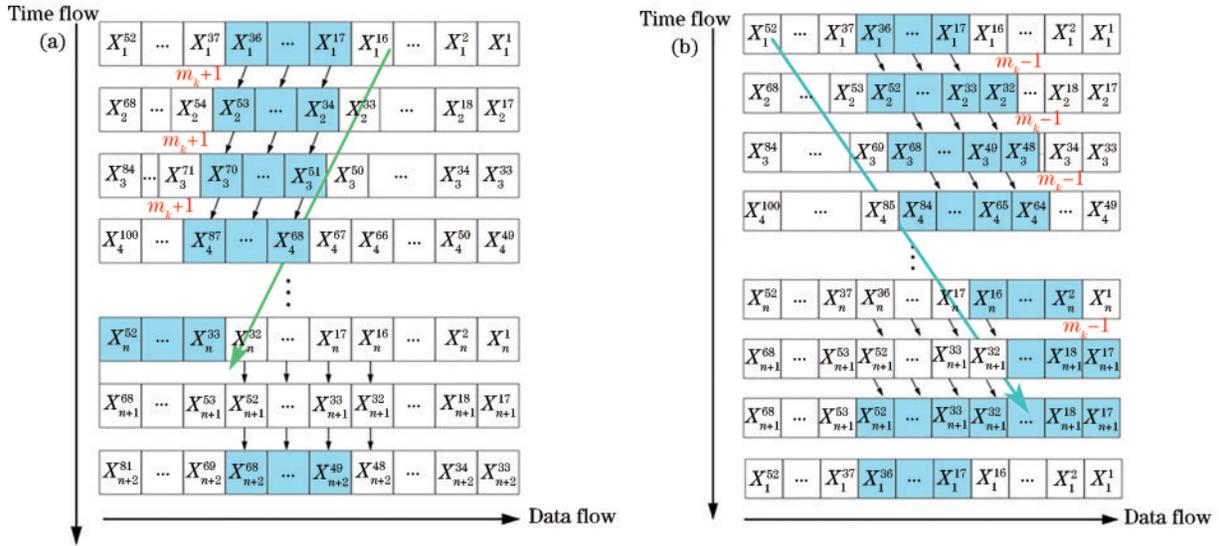


图 2 数据选择原理

Fig. 2 Data selection principle

方向和趋势,无须得到每一时刻准确的定时误差值<sup>[13]</sup>,这一性质与 Gardner 算法的特性有关,该算法仅需相邻 3 个采样点便可实现正确定时,表达式为

$$e(r) = y(r - 1/2) \times [y(r) - y(r - 1)], \quad (2)$$

式中:  $e$  为输出误差值;  $y(r - 1/2)$ 、 $y(r)$ 、 $y(r - 1)$  为相邻 3 个输入数据。当误差为 0 时表示正确采样,误差小于 0 表示采样超前,误差大于 0 表示采样滞后,如图 3 所示。

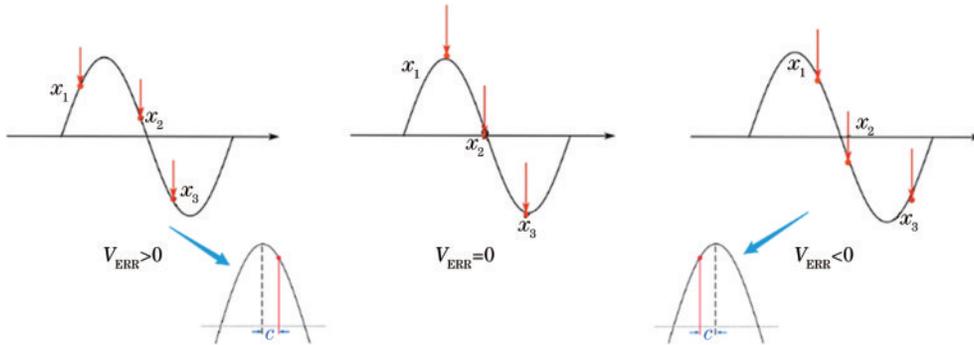


图 3 采样误差

Fig. 3 Sampling error

环路滤波器通过采用比例和积分环路滤波器结合的方法,实现滤除定时误差输出的噪声以取出平稳的误差信号,并达到调节同步环路的稳定性和收敛速度的目的。算法计算流程为

$$\begin{cases} LP(n) = k_1 \cdot \epsilon(n) \\ LI(n) = k_2 \cdot \epsilon(n) + LI(n - 1), \\ LF(n) = LP(n) + LI(n) \end{cases} \quad (3)$$

式中:  $n$  为反馈次数;  $LP(\cdot)$  为比例环路滤波器输出;  $k_1$  为比例系数;  $LI(\cdot)$  为积分环路滤波器输出;  $k_2$  为积分系数;  $LF(\cdot)$  为环路滤波器输出。

由于环路滤波器系数通常很小( $e^{-5}$ 级别),若直接采用乘法器来实现系数相乘不仅需要几十 bit 位宽来存储比例系数,而且由于单个乘法器位宽只有 18 bit,所以还需要通过使用多个乘法器组合完成环路滤波,不仅占用大量资源且计算时间长。因此本文选择向

左移位来代替乘法器,经仿真验证算法性能相差不大。优化后的环路滤波器如图 4 所示,仅仅采用移位寄存器就实现了相关功能,这种移位不仅不占用资源而且延时极低。

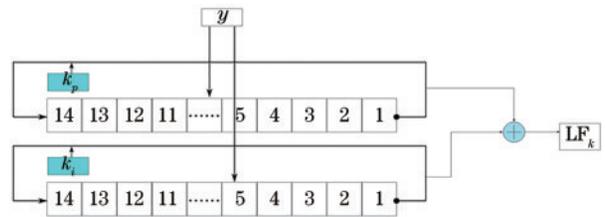


图 4 环路滤波器结构

Fig. 4 Loop filter structure

## 2.2 LDPC 算法原理

LDPC 码是一种线性分组码,编码时可以采取传

统线性分组码的通用方法,表达式为

$$c = A \cdot G, \quad (4)$$

式中: $c$ 为编码后的数据; $A$ 为编码前的数据; $G$ 为编码矩阵,本文采用的编码矩阵大小为(1984,1659)。

由于传统编码算法并行度较低,速率较慢且资源占用较高,为了符合卫星通信高速度、低功耗的特点,采用图5所示的编码结构,其计算表达式为

$$c_i = \sum_{i=1}^k A_i \cdot B_i, \quad (5)$$

式中: $B_i$ 为编码矩阵的一行向量; $i$ 为编码数据的第*i*个值,也即矩阵的第*i*行; $k$ 为编码矩阵总行数。无须等待一帧数据完全接收,接收1 bit数据即可进行编码,每一位数据和生成矩阵*G*的每一列相乘,最终相加即可得到编码结果。

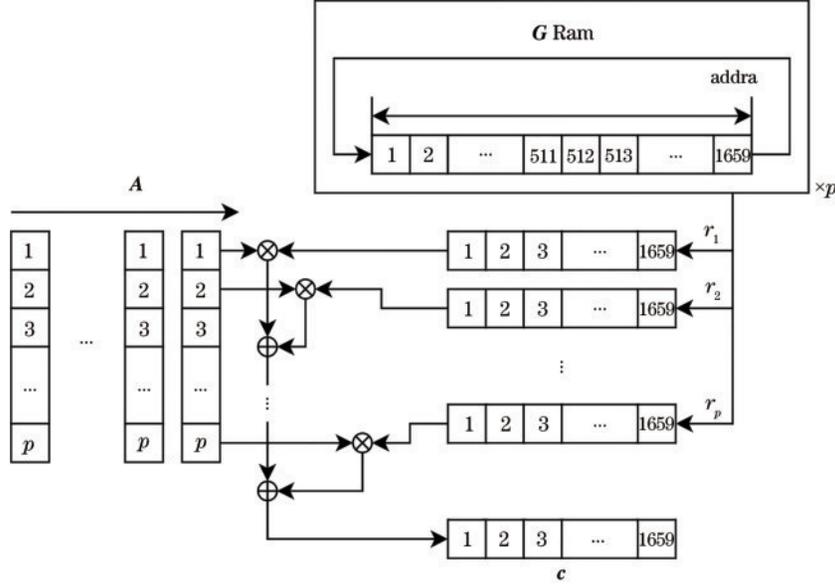


图5 LDPC 编码器结构

Fig. 5 LDPC encoder structure

解译LDPC码时主要利用基于硬判决和基于软判决的两种译码算法。基于硬判决的译码算法具有较低的译码复杂度和硬件实现复杂度,但其译码性能较差。而基于软判决的译码算法利用后验概率信息,并通过迭代运算,可以获得逼近香农极限的性能。

在和积译码算法中,每个接收值0或1的概率称为先验概率( $R_i$ )。从校验节点到位节点的外部信息称为 $E_{j,i}$ ,是位*i*使奇偶校验*j*满足的概率的对数似然比(LLR)。其中 $P_{j,i}^{ext}$ 是位*i*'为1的概率的当前估计值,可用于检查*j*。如果位*i*为0,则奇偶校验方程满足的概率为 $1 - P_{j,i}^{ext}$ 。 $E_{j,i}$ 的表达式为

$$E_{j,i} = \log \frac{1 + \prod_{i' \in B_j, i' \neq i} \tanh(M_{j,i'}/2)}{1 - \prod_{i' \in B_j, i' \neq i} \tanh(M_{j,i'}/2)}, \quad (6)$$

其中 $M_{j,i'}$ 可以表示为

$$M_{j,i'} = \text{LLR}(P_{j,i'}^{int}) = \log \frac{1 - P_{j,i'}^{int}}{P_{j,i'}^{int}}. \quad (7)$$

这样,第*i*个比特节点收到的总信息包括该比特节点的输入LLR以及与其相连的每个校验节点的外部信息 $E_{j,i}$ ,公式为

$$L_i = R_i + \sum_{j \in A_i} E_{j,i}. \quad (8)$$

在传统软判决算法过程中,校验节点更新过程会

包括大量的乘法运算,又由于实时处理时关于双曲正切函数的计算极复杂,处理量会随着码长的增加而增多,导致在增大译码延时的同时还会增加硬件开销。为了减少资源开销,考虑到 $\tanh$ 和 $1 - \tanh$ 都是奇函数且 $\tanh x$ 在0到1之间单调递增。利用以上性质,将算法中的校验节点更新简化,表达式为

$$E_{j,i} \approx \left[ \prod_{i'} \text{sign}(M_{j,i'}) \right] \min_i |M_{j,i}|. \quad (9)$$

简化后的算法称为最小和积算法(MSA)<sup>[14]</sup>,这一算法具有相当性能且易于硬件实现。

### 2.3 算法流程

CDR算法流程框图如图6(a)所示。在接收端部分,模拟信号经过ADC采样后进入寄存器,寄存器位宽为进入的数据位宽的3倍,以保证调整后进入插值器的数据最佳。例如,进入数据为16路并行,每个数据为*a* bit位宽,则寄存器宽度为 $16 \times 3 \times a$ 。数据选择后进入多路并行插值器,多路并行插值器共用同一拉格朗日插值方程的系数,同时输出多路插值结果,但是只有三路结果进入定时误差检测模块。经过定时检测误差模块后,输出误差进入环路滤波器。注意,环路滤波器比例系数和积分系数设置在端口引出顶端,通过实时调整系数,可以改变收敛速度和收敛稳定性。经过环路滤波器后,输出误差进入控制模块。与此同时输出频偏累加,

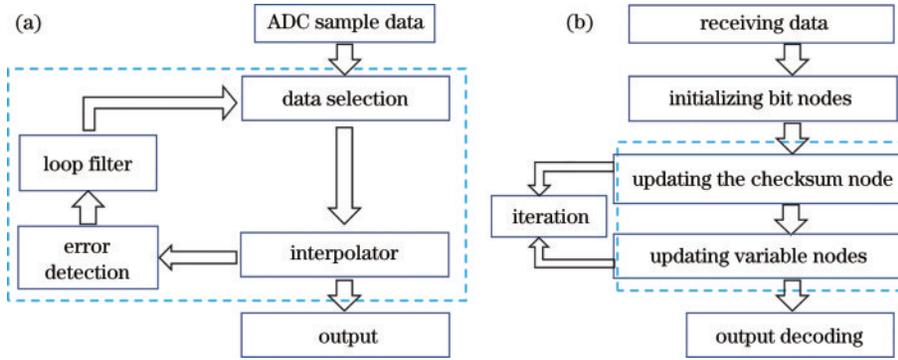


图 6 算法流程。(a) CDR 算法流程; (b) LDPC 算法流程

Fig. 6 Flow chart of algorithms. (a) Flow chart of CDR algorithm; (b) flow chart of LDPC algorithm

当累加值超过 1 时,同时发信号给数据选择模块,其数据选择索引右移 1 位,频偏值输出给插值器模块,更新插值器系数;反之,当累加值小于 -1 时,同时发信号给数据选择模块,其数据选择索引左移 1 位,频偏值同时输出给插值器模块,更新插值器系数。经过控制模块后,输出模块会收到信息有效信号,该有效信号表征此时输出信号是否有效,以及有效时的数据个数。

LDPC 译码具体结构如图 6(b)所示。首先,译码模块接收信道信息,识别到数据帧头信号后,给控制模块发送开始译码的信号,同时把初始信道 5 bit 量化的似然比数据信息存储进存储单元。本译码器的核心是变量节点更新与校验节点更新模块,两模块之间的状态转换过程为先完成判定,输出更新信号,再根据更新

信号转换到下一个状态。主要的两个随机存取存储器(RAM)负责存储更新完毕的变量节点/校验节点信息。最后,当迭代次数达到  $N$  次时,输出在缓冲模块的译码结果。

### 3 实验方案

实验装置如图 7 所示。图 7(a)为实验框架。图 7(b)为实物展示,其中 A 为 Xlink k7 系列的 FPGA 板卡, B 为马赫-曾德尔调制器(MZM), C 为上位机控制的掺铒光纤放大器(EDFA), D 为搭建的自由空间光链路,损耗控制在 7 dB 左右, E 为相干接收机(ICR),差分输出给 ADC 采样。图 7(c)为相干接收端实时算法的处理流程<sup>[15]</sup>。

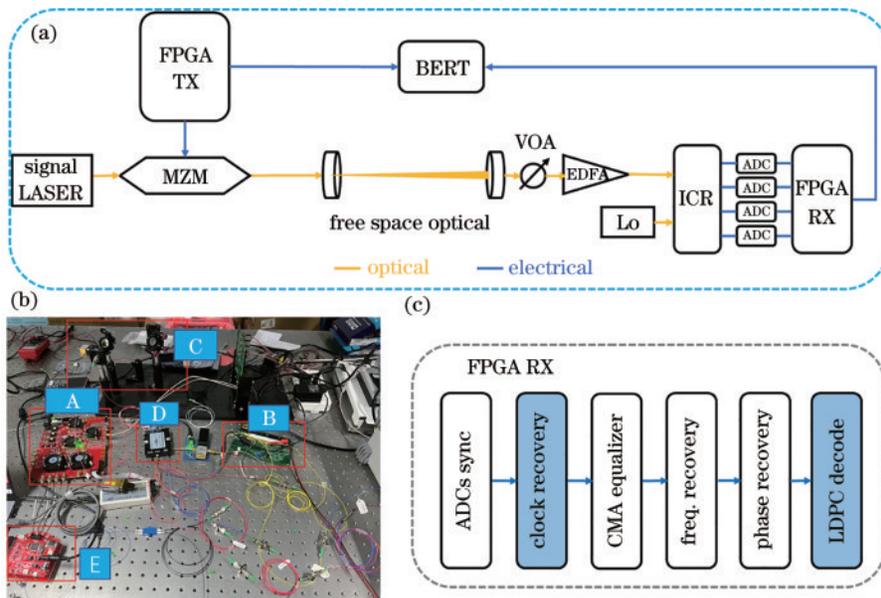


图 7 实验平台及算法流程。(a)自由空间光链路实时传输实验设置; (b)实验设置; (c)算法处理流程

Fig. 7 Experimental platform and algorithm flow. (a) Experimental setup of the real-time transmission over a free space optical link; (b) physical setup; (c) flow chart of algorithm processing

发送端信息经过 LDPC 编码、调制发送、信道后由接收端接收,首先经过 CDR,信号得到解调后,再通过 LDPC 解码恢复信息。实验传输波长为 1550 nm 的单载波,信号由实时 FPGA 产生的基带信号的驱动调

制器调制为二进制相移键控(BPSK)信号,数据为伪随机序列(PRBS23),用作 LDPC 编码的生成矩阵  $G$  的大小为  $1659 \times 1984$ 。调制器输出信号进入空间光链路,损耗约为 7 dB。空间光依次经过光衰减头,经

EDFA 放大后进入接收端。在接收器侧,光信号由 EDFA 放大,然后在 ICR 中转换为电信号。由 6 位 ADC 以 1.024 GSa/s 的采样率对每个符号采样 2 次。采样后的信号被送到 FPGA 进行实时 DSP 和恢复。实时算法包括 ADC 同步、时钟恢复、恒模算法(CMA)、频偏恢复、相位恢复、符号判定及 LDPC 译码。CMA 均衡器的抽头数为 5。频率和相位恢复是基于 Viterbi-Viterbi(V-V)算法的<sup>[16]</sup>。本技术方案主要探究 CDR 算法和 LDPC 译码的性能。由于 LDPC 译码的速率只有 250 MB,因此只选取部分数据经过 LDPC 译码。

## 4 分析与讨论

### 4.1 CDR 结果分析与讨论

实时全数字时钟恢复算法相比离线采取了并行化操作来提高运行速率,减少了计算量以节省资源、缩短延时,但是硬件的位宽限制了计算精度。相同的输入数据被送入 Matlab 代码和 Verilog 代码来对比验证实时算法的可靠性。输入数据是 Matlab 生成的 prbs 码,数据在经过重采样后具有定时误差,在 Matlab 和 Vivado 平台上对仿真结果进行输出对比。结果如图 8 所示,实时算法得到的结果相比离线代码并没有特别明显的劣化,证明了所提实时算法的可靠性。

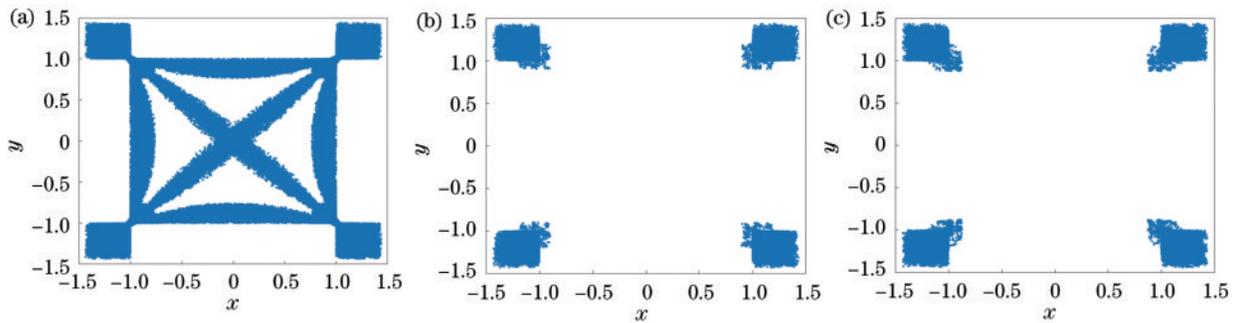


图 8 离线算法与实时算法对比。(a) ADC 采集数据;(b) 离线 Matlab 输出;(c) 实时 FPGA 输出

Fig. 8 Comparison of offline and real-time algorithms using the same input data. (a) Input data for ADCs; (b) output of offline Matlab; (c) output of real-time FPGA

在本实验中,通过改变压控振荡器(VCO)的电压的方式引入定时采样误差。由于 VCO 的可调节电压存在一定范围(0000~FFFF),所以数据在实时传输时的误差存在极限值,其值为 8000 时没有误差,其中 0000 对应最大负频偏而 FFFF 对应最大正频偏。对两种极限情况都做了测试,且都能实现 0 误码。测试结果如

图 9 和图 10 所示。图 9(a)和图 10(a)为 CDR 算法处理的星座图,图 9(b)和图 10(b)为离线解出的星座图,图 9(c)和图 10(c)为实时解出的星座图,图 9(d)和图 10(d)为 Vivado 平台波形图,即为环路滤波器的输出,输出信道的周期性规律正好对应分别设置的误差变化。本实验在离线代码上测试的误差极限能达  $1 \times 10^{-3}$ 。

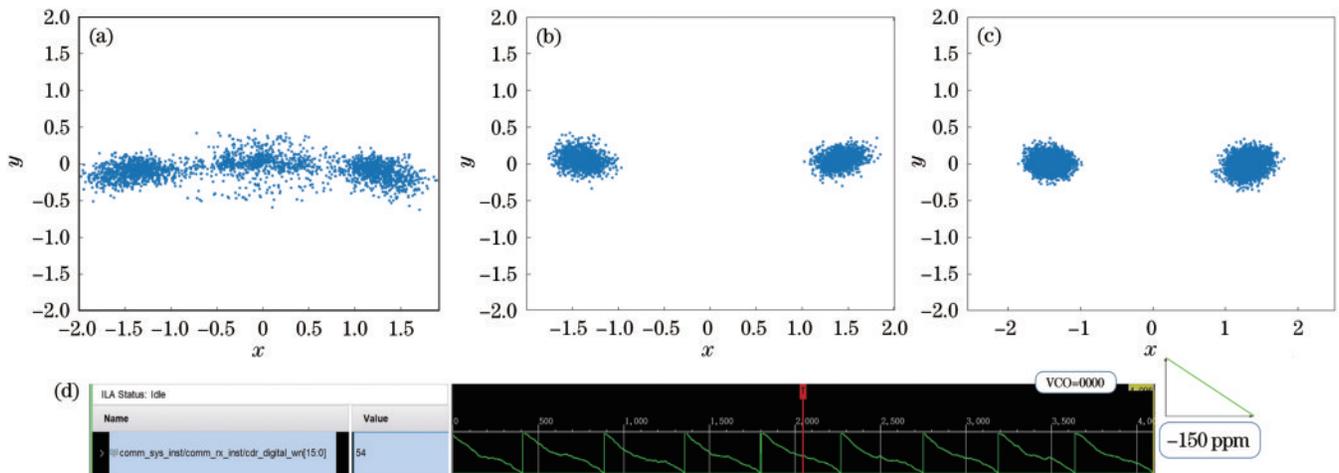


图 9 VCO 为 0000 时的信号星座及误差曲线。(a) 无 CDR 的输出;(b) 离线 Matlab 输出;(c) 实时 FPGA 输出;(d) Vivado ILA 误差曲线  
Fig. 9 Signal constellation and error curve when VCO is 0000. (a) Output without CDR; (b) output of offline Matlab; (c) output of real-time FPGA; (d) error curve in Vivado ILA

### 4.2 LDPC 结果分析与讨论

在实际情况中 LDPC 成功解码所需的迭代次数会

随着信道噪声的增强而不断增加,在信道噪声达到一定门限时,即使提升迭代次数也无法成功解码。使用

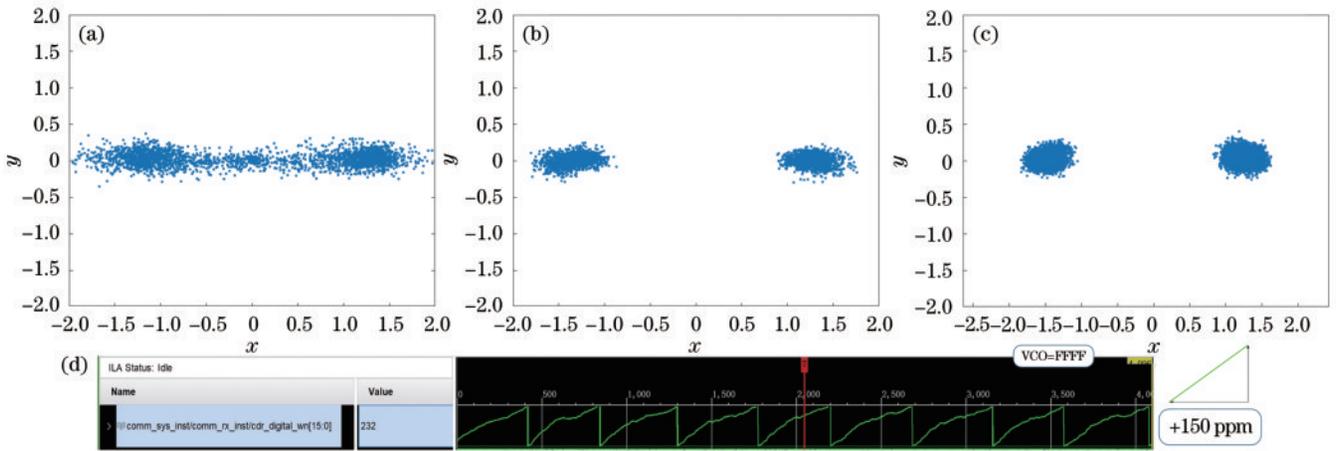


图 10 VCO 为 FFFF 时的信号星座及误差曲线。(a)无 CDR 的输出;(b)离线 Matlab 输出;(c)实时 FPGA 输出;(d) Vivado ILA 误差曲线  
 Fig. 10 Signal constellation and error curve when VCO is FFFF. (a) Output without CDR; (b) output of offline Matlab; (c) output of real-time FPGA; (d) error curve in Vivado ILA

过大的迭代次数对于实时的 LDPC 解码器而言将带来极大的劣化时延特性并且会增加功耗与资源占用。

为了选择合适的迭代次数,使用给定的编解码矩阵并基于 Matlab 实现仿真解码,使用的消息比特长度为  $2 \times 10^6$  ( $> 1000$  帧随机码字),在 LLR 未量化的条件下研究了信道噪声和迭代次数对基于和积算法的解码器性能的影响。图 11 为误码率(BER)与迭代次数的关系,可见:解码器输出的 BER 随着迭代次数的提升呈现下降趋势;对于信噪比(SNR)为 6.1 dB、6.4 dB、6.7 dB 的 3 组实验,由于信道噪声过大,在 8 次迭代以前无法成功解码,并且在 5 次迭代后出现了明显的 BER 平台现象,即解码性能无法随着迭代次数的提高而进一步提升;SNR 为 6.9 dB 时,解码器在第 5 次迭代后成功解码。根据仿真实验结果,综合考虑解码器性能与实现复杂度代价,选取 5 次迭代作为 LDPC 解码器的迭代次数最为合理。

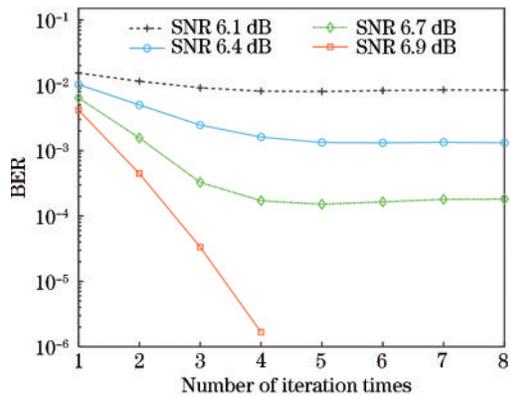


图 11 BER 与迭代次数的关系  
 Fig. 11 BER versus number of iteration times

为了减少资源占用和功耗,解码器采用 5 位量化方式。图 12(a)比较了 3 种不同的量化方法,并展示了每种方法的工作原理。首先是所提非均匀量化方法

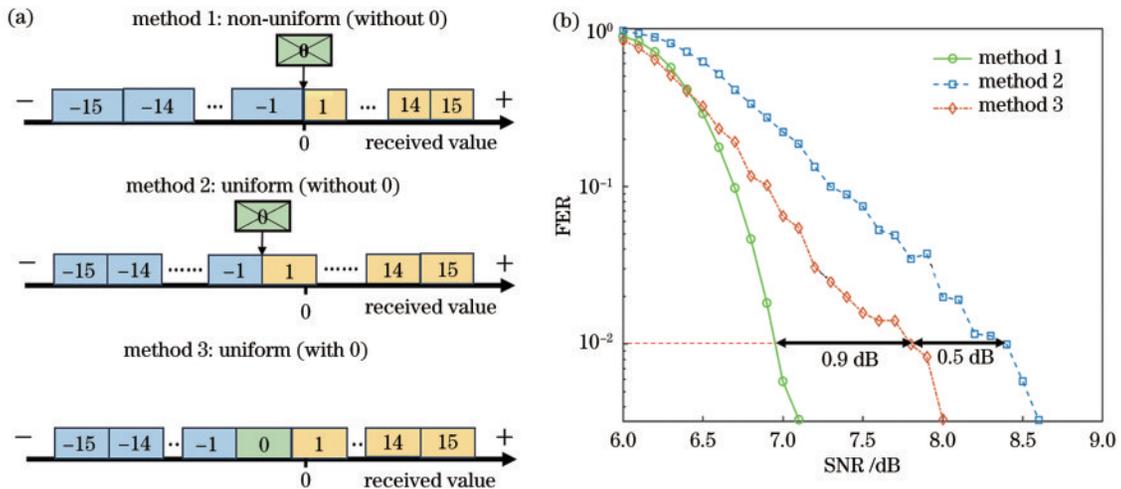


图 12 量化方法及其性能对比。(a)不同量化方法的框图;(b)性能对比  
 Fig. 12 Comparison of quantitative methods and their performance. (a) Block diagram of different quantization methods; (b) performance comparison

(方法 1), 量化过程如下: 首先计算接收值的最大值和最小值; 将 0 到最大接收值的间隔平均分为 15 个间隔, 每个间隔依次从 1 到 15 进行量化, 类似地, 负轴依次从 -1 到 -15 进行量化, 没有量化值 0。第二种量化方法是均匀量化, 不包含 0(方法 2)。第三种量化方法是均匀量化, 但该方法的量化值包含 0(方法 3)。图 12(b) 为 1000 帧解码后的数据经不同量化方法处理的结果。当误帧率(FER)为  $1 \times 10^{-2}$  时方法 1 的增益比方法 2 高 0.9 dB, 比方法 3 高 1.4 dB。结果说明, 5 位非均匀量化方法具有最好的译码性能。

图 13 为采用 5 位非均匀量化方法进行量化的最终解码性能图, 可以看出从 0.1 的 FER 下降到 0 只需要 0.5 dB 的信噪比提升。

### 4.3 资源与功耗

在实时硬件平台上对两种算法进行验证, 在 FPGA 中的芯片布局布线如图 14 所示, 图 14(a) 为 CDR 的芯片布局布线图, 图 14(b) 为 LDPC 的芯片布局布线图。表 1 详细列出了 CDR 和 LDPC 模块在 FPGA 上的资源占用情况和相应的功耗数据, FPGA

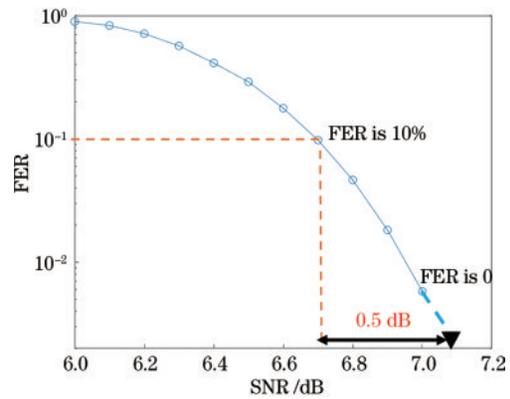


图 13 非均匀量化 LDPC 的 FER 性能

Fig. 13 FER performance of non-uniformly quantization LDPC

主要的资源模块包括查找表(LUT)、寄存器(Register)、乘法器(DSP)、存储单元(BRAM)。其中 CDR 占用了 110 个 DSP 单元, 其功耗仅为 0.129 W, LDPC 模块无需 DSP 资源, 功耗为 1.199 W。结果证明了所提算法的低复杂度和低功耗, 适用于卫星通信领域。

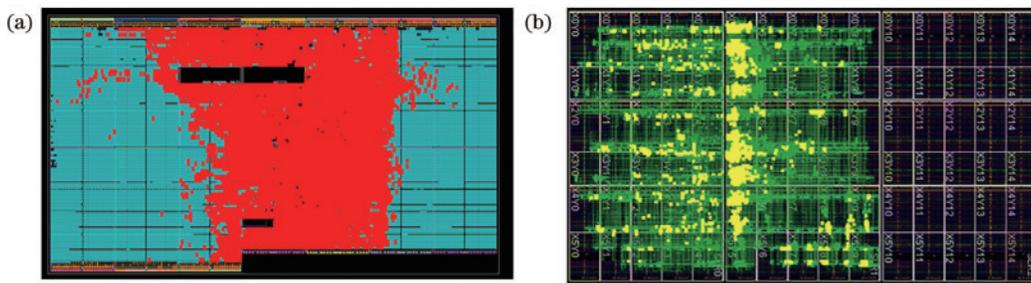


图 14 芯片布局布线图。(a)CDR 芯片规划;(b)LDPC 芯片规划

Fig. 14 Chip planning. (a) Chip planning of CDR; (b) chip planning of LDPC

表 1 资源占用

Table 1 Resource utilization

Key block	LUT	Register	DSP	BRAM	Power / W
CDR	35074	15862	110	0	0.129
LDPC	3.2	141.4	0	1240	1.199
Available	1182240	2364480	6840	2160	

## 5 结 论

针对具有实时化、低功耗等要求的低轨卫星激光通信的应用场景, 提出了能在 FPGA 实现的全数字时钟恢复算法和 LDPC 编译码算法。成功演示了一个实时 BPSK 速率为 1.024 Gbit/s 的自由空间光传输系统, 其中 ADC 时钟误差约为  $1.5 \times 10^{-4}$ 。误差设置由于受到 VCO 范围限制, 在仿真中的误差可达  $1 \times 10^{-3}$ 。由于板上资源限制, 仅抽取部分数据进行 LDPC 编解码。CDR 算法仅占用了 110 个乘法器单元, 功耗只有 0.129 W; LDPC 采用软判决方法, 几乎不需要 DSP, 且功耗只有 1.199 W。结果表明, 两个算法的实时化性能和离线代码差异不大, 其中 LDPC 实时结果

和离线一样, 没有性能损失。所提算法无需额外器件, 功耗低的特点可以帮助天地空一体化中低轨卫星通信链路的搭建, 推进下一代通信 6G 的发展。

## 参 考 文 献

- [1] 赵尚弘, 彭聪, 李勇军, 等. 面向卫星互联网的下一代卫星光网络关键技术进展[J]. 激光与光电子学进展, 2023, 60(7): 0700001.  
Zhao S H, Peng C, Li Y J, et al. Key technology progress of next-generation satellite optical network for satellite internet[J]. Laser & Optoelectronics Progress, 2023, 60(7): 0700001.
- [2] Gardner F. A BPSK/QPSK timing-error detector for sampled receivers[J]. IEEE Transactions on Communications, 1986, 34(5): 423-429.
- [3] Mueller K, Muller M. Timing recovery in digital synchronous data receivers[J]. IEEE Transactions on Communications, 1976, 24(5): 516-531.
- [4] Gallager R. Low-density parity-check codes[J]. IRE Transactions on Information Theory, 1962, 8(1): 21-28.
- [5] Zhou X, Chen X, Zhou W Q, et al. All-digital timing recovery and adaptive equalization for 112 Gbit/s

- POLMUX-NRZ-DQPSK optical coherent receivers[J]. *Journal of Optical Communications and Networking*, 2010, 2(11): 984-990.
- [6] Zhou X, Chen X. Parallel implementation of all-digital timing recovery for high-speed and real-time optical coherent receivers[J]. *Optics Express*, 2011, 19(10): 9282-9295.
- [7] Li Y F, Li Y, Dong T, et al. Real-time clock recovery algorithm with high clock frequency offset tolerance[J]. *Optics Communications*, 2021, 493: 127025.
- [8] Yang M W, Li L L, Liu X, et al. FPGA-based real-time soft-decision LDPC performance verification for 50G-PON[C]//*Optical Fiber Communication Conference (OFC) 2019*, March 3-7, 2019, San Diego, California. New York: IEEE Press, 2019.
- [9] Wang W M, Tao K, Qian W F, et al. Real-time FPGA verification for 25G-PON and 50G-PON LDPC codes [C]//*2020 Conference on Lasers and Electro-Optics (CLEO)*, May 10-15, 2020, San Jose, CA, USA. New York: IEEE Press, 2020.
- [10] Walden R H. Analog-to-digital converter survey and analysis[J]. *IEEE Journal on Selected Areas in Communications*, 1999, 17(4): 539-550.
- [11] Leon-Salas W D, Balkir S, Sayood K, et al. An analog-to-digital converter with Golomb-Rice output codes[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2006, 53(4): 278-282.
- [12] Murmann B. ADC performance survey 1997—2023[EB/OL]. [2023-10-08].<https://github.com/bmurmann/ADC-survey>.
- [13] 王铠尧, 洪智勇, 曾志强. 可见光通信系统的符号定时偏移估计方法[J]. *光学学报*, 2022, 42(7): 0706007.  
Wang K Y, Hong Z Y, Zeng Z Q. Symbol timing offset estimation method for visible light communication systems[J]. *Acta Optica Sinica*, 2022, 42(7): 0706007.
- [14] Fossorier M P C, Mihaljevic M, Imai H. Reduced complexity iterative decoding of low-density parity check codes based on belief propagation[J]. *IEEE Transactions on Communications*, 1999, 47(5): 673-680.
- [15] 敖学渊, 杨奇, 戴潇潇, 等. 实时化自由空间光通信技术研究[J]. *中国激光*, 2022, 49(12): 1206004.  
Ao X Y, Yang Q, Dai X X, et al. Real-time free space optical communication technology[J]. *Chinese Journal of Lasers*, 2022, 49(12): 1206004.
- [16] Forney G D. The viterbi algorithm[J]. *Proceedings of the IEEE*, 1973, 61(3): 268-278.