

用于微光 CMOS 图像传感器的相关多采样技术

李少蒙, 聂凯明*, 徐江涛

天津大学微电子学院, 天津 300072

摘要 为了提高用于低噪声 CMOS 图像传感器的单斜模数转换器(SS ADC)的量化速度,提出一种基于 SS ADC 的根据输入光强确定采样次数的相关多次采样(CMS)技术。利用数字模拟转换器(DAC)输出信号的差分特性,根据输入电压大小,分别按照不同的方式选择正/负斜坡输入到比较器中。当输入电压信号较小时,控制斜坡形状,使采样次数为 4;当输入电压信号较大时,使采样次数为 2。采用 110 nm 的 CMOS 工艺,时钟频率为 400 MHz,行转换时间为 23 μ s,分辨率为 11 位,量化范围为 1 V 内。仿真结果表明:所提技术的微分非线性(DNL)达 +0.6/-0.3LSB,LSB 指最低有效位,积分非线性(INL)达 +0.7/-0.9LSB;最低噪声为 82 μ V;与传统的采样次数为 4 的 CMS 技术相比,在不增加低照度下噪声的同时,将 A/D 转换周期节约了 13 μ s。

关键词 CMOS 图像传感器; 单斜模数转换器; 低噪声; 相关多次采样; 微光探测

中图分类号 TP212

文献标志码 A

DOI: 10.3788/LOP221508

Correlated Multiple Sampling Technique for Low-Light CMOS Image Sensors

Li Shaomeng, Nie Kaiming*, Xu Jiangtao

School of Microelectronics, Tianjin University, Tianjin 300072, China

Abstract To enhance the conversion speed of single-slope analog-to-digital converter (SS ADC) for low-noise CMOS image sensors, this study proposes a correlated multiple sampling (CMS) method based on SS ADC, which entails estimating the sampling time based on the input light intensity. Using the differential characteristic of the output signal of a digital-to-analog converter (DAC), the positive/negative ramp was selected according to input voltage. When the input voltage is low, the ramp shape was regulated such that there were four sampling times; when the input voltage is high, the sampling time was set to two. This design is based on 110-nm node CMOS process, and the clock frequency is 400 MHz, line conversion time is 23 μ s, resolution is 11 bit, and quantization range is 1 V. The simulation results reveal that the differential nonlinearity (DNL) of this design is +0.6/-0.3LSB (LSB is least significant bit), and the integral nonlinearity (INL) is +0.7/-0.9LSB, with 82 μ V being the minimum noise. Compared with conventional CMS method with sampling number of four, the A/D conversion time of the proposed method is saved by 13 μ s without increasing noise under low light.

Key words CMOS image sensor; single-slope analog-to-digital converter; low-noise; correlated multiple sampling; low-light detection

1 引言

CMOS 图像传感器广泛应用于安防、军事、医学等领域,随着人需求的扩大,对其暗光成像能力也提出了新的要求。数字模拟转换器(DAC)是图像传感器的重要模块,其性能直接决定了成像质量,也是噪声的主要来源之一。常用的 ADC 包括逐次逼近 ADC、循

环 ADC 和单斜 ADC(SS ADC)。SS ADC 的电路结构简单、功耗低、面积小、噪声低,非常适合低噪声设计。

国内外也对低噪声 CMOS 图像传感器进行了较多的研究。文献[1]使用了列并行高增益放大器和数字相关多次采样(CMS)技术来降低读出噪声。文献[2]提出了一种用于低噪声 CMOS 图像传感器的条件

收稿日期: 2022-05-05; 修回日期: 2022-05-31; 录用日期: 2022-06-22; 网络首发日期: 2022-07-08

基金项目: 国家重点研发计划(2019YFB2204200)

通信作者: *nkaiming@tju.edu.cn

CMS(CCMS)技术,解决传统CMS技术的低帧率问题。文献[3]提出了一种伪CMS技术,该技术将较高分辨率的A/D转换分为几个较低分辨率的A/D转换,保持速度的同时降低了随机噪声。文献[4]提出了一种基于14位两步SS ADC和列自校准技术的低噪声CMOS图像传感器,该传感器适用于高帧率应用。文献[5]介绍了一种针对低噪声CMOS图像传感器的CMS技术,采样数量由输入信号控制。文献[6]提出了一种低噪声、高帧速率CMOS图像传感器,采用双斜率ADC,通过过采样来抑制热噪声。文献[7]在3级流水线ADC中使用CMS技术,最终实现了 $3.2e^{-}$ 的噪声水平。文献[8]在微光成像中应用数字域时间延迟积分技术,该技术可以提高传感器的灵敏度和增加动态范围。文献[9]采用尖峰噪声抑制电路,降低了雪崩信号的尖峰噪声。文献[10]针对近红外光对可见光的颜色干扰问题提出了一种颜色差值与降噪处理相结合的可见光分离方法。文献[11]设计了一种基于复用结构的flash型低噪声读出电路。

综上,CMS技术可以降低读出噪声,但也将线性增加转换时间。针对这一问题,现有的技术存在一定的局限。两步SS ADC需要在模拟域或数字域暂存斜坡发生器的电压,需要额外电路;要设计足够的冗余以避免错锁的发生,增加了设计复杂性。CCMS技术需要增加多余的斜坡发生器,会面临斜坡发生器之间匹配的问题,也会增加SS ADC的功耗。因此,在不增加电路规模和时序复杂度的情况下提高CMS的速度是非常必要的。

本文用电流舵DAC作为斜坡发生器,并充分利用其输出的差分特性,根据输入光强的大小选择正/负斜坡,改变CMS的次数。所提方法仅需要传统CMS技术做两次采样的时间即可达到四次采样的效果,在光强较低时,CMS采样次数为4,当光强较高时,采样次数为2。在不增加额外电路模块和时序复杂度的情况

下,所提方法能够缩短采用CMS技术的SS ADC的量化时间。

2 基本原理

2.1 现有的低噪声SS ADC架构

对于一个 n 位的SS ADC,至少需要 2^n 个时钟周期完成一次A/D转换,转换时间相对较长。CMS技术的应用也意味着成倍地增加转换时间,使SS ADC量化速度进一步变慢,这将会在一定程度上限制CMS技术的应用。

SS ADC的总体架构如图1所示,由比较器、计数器、斜坡发生器组成,比较输入电压与斜坡电压,并测量比较器切换前持续的时间,将输入电压转换为数字码。传统CMS技术的工作过程如图2所示,将ADC的量化过程分为复位信号阶段和采样信号阶段,在这两个阶段分别量化来自像素的复位信号和曝光信号。CMS技术多次采样复位信号和曝光信号并求平均值,从而抑制随机噪声;并通过将这两个阶段的计数结果相减来消除像素内的固定模式噪声(FPN)以及ADC中比较器的响应延迟和计数器的时钟延迟等因素造成的偏移。

在低噪声应用中,为了降低在低照度情况下的随机噪声,需要增加采样次数。这就意味着在SS ADC量化范围的制约下,行周期将会较大程度增加,因此需要提高CMS技术的量化速度。

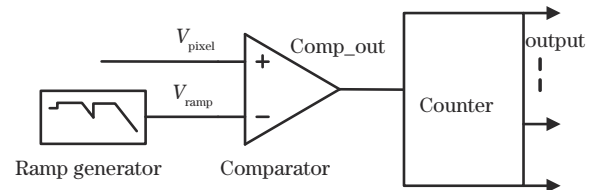


图1 传统SS ADC总体架构

Fig. 1 Architecture of traditional SS ADC

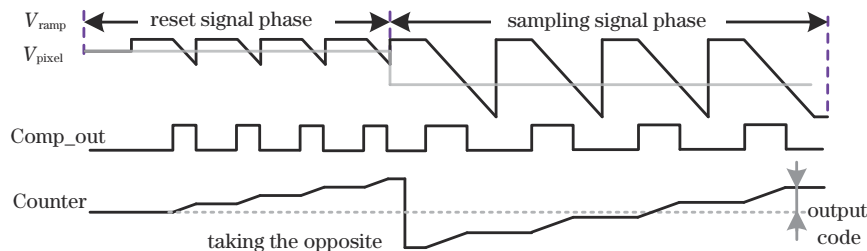


图2 传统CMS技术的时序图

Fig. 2 Timing diagrams of traditional CMS technique

2.2 所提低噪声SS ADC原理

CMOS图像传感器的噪声分为固定模式噪声和随机噪声两大类。相比于固定模式噪声,随机噪声的消除更加困难,因此对成像质量的影响更大。大多数随机噪声与光照强度无关,是限制低照度下信噪比的关键因素,可以通过对信号进行多次采样并取平均值

抑制。散粒噪声取决于信号中光电子的数量,信号中光电子的数量 N_{sig} 与散粒噪声 N_{phs} (均由电子数量表示)之间的关系可以表示为

$$N_{phs} = \sqrt{N_{sig}} \quad (1)$$

因此在强光下,散粒噪声才是限制信噪比的关键因素,散粒噪声无法通过增加采样次数消除。对于小

摆幅信号,提高采样次数可以有效降低随机噪声;而对于大摆幅信号,以光子散粒噪声为主,提高采样次数并不能提高信噪比,在光强较大时可以减少采样次数,提高 ADC 的量化速度。

本文提出了一种根据光强调整输入斜坡范围和采样次数的 SS ADC。在照度较低时,进行 $M=4$ 的相关多采样;在照度较高时,进行 $M=2$ 的相关多采样。提出的 SS ADC 的整体架构和工作原理分别如图 3 和图 4 所示。如图 3 所示,提出的低噪声 SS ADC 由比较器、计数器、斜坡发生器及输入电压判断模块组成,斜

坡发生器产生正负输出 V_{ramp+} 、 V_{ramp-} ,通过对比较器输出 $Comp_out$ 的判断确定输入电压 V_{pixel} 是否处于较低电平,如果处于较低电平,产生信号 $Mode$,控制信号 $Choose_ramp$ 的形状,选择输入到比较器的为正/负斜坡。如图 4 所示,将 SS ADC 的量化过程分别分为复位信号阶段、斜坡选择阶段和采样信号阶段,分别对应图中的 1、2、3 阶段。其中阶段 1 用来量化来自像素的复位信号;阶段 2 用来判断输入光强的大小,从而确定斜坡输入方式和采样次数;阶段 3 用来量化像素的曝光信号。

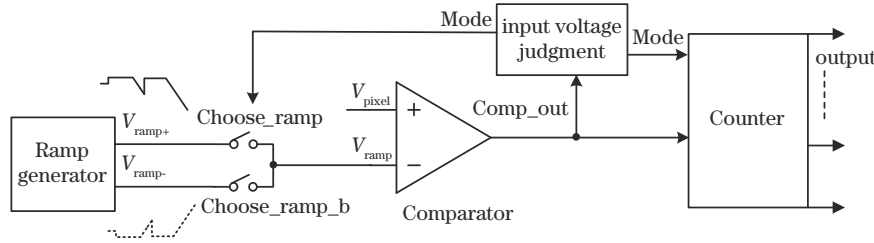


图 3 采用电压自适应 CMS 技术的 SS ADC 架构

Fig. 3 Diagram of the SS ADC with voltage adaptive CMS technique

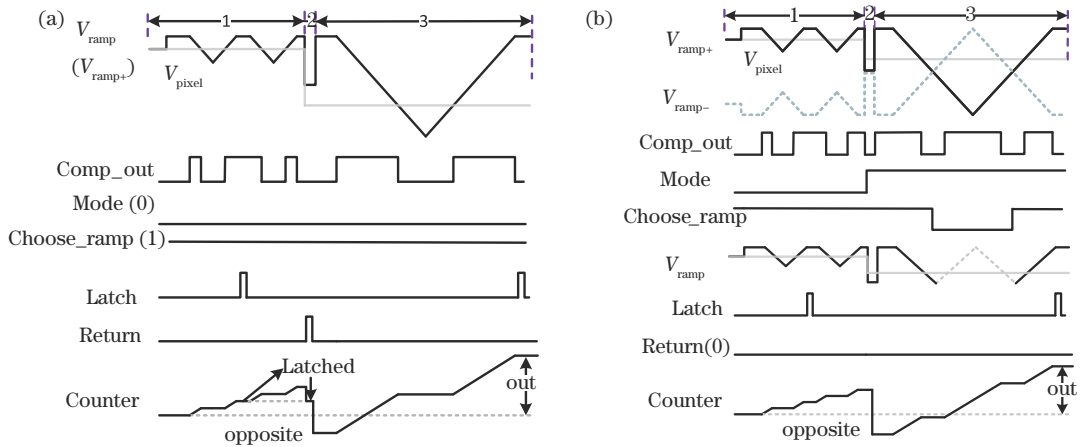


图 4 电压自适应 CMS 技术的原理。(a) $V_{pixel} < V_{ref}$ 的情况; (b) $V_{pixel} > V_{ref}$ 的情况

Fig. 4 Principles of voltage adaptive CMS technology. (a) $V_{pixel} < V_{ref}$; (b) $V_{pixel} > V_{ref}$

在斜坡选择阶段将斜坡电压设置在 $V_{top}/2$ 附近 (V_{top} 为斜坡的最高电压),大小为 V_{ref} ,在阶段 2 进行判断。当 $V_{pixel} > V_{ref}$ 时,能够判定 ADC 输入电压较小,传感器处于较低照度;当 $V_{pixel} < V_{ref}$ 时,能够判定 ADC 输入电压较大,传感器处于较高照度。这两种情况的工作过程分别如图 4 所示。其中,信号 $Mode$ 用来反映输入电压是否处于较高水平以及 SS ADC 采样次数;信号 $Choose_ramp$ 用来选择正/负斜坡,高电平时选择正向斜坡,低电平时选择反向斜坡。

$V_{pixel} < V_{ref}$ 时 SS ADC 的工作过程如图 4(a) 所示,采样次数为 2,在斜坡选择阶段比较器不翻转,信号 $Mode$ 始终为低电平,信号 $Choose_ramp$ 始终为高电平,意味着输入比较器的斜坡信号始终是正向的斜坡 V_{ramp+} 。通过斜坡选择阶段的预判断,在采样信号阶段将进行 $M=2$ 的 CMS 操作。但是在复位信号阶段计

数器已经采样了 4 次复位信号,设此时的计数结果为 Q_1 ,表达式为

$$Q_1 = Q_{11} + Q_{12}, \quad (2)$$

式中: Q_{11} 和 Q_{12} 分别为第 1、2 次量化复位信号和第 3、4 次量化复位信号的结果。其中只有前两次采样结果是需要,对这种情况的处理方式如下:在复位信号阶段第二次量化完成时,通过信号 $Latch$ 将此时计数器的结果 Q_{11} 锁存,在斜坡选择阶段确定采样次数为 2 后通过信号 $Return$ 把锁存的计数结果返回到每一位计数器,使计数器回到复位信号阶段第二次采样结束后的状态。因此在阶段 2,计数器的计数结果将变为

$$Q_2 = Q_{11}. \quad (3)$$

$V_{pixel} > V_{ref}$ 时 SS ADC 的工作过程如图 4(b) 所示,采样次数为 4。在斜坡选择阶段比较器向上翻转,此上升沿触发信号 $Mode$ 变为高电平。由信号 $Mode$ 控

制产生信号 Choose_ramp。采样信号阶段的斜坡是由斜坡发生器产生的差分斜坡 V_{ramp+} 和 V_{ramp-} 构成的。正负斜坡通过信号 Choose_ramp 来选择:当 Choose_ramp 为高电平时,输入正向斜坡 V_{ramp+} ,当 Choose_ramp 为低电平时,选择反向斜坡 V_{ramp-} 。将最终得到的信号 V_{ramp} 输入到比较器,此时采样次数为 4,所以在复位信号阶段的计数结果全部有效,信号 Return 的高电平不产生,信号 Latch 第一次锁存的信号不起作用,此时有

$$Q_2 = Q_1 = Q_{11} + Q_{12} \quad (4)$$

对于电压 V_{ref} ,理想情况下可将其设为 $V_{top}/2$,但是会存在错误锁定电压区间的问题和正负斜坡切换时造成的斜坡形状不理想的问题。首先由于比较器在精度和响应速度上存在限制,在输入电压 V_{pixel} 和 V_{ref} 较为接近时,比较器可能无法在斜坡选择阶段正确翻转,无法选择正确的斜坡,导致量化错误。同时,采样次数为 4 时,在正负斜坡切换的时刻会由于开关切换,输入比较器的斜坡形状受到轻微的影响,当输入信号 V_{pixel} 大小恰好处于正负斜坡交点附近时,斜坡形状发生的非理想变化使 ADC 量化结果发生错误。

为了解决上述问题,将斜坡选择阶段的斜坡电压 V_{ref} 设置为高于 $V_{top}/2$ 的电压,则分别解决了上述两个问题。针对锁定错误区间的问题,分析如下:当电压 $V_{pixel} > V_{ref}$ 且两者大小相近时,比较器可能会在斜坡选择阶段无法翻转,进行 $M=2$ 的 CMS 操作。这种情况虽然与理论不符,但是输入电压 V_{pixel} 与 V_{ref} 相近时已经被认为是较大的输入信号,进行 $M=2$ 的 CMS 操作抑制噪声的效果已经可以满足需求。因此,将 V_{ref} 设置为低于 $V_{top}/2$ 的电压,可以认为所提 CMS 技术不存在错误锁定电压区间的问题。针对开关操作导致斜坡形

状不理想的问题,分析如下:由于 $V_{ref} > V_{top}/2$,所以当 $V_{pixel} > V_{ref}$ 即采样次数为 4 时, V_{pixel} 会小于 $V_{top}/2$,这就意味着被量化的信号 V_{pixel} 会与斜坡切换时的斜坡电压 $V_{top}/2$ 有一定的距离,不会受到斜坡在 $V_{top}/2$ 附近发生的由于开关切换造成的非理想变化的影响。综上分析可知,通过降低电压 V_{ref} 可以有效解决上述两个问题,且无须加入额外的电路。

在量化周期的最后将多次采样的结果取平均值,当信号 Mode 为高电平时,计数码值为 4 次采样的结果,当信号 Mode 为低电平时,计数码值为 2 次采样的结果,分别用计数码值与采样次数相除,得到最终的量化结果。综上,最终量化结果为

$$\begin{cases} Q = \frac{-Q_2 + Q_3}{2}, \text{Mode} = 0 \\ Q = \frac{-Q_2 + Q_3}{4}, \text{Mode} = 1 \end{cases} \quad (5)$$

式中: Q_3 为在阶段 3 量化的数值; $-Q_2$ 是在阶段 2 将计数结果 Q_2 取相反数得到的。

3 设计与仿真

3.1 比较器的设计

比较器通过对差分信号进行放大,用于比较正负输入端的电压大小,并以“0”或“1”的形式作为输出。为了增加比较器的增益,选择了两级差分放大器 (OPA),比较器架构如图 5 所示。在两级比较器的结构中,第二级比较器的噪声对输入参考噪声的贡献很小,因此第二级比较器的偏置电流可以比较小。第一级比较器的噪声是主要的噪声源,所以第一级比较器的偏置电流需要比较大。比较器两级的电流、增益、带宽如表 1 所示。

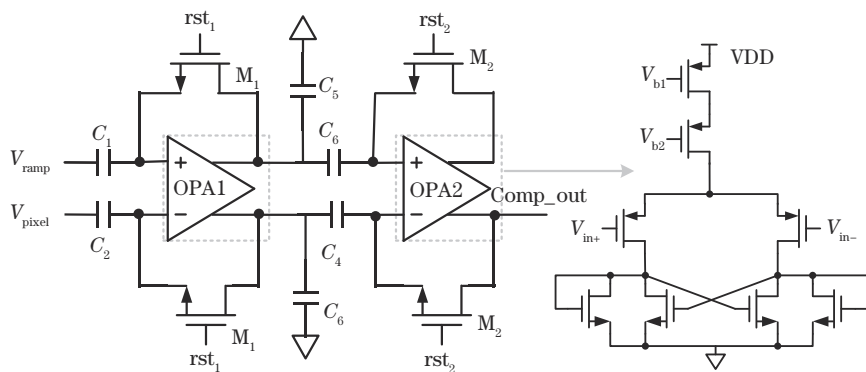


图 5 比较器架构

Fig. 5 Architecture of comparator

表 1 两级比较器的参数

Table 1 Parameters of the two-stage comparator

Item	Current / μA	3 dB bandwidth / kHz	Gain / dB
First stage	6.0	618	43.5
Second stage	2.8	564	44.03

3.2 计数器的设计

计数器具体结构如图 6 所示,每一位计数器由位宽反相器(BWI)模块、D 触发器和锁存器组成。其中 BWI 模块用于在复位信号阶段结束后对计数结果进行取相反数的操作。BWI 模块架构如图 6 左上所示。在 ADC 周期的开始,控制 BWI 模块的输出从“0”变到

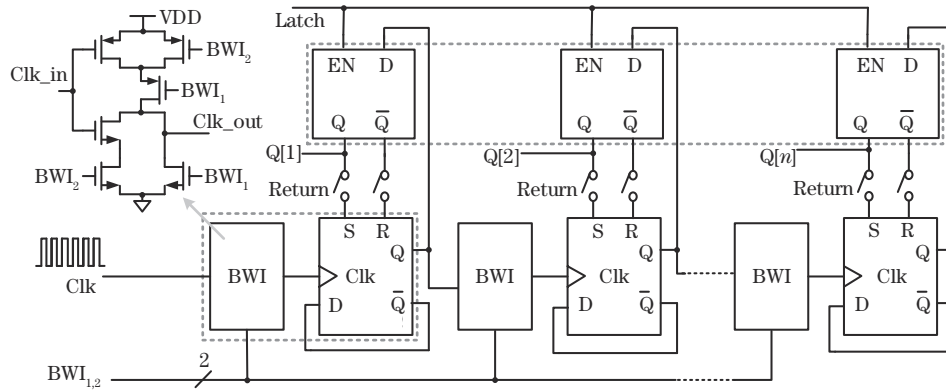


图 6 计数器架构
Fig. 6 Architecture of counter

“1”,在每一位计数器的D触发器输入端产生一个上升沿,使计数器从-1开始计数。在计数器计数工作时,BWI模块的作用相当于反相器。在复位信号阶段后,BWI模块再次分别输出信号“0”和“1”,产生的上升沿传入对应位的D触发器,将每一位计数器的计数结果取反,起到将计数结果取相反数的效果。

每一位计数器后面都需要连接一个锁存器,在转换周期的最后,通过信号Latch控制图6中的锁存器,将11位计数器的结果锁存以方便后续计数结果的读出。除此之外,在本设计中锁存器也起到临时存储的作用。在复位信号阶段第二次采样完成后信号Latch产生一段时间的高电平,之后控制锁存器,将每一位计数器的计数结果锁存。当信号Return为高电平时,锁

存结果Q和Q'分别送到计数器的置位和复位端口。当锁存的结果为“1”时,对该位的计数器置位,计数器输出结果为“1”;当锁存结果为“0”时,对该位的计数器复位,计数器输出结果为“0”。这个操作起到将预先锁存的结果送到计数器的作用,对采样次数为2的情况起作用。

3.3 斜坡发生器的设计

温度计码与二进制码相结合的电位舵DAC结构如图7所示,低m位采用二进制编码的形式,可以减少温度计编码位数,从而减小温度计编码电路的面积。高n-m位采用温度计编码的形式,降低在进位过程中产生的噪声。一般温度计码的最佳分段比例为60%~80%,本次设计中选取温度计码为7位,二进制码为4位。

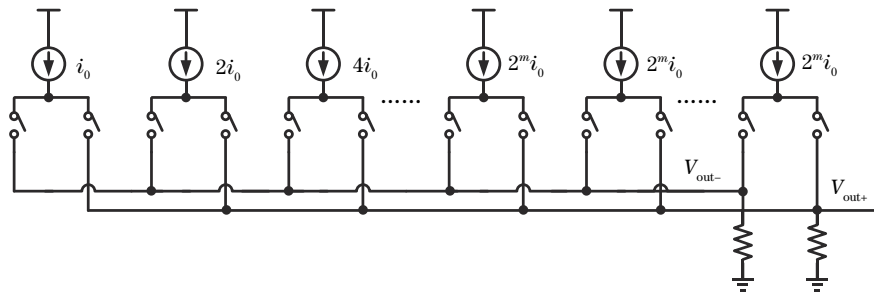


图 7 斜坡发生器的架构
Fig. 7 Architecture of ramp generator

3.4 仿真结果

采用 110 nm 的 CMOS 工艺设计了量化范围为 1 V 内的 11 bit 低噪声 SS ADC。ADC 模拟部分和数字部分的电源分别为 3.3 V 和 1.5 V,主时钟频率为 400 MHz,转换周期为 23 μs。

遍历输入范围内的 200 个输入电压,得到了对应的输出码值,并绘制了如图 8 所示的输入-码值曲线,提出的低功耗 SS ADC 有良好的线性度。对积分非线性(INL)、微分非线性(DNL)进行了仿真,输入电压为线性变化的斜坡信号,取 20480 个输入点,精度为 0.1LSB,如图 9 所示,DNL 为 +0.6/-0.3LSB,INL 为 +0.7/-0.9LSB。

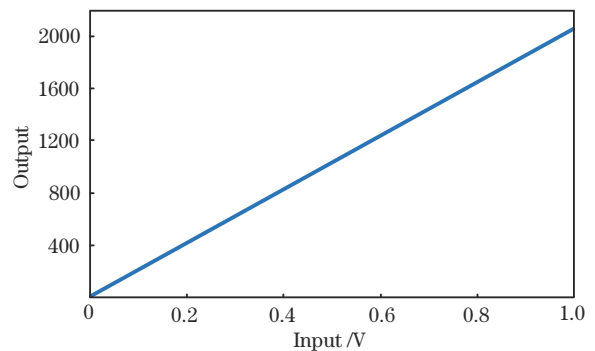


图 8 输入-码值关系
Fig. 8 Relationship between input and code value

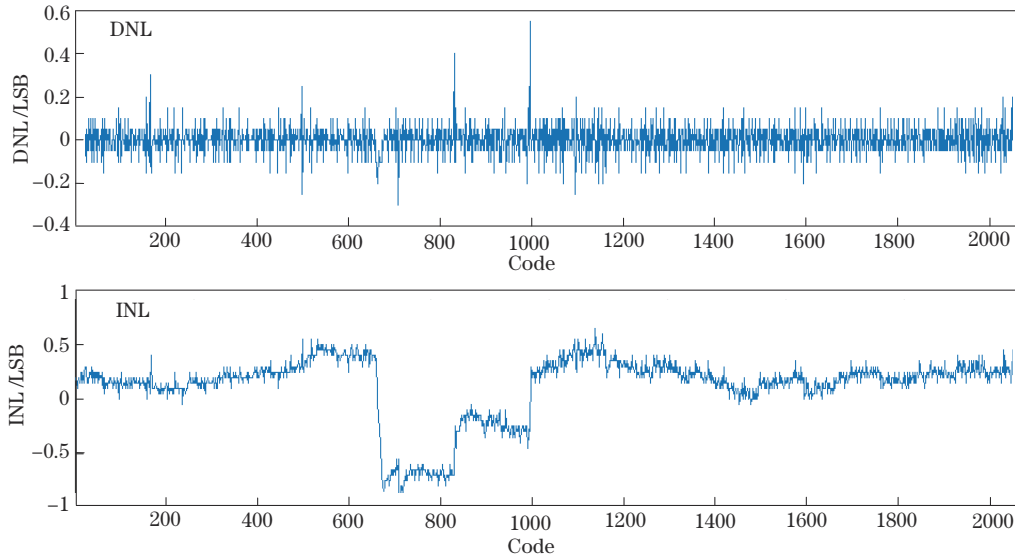


图 9 低噪声 SS ADC 的 DNL/INL 表现

Fig. 9 DNL/INL performance of low noise SS ADC

输入 ADC 的信号 V_{pixel} 一般来自像素, 本设计直接将像素输出连接到 SS ADC。对于转换增益为 $160 \mu\text{V}/e^-$ 的 4T 像素, 其随机噪声大小约为 $200 \mu\text{V}$, 用幅值为 $200 \mu\text{V}$ 的服从正态分布的随机数来等效随机噪声。分别对本设计和传统的 $M=4$ 的 SS ADC 进行 100 次瞬态噪声仿真。仿真结果表明: 本设计的等效输入噪声大小为 $82 \mu\text{V}$; 传统的 $M=4$ 的 SS ADC 等效输入噪声大小为 $80 \mu\text{V}$; 与传统 $M=4$ 的 SS ADC 相比, 本设计在未使噪声性能恶化的情况下, 将 ADC 的转换时间节约了 $13 \mu\text{s}$ 。

在随机噪声的基础上添加服从泊松分布的随机数来等效散粒噪声。分别对采样次数 $M=1, M=2, M=4$ 和本设计在不同输入电压下的噪声进行了仿真, 并对信噪比 (SNR) 进行了对比, 对比结果如图 10 所示。本设计与 $M=4$ 情况下的 SNR 曲线基本重合, 为了便于清晰地比较, 将 $M=4$ 的情况和本设计的结果视为同一条曲线。对于较大光强的输入, $M=1, M=2$ 和 $M=4$ 的曲线基本重合, 此时以光子的散粒噪声为主,

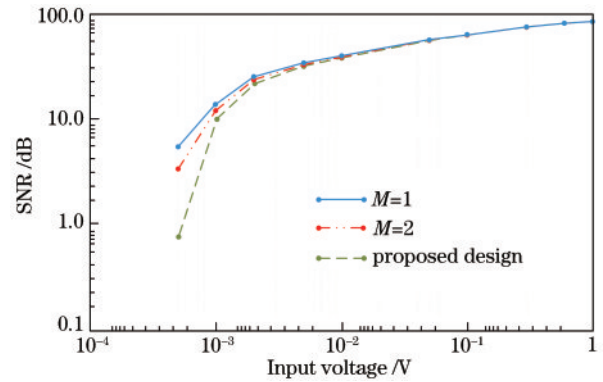


图 10 SNR 与输入信号的关系

Fig. 10 Relationship between SNR and input value

说明本设计在较大光强时采样次数为 2 就能够与采样次数为 4 表现相近。对于较小光强的输入, 本设计的采样次数为 4, 表现明显好于 $M=1$ 和 $M=2$ 的情况。仿真结果证明本设计具有良好的降噪能力。

与现有技术的性能比较如表 2 所示。从表 2 可以

表 2 与现有技术的对比

Table 2 Comparison with prior techniques

Parameter	Method in Ref. [1]	Method in Ref. [2]	Traditional method*	This work*
Process node /nm	180		110	110
Power supply (P) /V	3.3/1.8		3.3/1.5	3.3/1.5
Resolution /bit	10/14	11	11	11
Sampling times / 10^6	4	5	4	4/2
Random noise (I_{noise}) / μV	127	73	80	82
1 Horizon time (T) / μs		28	36	23
Power / μW			45	43
FOMa ¹ /($\text{fJ}\cdot\text{step}^{-1}$)			791	483
FOMb ² /($\text{nV}_{\text{rms}}\cdot\text{Hz}^{-1}$)		2.02	2.88	1.93

注: *simulation results; ¹FOMa=($P\times T$)/2N; ²FOMb= $I_{\text{noise}}\times T$

看出,与文献[1]和文献[2]相比,所提低功耗技术能实现更好的低噪声性能。与传统技术相比,所提技术能够在不恶化噪声表现的同时将 A/D 转换时间节约 13 μs ,降低了每个像素完成一次 A/D 转换消耗的能量。

4 结 论

通过分析微光 CMOS 图像传感器的噪声特性,对传统 CMS 技术的原理进行分析,提出了自适应相关多采样技术,利用电流舵 DAC 输出的差分特性,通过正/负斜坡配合改变输入比较器斜坡的形状,从而改变 CMS 操作的采样次数。本设计仅需要传统 CMS 技术 2 次采样的时间即可达到 4 次采样效果。本设计的 DNL 达 +0.6/-0.3LSB,INL 达 +0.7/-0.9LSB;最低噪声为 82 μV ;与传统的 $M=4$ 的 CMS 技术相比,在不增加低照度噪声的同时,将转换周期节约了 13 μs 。

参 考 文 献

- [1] Chen Y, Xu Y, Mierop A J, et al. Column-parallel digital correlated multiple sampling for low-noise CMOS image sensors[J]. IEEE Sensors Journal, 2012, 12(4): 793-799.
- [2] Yeh S F, Chou K Y, Tu H Y, et al. A $0.66e_{\text{rms}}^{-}$ temporal-readout-noise 3D-stacked CMOS image sensor with conditional correlated multiple sampling (CCMS) technique[J]. IEEE Journal of Solid-State Circuits, 2018, 53(2): 527-537.
- [3] Lim Y, Koh K, Kim K, et al. A $1.1e^{-}$ temporal noise 1/3.2-inch 8Mpixel CMOS image sensor using pseudo-multiple sampling[C]//2010 IEEE International Solid-State Circuits Conference, February 7-11, 2010, San Francisco, CA, USA. New York: IEEE Press, 2010: 396-397.
- [4] Lim W, Hwang J, Kim D, et al. A low noise CMOS image sensor with a 14-bit two-step single-slope ADC and a column self-calibration technique[C]//2014 21st IEEE International Conference on Electronics, Circuits and Systems, December 7-10, 2014, Marseille, France. New York: IEEE Press, 2015: 48-51.
- [5] Shinozuka Y, Shiraishi K, Furuta M, et al. A single-slope based low-noise ADC with input-signal-dependent multiple sampling scheme for CMOS image sensors[C]//2015 IEEE International Symposium on Circuits and Systems, May 24-27, 2015, Lisbon, Portugal. New York: IEEE Press, 2015: 357-360.
- [6] Le-Thai H, Chapinal G, Geurts T, et al. A 0.18- μm CMOS image sensor with phase-delay-counting and oversampling dual-slope integrating column ADCs achieving $1e_{\text{rms}}^{-}$ noise at 3.8- μs conversion time[J]. IEEE Journal of Solid-State Circuits, 2018, 53(2): 515-526.
- [7] Tomioka K, Yasue T, Funatsu R, et al. Noise suppression effect of folding-integration applied to a column-parallel 3-stage pipeline ADC in a 2.1 μm 33-megapixel CMOS image sensor[J]. Electronic Imaging, 2019, 31(9): 367.
- [8] 张元涛,柴孟阳,孙德新,等.全局快门 sCMOS 图像传感器数字 TDI 微光成像技术[J].光学学报,2018,38(9):0911001.
Zhang Y T, Chai M Y, Sun D X, et al. Digital TDI technology based on global shutter sCMOS image sensor for low-light-level imaging[J]. Acta Optica Sinica, 2018, 38(9): 0911001.
- [9] 朱子辰,张志明.基于雪崩光电二极管的 1550 nm 单光子探测模块[J].激光与光电子学进展,2021,58(13):1304001.
Zhu Z C, Zhang Z M. 1550 nm single photon detection module based on avalanche photodiode[J]. Laser & Optoelectronics Progress, 2021, 58(13): 1304001.
- [10] 金石开,徐江涛,聂凯明.基于单传感器的低照度彩色图像增强系统[J].激光与光电子学进展,2021,58(14):1410001.
Jin S K, Xu J T, Nie K M. Low-illumination color image enhancement system based on single sensor[J]. Laser & Optoelectronics Progress, 2021, 58(14): 1410001.
- [11] 赵彤,高静,徐江涛,等.量子图像传感器的过采样优化和读出电路设计[J].激光与光电子学进展,2021,58(24):2403001.
Zhao T, Gao J, Xu J T, et al. Optimized oversampling and readout circuit design for quanta image sensor[J]. Laser & Optoelectronics Progress, 2021, 58(24): 2403001.