

激光与光电子学进展

芯片制造语境下的计算光刻技术

施伟杰^{1*}, 俞宗强¹, 蒋俊海¹, 车永强², 李思坤³

¹东方晶源微电子科技(北京)有限公司, 北京 100176;

²中芯北方集成电路制造(北京)有限公司, 北京 100176;

³中国科学院上海光学精密机械研究所信息光学与光电子技术实验室, 上海 201800

摘要 计算光刻技术是提高分辨率的重要手段,是连接芯片设计与制造的桥梁。首先,介绍了计算光刻技术的起源即第1代光学邻近效应校正(OPC)技术,基于规则的 OPC;随后,以 14 nm 芯片制造过程为例介绍了现代芯片制造采用的各种计算光刻技术,包括基于模型的第 2 代 OPC 技术、光源掩模联合优化技术、二次成像图形拆分技术。最后,介绍了计算光刻的发展趋势,包括反向光刻技术、曲线掩模、人工智能应用及协同优化。综合芯片设计、制造、检测的集成优化将是未来计算光刻发展的主要方向。

关键词 计算光刻; 光学邻近效应校正; 全景优化; 反向光刻

中图分类号

文献标志码

DOI: 10.3788/LOP202259.0922001

Computational Lithography Technology Under Chip Manufacture Context

Shi Weijie^{1*}, Yu Zongqiang¹, Jiang Junhai¹, Che Yongqiang², Li Sikun³

¹Dongfang Jingyuan Electronic Technology (Beijing) Co., Ltd., Beijing 100176 China;

²Semiconductor Manufacturing North China (Beijing) Corporation, Beijing 100176, China;

³Laboratory of Information Optics and Opto-Electronic Technology, Shanghai Institute of Optics and Fine Mechanics, Chinese Academy of Sciences, Shanghai 201800, China

Abstract Computational lithography technology plays crucial roles in enhancing resolution. It bridges the gap between chip design and manufacturing processes. In this study, first, rule-based optical proximity correction (OPC) was introduced as the first generation of OPC and the origin of computational lithography. Second, model-based OPC, source mask cooperation, and double patterning technology were introduced under the 14-nm IC manufacturing context. Finally, the trend of computational lithography was discussed and inverse lithography technology, curvilinear masks, AI-based OPCs, and holistic process optimizations were introduced. Integrated optimization of chip design, manufacturing and inspection offers broad prospects for computational lithography.

Key words computational lithography; optical proximity correction; HPOTM; inverse lithography technology

1 引言

1958年9月12日,德州仪器年轻的工程师 Kilby^[1]成功在一块锗片上制造了由两个晶体管组成的触发器(flip-flop),即世界上第1块集成电路。

2021年9月14日,美国苹果公司(Apple Ins.)发布了搭载158亿个晶体管的A15处理器的产品^[2]。六十余年间,集成电路晶体管数量的平均年复合增长率超过40%,在人类历史上从没有哪一项技术能够像集成电路一样在如此长的时间内保持如此高的增长

收稿日期: 2022-03-18; 修回日期: 2022-04-04; 录用日期: 2022-04-07

通信作者: *weijie.shi@dfjy-jx.com

率。集成电路晶体管数量的高速增长得益于晶体管尺寸的不断缩小,即电路集成度的不断提升。其底层逻辑是:不像其他技术,工程师需要平衡性能(速度)、功率(消耗)和价格之间的需求,晶体管尺寸的缩小可以同时提高芯片性能、功率和价格。简单而言,晶体管尺寸的缩小使构成电路的电阻和电容降低,进而用电阻电容(RC)表征的延时就会降低,从而提高性能或相应速度;电阻的减少还可以减少电路功率损耗;最后晶体管尺寸的减少使在单位面积上可以制造的晶体管更多,每个晶体管的制造成本就会降低。因此不断缩小晶体管尺寸成为集成电路发展的核心动力。晶体管尺寸缩小的规律由 1965 年仙童半导体(Fairchild)的研发总监戈登·摩尔在 *Electronic Magazine* 35 周年纪念刊上发表的题为 Cramming more components onto integrated circuits 的文章所描述。他根据 1959 年到 1965 年集成电路集成度的增加情况,提出了单个芯片上元器件数量每年翻一倍的预言,1975 年摩尔在 IEEE 国际电子期间会议上又将预测更改为“每两年翻一倍”,后来几十年的数据证明,半导体芯片中可容纳的晶体管数目约 18 个月增加一倍,即我们熟知的摩尔定律。晶体管的最小

尺寸主要由芯片制造的关键工艺——光刻工艺决定。在光刻工艺图形转移过程中,晶体管最小尺寸受到瑞利公式限制,即 $R = k_1 \frac{\lambda}{A_{NA}}$,其中 λ 为曝光波长, A_{NA} 为投影物镜的数值孔径, k_1 为工艺因子,与照明方式、掩模类型、光刻胶显影工艺等相关。由瑞利公式可以看出,提高光刻分辨率的方法包括:减小曝光波长 λ 、增大投影物镜的数值孔径 A_{NA} 和采用分辨率增强技术(降低 k_1)等,如表 1^[3]所示。减小曝光波长和增大投影物镜的数值孔径需要对曝光设备及工艺进行更换,是集成电路发展早期提升分辨率的主要方法。随着集成电路关键尺寸缩小到几十纳米,投影物镜数值孔径进一步增大和曝光波长进一步减小的技术难度和实现成本都陡然增加,人们开始关注分辨率增强技术,通过降低工艺因子来提高分辨率。主要的分辨率增强技术包括离轴照明(OAI)、光学邻近效应修正(OPC)、相移掩模(PSM)、偏振照明和光源掩模联合优化(SMO)等。在分辨率增强技术中,光学邻近效应修正技术、光源掩模联合优化技术等需要对工艺进行数值建模、通过对工艺结果的仿真优化工艺变量的方法统称为计算光刻技术。

表 1 依照瑞利判据提升光刻分辨率的过程

Table 1 Resolution enhancement progress with Rayleigh criteria

Resolution ² /nm	Wavelength /nm	NA	k_1 reducing by	Overlay ¹ /nm
400	365	0.6	OAI/OPC ³	60
220	365	0.65	OAI/OPC	15/30
180	248	0.63	OAI/OPC	25/40
130	248	0.7	OAI/OPC	25/40
110	248	0.8	OAI/OPC	12/14
90	193	0.75	OAI/OPC	12/20
65	193i	0.93	OAI/Polarization/OPC	3.5/5.0
45	193i ⁴	1.2	OAI/Polarization/OPC	3.5/5.0
38(28)	193i	1.35	Freeform/Polarization/OPC	2.5/5.5
38(14)	193i	1.35	Freeform/Polarization/OPC/MP	2.5/4.5
38(10)	193i	1.35	Freeform/Polarization/OPC/MP	2.0/3.5
38(7)	193i	1.35	Freeform/Polarization/OPC/MP	1.6/2.5
13(5)	13.5	0.33	Freeform/Polarization/OPC	1.4/1.5

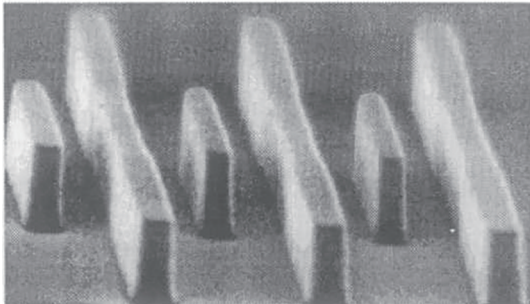
Note: 1) The first value is single machine overlay, the second is tool-to-tool overlay in overlay column. 2) Resolution is close to 38 nm with single exposure. Multiple patterning technology is used beyond 28 nm. 3) OAI: off-axis illumination, OPC: Optical Proximity Correction, MP: multiple patterning. 4) 193i stands for exposure with 193 nm immersion, effective wavelength is 133 nm.

2 计算光刻的起源:基于规则的 OPC 与 SBAR

20 世纪 80 年代,集成电路的最小几何长度进入

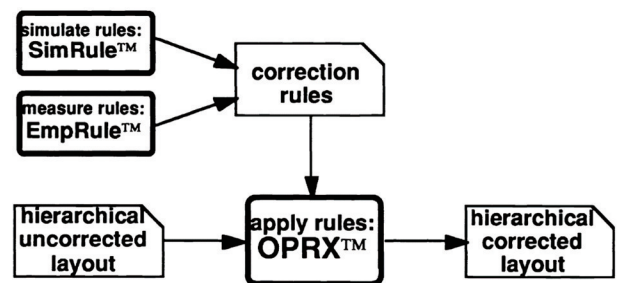
亚微米尺度,接近或小于 $w/(A_{NA})$,其中 w 为曝光光源的波长。Data General Corporation 和 Intel 的研究人员通过仿真和实验观察到了邻近效应(Proximity Effects)^[4-5]。邻近效应原本是电子束光

刻技术的术语,指电子束光刻过程中由于电子的散射导致相邻两个图形互相影响而发生形变的现象。Liu 等^[6]借用这个术语描述光学光刻相似的现象,即一个图形成像对比度和焦深会受到其周边图形的影响。当图形尺度或图形间距离尺度接近光刻机分辨率极限时,图形线宽的变化将不可忽略。图形形变主要表现为:1)孤立线条与密集线条线宽的不一致;2)矩形线长度的缩短(line end shorten);3)直角的圆化(corner rounding)。图 1 为具有相同 $0.3\ \mu\text{m}$ 线宽的线曝光在硅片上的图片,中部密集部分的线宽明显小于前后端半孤立状态的线。这种现象后来被称为光学邻近效应即 OPE,而针对光学邻近效应的校正即为 OPC。早期的校正非常简单,即人为对有形变的图形进行一个与形变方向相反的偏移以抵消形变,从而保持硅片上线条的线宽一致性。

图 1 光学邻近效应^[7]Fig. 1 Optical proximity effect^[7]

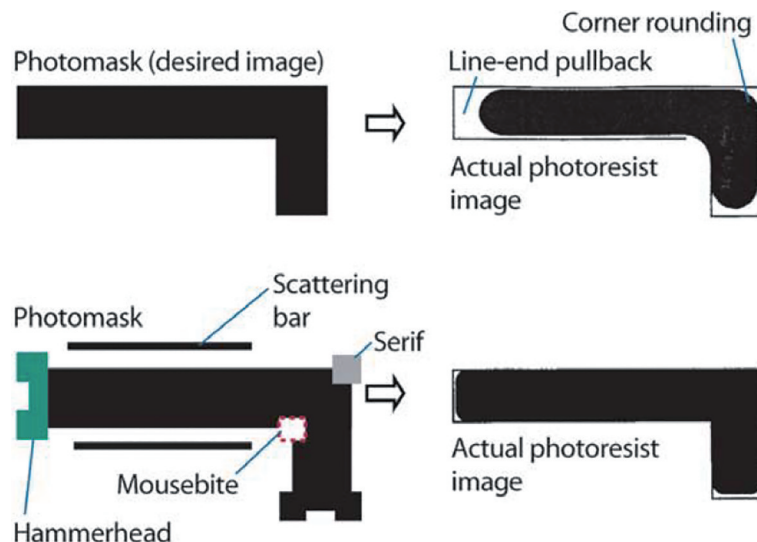
20 世纪 90 年代开始,计算机辅助设计(CAD)技术的兴起使得自动的光学邻近效应校正成为可能。Trans Vector Technology 公司的 OPRX 是一种

典型的自动光学邻近效应校正工具。OPRX 是一款基于规则的(rule-based)OPC 软件,其工作流程如图 2 所示。首先,通过空间像仿真或者硅片实际测量的结果生产不同线宽、不同距离等条件下的图形需要校正的偏移量,即校正规则(correction rules);然后,输入版图,OPRX 软件读取版图中每个多边形的边,并根据该边的环境(线宽,间距等信息)查询校正规则表格以获得该边的偏移值;最后,在版图上实现这些偏移,即完成了整个校正。

图 2 OPRX 工作流程^[8]Fig. 2 OPRX workflow^[8]

线端缩短和直角圆化的校正是在线端直角处添加或删除亚分辨率 Serif 图形或锤头形状(hammerhead)完成的,如图 3 所示。Serif 图形的尺寸可以通过空间像仿真工具或硅片测试结果确定。

20 世纪 90 年代开始,集成电路的特征尺寸进入 $500\sim 300\ \text{nm}$ 范围,已经超出了 i-line 光刻机的分辨率极限,为了提高分辨率,除了上述邻近效应校正技术之外,还有两项分辨率增强技术开始受到关注,即离轴照明技术和相移掩模技术。相移掩模技

图 3 线端缩短和直角圆化的邻近效应校正^[9]Fig. 3 OPC for line-end shortening and corner rounding^[9]

术通过对图形区域内外增加 180° 的相位变化增强光学成像的对比度;离轴照明技术通过改变光源形状减少传统照明的轴上正入射光照明,保留一定斜入射的离轴光照明,进而充分利用光刻系统成像孔径,保留更多的高级衍射光参与成像,从而大幅度提升光刻系统的分辨率。图 4 展示了传统照明和常见的几种离轴照明形状。斜入射照明的采

用增强了特定周期范围图形的成像质量和分辨率,但对于孤立线条或半孤立线条的成像不如传统光源。受到亚分辨率图形 Serif 的启发,在孤立线和半孤立线附近添加不能被曝光印出的亚分辨率线条 (SBAR) 或 sub resolution assistance feature (SRAF), 该操作可以有效提高孤立线的成像质量,如图 5 所示。

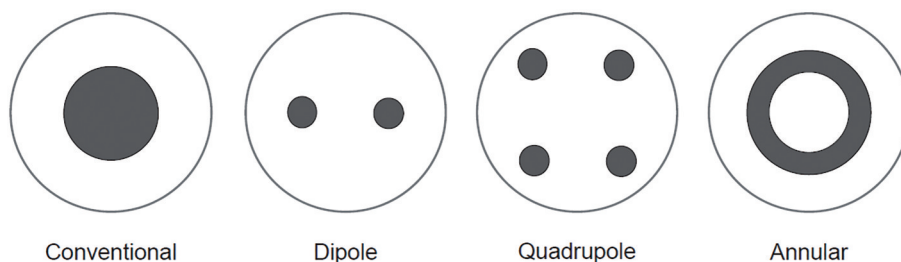


图 4 传统照明与离轴照明的光源形状^[10]

Fig. 4 Source shapes of conventional illumination and off-axis illumination^[10]

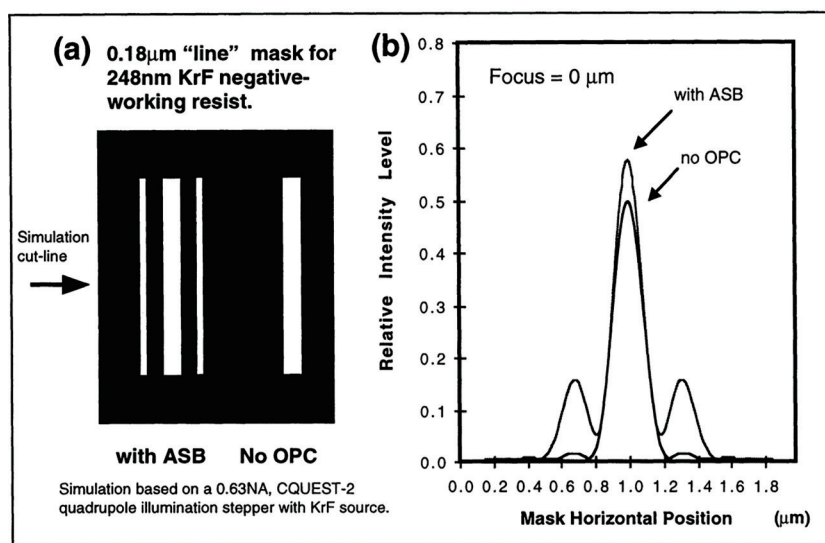


图 5 亚分辨率辅助线对孤立线条成像提高示意图^[11]

Fig. 5 Enhancement of isoline imaging with sub-resolution bars^[11]

与基于规则的 OPC 算法类似,SBAR 也可以通过定义规则进行添加。图 6 为基于规则添加 SBAR

的方法的示意图,具体而言根据当前图形的长度和宽度及图形之间的间距添加一条或多条 SBAR。添

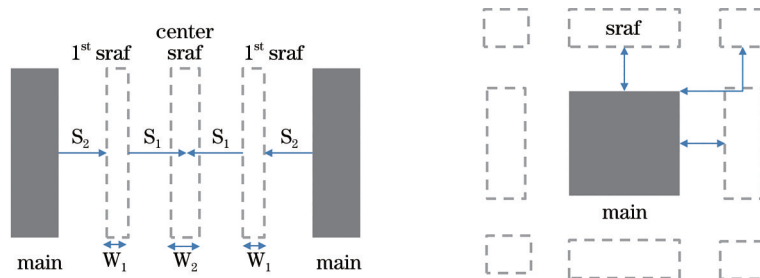


图 6 基于规则的一维和二维图形 SBAR 添加方法示意图

Fig. 6 Schematic diagram of rule-based SBAR addition method for one-dimensional and two-dimensional graphics

加的 SBAR 的宽度和距离都是根据规则表进行查表获得的。规则表同样是通过光刻工艺的仿真或硅片实际曝光测量的结果获得的。

基于规则的 SBAR 在 20 世纪 90 年代提出,在 2000 年前后才开始得到应用^[12],直到现在,极紫外光刻仍然是最主要的计算光刻技术之一。目前大多数 OPC 软件产品都支持该功能。

3 现代芯片制造中的计算光刻技术

以 OPC 为主的计算光刻技术在 0.25 μm 节点

之后开始得到广泛的应用,特别是在 65 nm 以下的现代芯片制造过程中,多种计算光刻技术被开发和和使用。以 14 nm 节点芯片制造为例,涉及的计算光刻技术包括基于模型的 OPC、光源掩模联合优化、多次成像技术(MPT)及测试图形生成工具,设计规则检查(DRC)/掩模规则检查(MRC)工具如图 7 所示。OPC 之后的掩模数据提供给掩模制造商还需要从图形信息转换为掩模曝光机(mask writer)的光斑信息,需要对光斑(shot)形状进行优化以降低光斑数量并校正掩模曝光机邻近效应。

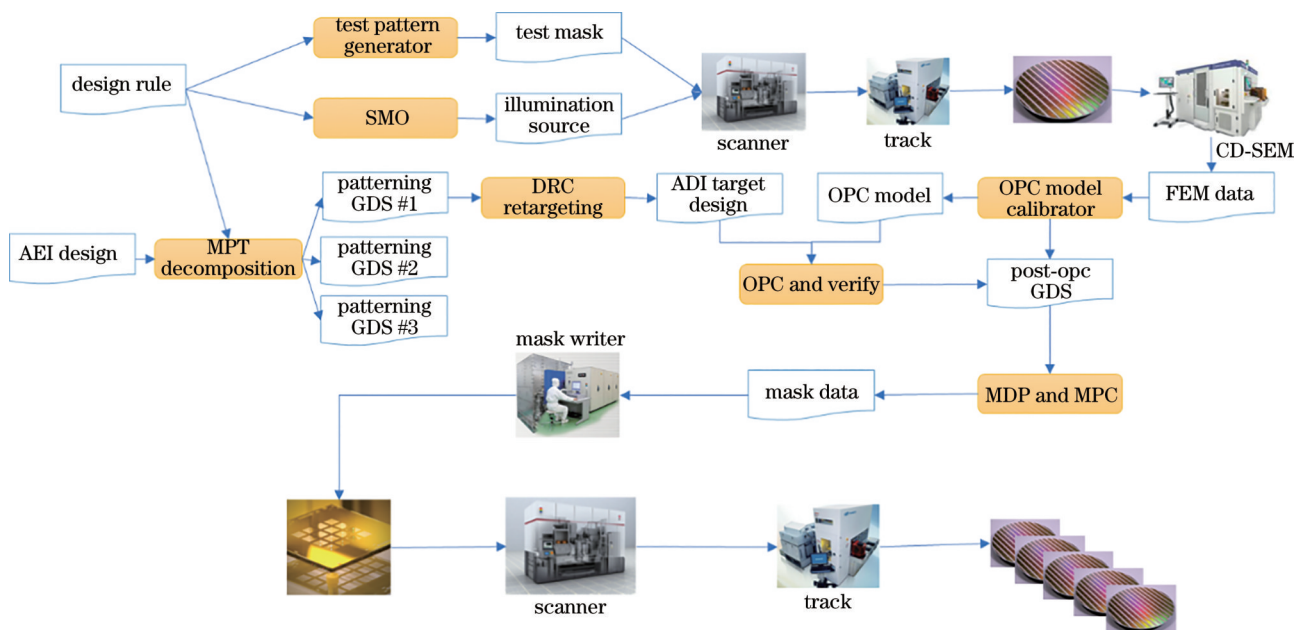


图 7 现代芯片制造过程中的计算光刻工具

Fig. 7 Computational lithographic tools in modern IC manufacturing.

3.1 基于模型的邻近效应校正

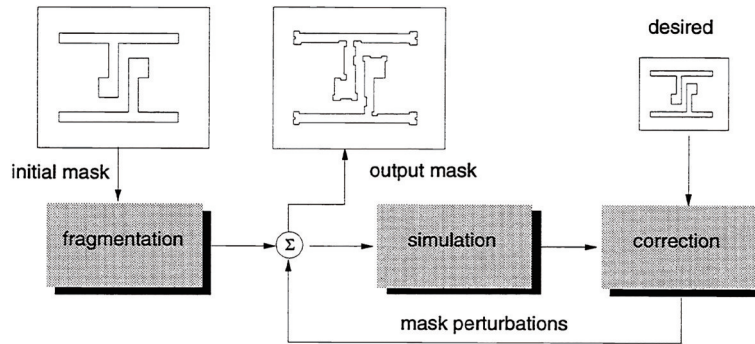
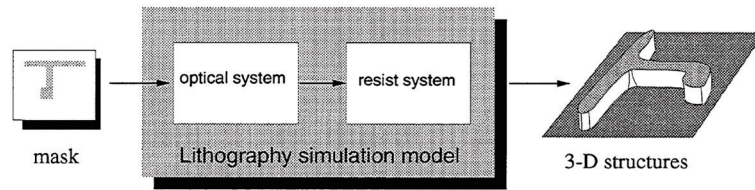
1994 年,Presim 公司的 Stirniman 等^[13]采用 zone sampling 的方法进行 OPC 可以看作是最早的基于模型 OPC 的尝试,采用的模型是 zone sampling 模型。随后,Stirniman 等^[14]又采用实验数据构建光刻胶行为模型,并通过光刻胶行为模型计算每个区域的成像强度数值,再查表确定该边的偏移量。基于该原理的 OPC 产品在 Presim 公司历经 TMA、Advant! 的收购后经 Synopsys 收购,成为现在的“Proteus”OPC 工具。1994 年—1998 年,Liu 等^[15-17]提出了一套完整的基于模型的 OPC 计算流程:仿真反馈的优化,如图 8 所示。该模型的核心是建立基于光学模型和光刻胶模型的仿真系统,如图 9 所示。在光学系统中,为加速计算过程,采用 sum of coherent system (SOCS) 的方法快速计算基于 Hopkins 模型的 transmission cross coefficient(TCC)。

该 OPC 方法在 HP700 工作站,48 $\mu\text{m} \times 27 \mu\text{m}$ 的芯片上需要大约 16 min。

2005 年,Brion 公司的 Tachyon 系统采用现场可编程门阵列(FPGA)硬件加速系统,光刻仿真的计算速度提升高达 20 倍^[18]。得益于光刻仿真计算速度的提升,Brion 公司可以通过图像处理的方法同时快速计算数百平方微米的图形分区的成像。基于此,Brion 公司开发了一种适用于全芯片的 OPC 产品即 Tachyon OPC+。

目前主流的基于模型的 OPC 工具主要包括光刻模型建模(也称 OPC 建模)、OPC 优化或掩模优化、OPC 验证等几个主要功能或工具。光刻模型建模主要包括光学模型和光刻胶曝光显影模型。

光学模型通常采用 Hopkins 的 TCC 模型来描述投影光刻机照明与曝光系统成像。硅片表面光强分布函数的表达式为

图 8 OPC 系统^[17]Fig. 8 OPC scheme^[17]图 9 光刻仿真模型^[17]Fig. 9 Lithography simulation model^[17]

$$I(x, y) = \iiint M(k'_x, k'_y) M^*(k''_x, k''_y) \text{TCC}(k'_x, k'_y, k''_x, k''_y) \exp[i(k'_x - k''_x)x + i(k'_y - k''_y)y] dk'_x dk'_y dk''_x dk''_y, \quad (1)$$

式中： $M(k'_x, k'_y)$ 为掩模透过率函数经傅里叶变换的谱函数； $\text{TCC}(k'_x, k'_y; k''_x, k''_y)$ 为描述投影物镜系统的传递交叉系数函数，其表达式为

$$\text{TCC}(k'_x, k'_y, k''_x, k''_y) = \iint S(k_x, k_y) P(k'_x + k_x, k'_y + k_y) P^*(k''_x + k_x, k''_y + k_y) dk_x dk_y, \quad (2)$$

式中： $S(k_x, k_y)$ 为光源分布函数； $P(k'_x, k'_y)$ 为投影物镜光瞳函数，在实际的计算过程中可以采用奇异值分解(SVD)，用一系列的奇异值和奇异向量表征表达。采用多少奇异值表达，即 TCC term 的数量，关系到精度和运算时间，通常采用的越多，精度越高，但运算时间越长。

光刻胶曝光显影模型最早见于 1975 年，Dill 等^[19]发表了 ABC 模型(Dill 模型)用以计算光刻胶曝光时的光化学变化和显影的基本机制。为简化计算，人们提出了多种经验性光刻胶曝光显影模型。光刻胶的阈值模型(threshold model)假设光刻胶中光酸的浓度达到一定阈值即被显影，又由于光刻胶光酸的浓度与空间像的光强成正比，因此该模型采用一个阈值对空间像光强图形进行截断，光强高于此阈值的区域的边缘即形成光刻胶的轮廓(contour)。虽然该模型没有考虑光刻胶中酸的扩散和显影等物理化学过程，但仍然被广泛用于理解

光刻工艺过程。为综合考虑光刻胶光酸扩散和显影的过程，Cobb 等^[17]提出了可变阈值模型(VTM)。1999 年，Randall 等^[20]基于可变阈值模型提出了 VTRM，该模型采用曝光剂量(dose)、图形特征尺寸(feature size)、空间像的最大值/最小值、空间像的斜率等 20 多个参数计算阈值，通过测试图形在硅片上的实际曝光数据对模型中的参数进行标定。在 VTM 的基础上，紧凑工艺模型(CMs)被提出，该模型从上述 Dill 显影模型出发，表达式为

$$I + a_1 I \otimes G_1 + a_2 H_1 + a_3 H_1 \otimes G_3 = T, \quad (3)$$

式中： I 是空间像光强分布， \otimes 表示卷积运算， G_i 代表高斯扩散； a_i 是模型需要标定的系数； T 是阈值； H_1 表示酸碱中和后的酸的分布； $H_1 \otimes G_3$ 表示酸碱中和后酸的扩散。以式(3)为基础，可以扩展出多个卷积项用以模仿不同浓度的酸的扩展行为。在实际应用过程中，人们通过设计一系列的测试图形并曝光在硅片上，利用硅片上曝光图形的测量数据对光刻胶模型中的系数和参数进行标定，从而产生匹配该曝光工艺的光刻胶模型。

在图 8 描述的 OPC 系统基础上，现代基于模型的 OPC 流程如图 10 所示。优化开始于版图的目标图形，在表图形上的每个边上放置断点，两个断点之间的边即为可变的优化变量，通过仿真光刻模

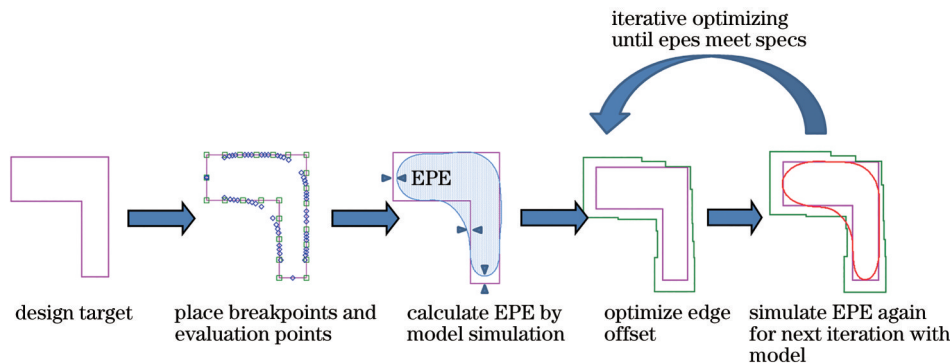


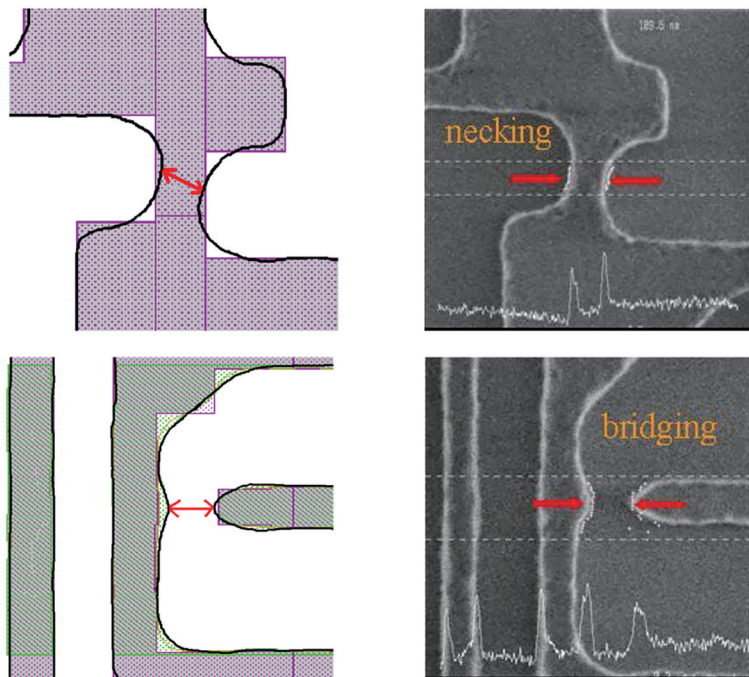
图 10 基于模型的光学邻近效应校正过程

Fig. 10 Scheme of model-based OPC

型,获得光刻胶轮廓曲线,计算轮廓与目标之间从差值(EPE)估算边的偏移量,经过几次迭代以后完成 OPC 优化,形成优化后的掩模图案。

OPC 掩模优化完成后,需要再次对掩模进行光刻仿真,检查光刻成像是否有潜在缺陷。通常不仅需要检查光刻曝光在正常工作状态下(最佳曝光

剂量和最佳焦面位置)的缺陷,还需要检查在不同曝光剂量和不同离焦结合情况下可能产生的缺陷。缺陷的种类有很多,不同工艺层关注的缺陷也不尽相同。常见的缺陷有 pinch(necking)、bridge(short)、缺失、多印、CD 一致性、CD 均匀性等。图 11 为 pinch/short 的情形。

图 11 Pinch 和 bridging 缺陷示意图^[18]Fig. 11 Pinch and bridging defects^[18]

与基于规则的 OPC 时代不同,现代半导体公司用于芯片量产制造的 OPC 工具运行在具有数千甚至数万个 CPU 核的运算集群上,集群任务调度策略、状态跟踪维护等也都成为 OPC 软件系统需要综合考虑的问题。

3.2 光源掩模联合优化

光源掩模联合优化是降低 k_1 因子提高单次曝光

分辨率极限的有效办法。1998 年, Burkhardt 等^[21]对规则接触空(Contact)的照明优化研究表明,特定的图形用特定的照明方式可以使之获得最优的成像质量。2008 年, Hsu 等^[22]发布了第 1 款商用的 SMO 工具。该工具仍然采用 EPE 作为优化的成本函数,为了能够确保优化器最小化最大的 EPE,这里对 EPE 采用的 p 范数, p 为偶数,可描述为

$$CF = \sum_{pw} \sum_x w(pw, x) \|EPE(pw, x)\|^p, \quad (4)$$

式中： pw 代表不同曝光条件(曝光剂量与离焦量)； x 为每一个评估点或控制点。 p 数值越大,对最大EPE的优化能力就越强,进而最大可能降低全部EPE的数值。

文献[22]中还描述了Brion SMO的工作流程,该流程包括无限制光源优化和限制光源优化等几个步骤,最终形成可以实现的光源与掩模优化结果,具体流程图如图12所示。

除Brion的光源掩模联合优化外,Luminescent公司也提出一种基于水平集算法的光源掩模联合优化^[23]。无论是Brion的SMO还是Luminescent的SMO方法,巨大的运算量导致它们都只能针对少量有代表性的小块版图进行光源优化。2011年,Brion提出的适用于全芯片的SMO流程如图13所示,通过图形筛选工具对典型芯片设计图形进行筛选,而后再进行光源掩模联合优化,获得的光源适用在全芯片上。这一方法的关键在于典型版图的选择,即用于光源优化的clip的典型性和对全芯片版图图形

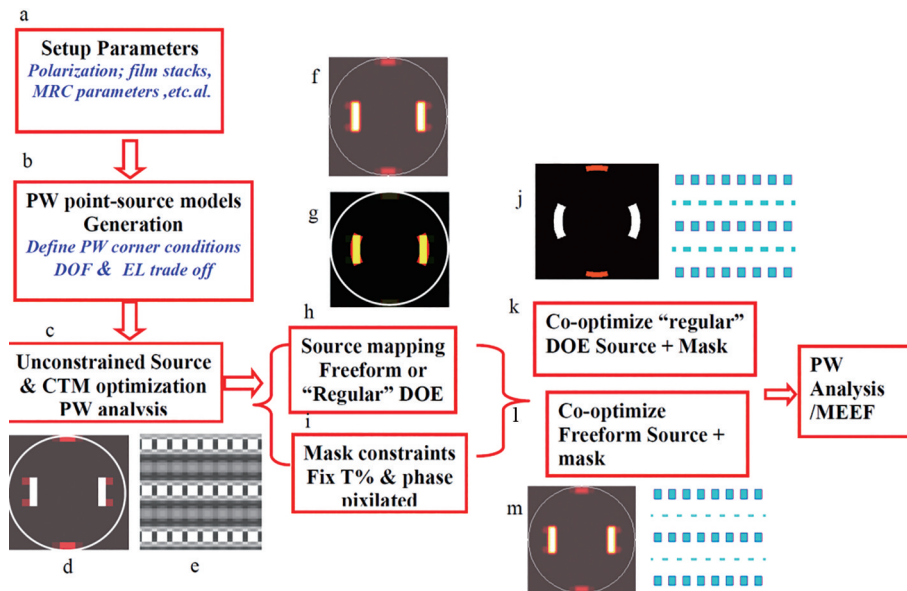


图 12 SMO 工作流程^[22]

Fig. 12 SMO workflow^[22]

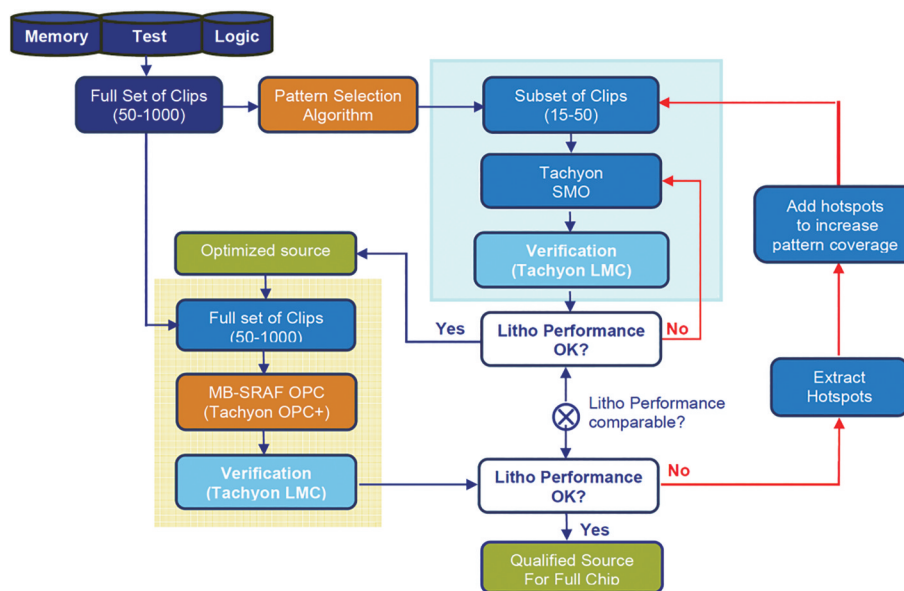


图 13 全芯片 SMO 流程^[24]

Fig. 13 Full-chip SMO workflow^[24]

的代表性。此外,在实际生产过程中,由于 SMO 中采用的掩模优化技术是更为精准的基于掩模像素的优化,与量产时使用的基于多边形优化的 OPC 技术不同,因此通常导致在量产中很难达到 SMO 优化后所展示出来的工艺窗口性能和成像质量。2020 年,东方晶源推出的 PanGen 系统将掩模像素优化技术应用于全芯片,在 SMO 的掩模优化与量产掩模优化采用相同的算法,解决了量产 OPC 结果无法匹配 SMO 掩模优化结果的问题。

3.3 二次成像技术

二次成像技术,即 DPT 是 14 nm 及其以下节点的必备技术。因为单次曝光的最小线宽在 38 nm

(周期 76 nm),小于此线宽(周期)的版图不能单次曝光成像,需要将图形拆分到两张或更多掩模上。因此,DPT 主要完成图形拆分。由于极紫外光刻机的不断推迟,DPT 技术早在 45~32 nm 技术节点时就得到相当的关注^[24],SMO 的出现将 DPT 真正的采用节点推迟到了 14 nm。根据工艺实现的不同,DPT 可以分为基于曝光刻蚀的 litho-etch-litho-etch (LELE) 和基于 Spacer 的自对准 DPT (SADP)^[26]。就 LELE 类型而言,根据其不同图形拆分方法,又可以分为基于图形拆分的 color line (CLN) 和 color space (CSP)。图 14 为 32 nm 节点线形图形的不同图形拆分方法示意图,上图为 CLN,下图为 CSP。

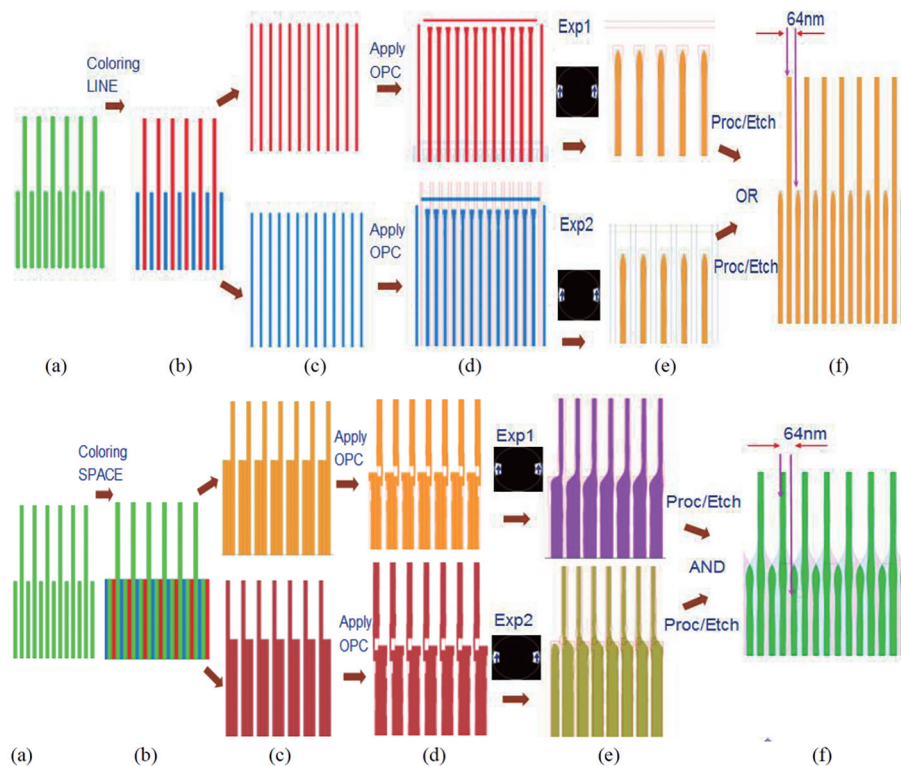


图 14 基于两种图形拆分方法的 DPT 过程^[25]。(a)半周期为 32 nm 的待拆分图形;(b)拆分后图形;(c)拆分后的图形分别放置
在不同的掩模上;(d)每张掩模分别进行 OPC;(e)每张掩模曝光后光刻胶图形;(f)最后的光刻胶图形

Fig.14 DPT process based on two graph splitting methods^[25]. (a) Pattern to be split with a half period of 32 nm; (b) split graphics;
(c) split patterns are placed on different masks respectively; (d) OPC for each mask; (e) photoresist pattern after exposure
of each mask; (f) final photoresist pattern

DPT 图形拆分方法也包括基于规则的拆分和基于模型的拆分两种。基于规则拆分的方法使用得比较普遍,其具体做法如图 15 所示。首先基于间距和周期规则标识具有冲突的图形,其次对具有冲突的图形着不同的颜色。必要时需要对图形进行分部分着色。应该说明的是,某些版图设计是不可能通过拆分完全解决冲突的,例如品字形图形。这种通常需要通过光刻模型进行验证或者通过修改

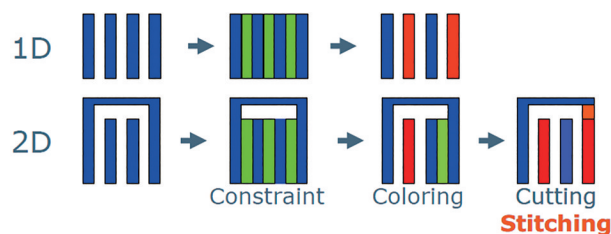


图 15 基于规则 DPT 图形拆分方法示意图^[27]

Fig. 15 Rule-based DPT coloring method^[27]

设计的办法进行解决。近年来一些前端 EDA 设计工具也增加了对 DPT 图形拆分的前端考虑,即在布局布线的过程中就考虑了图形拆分的情形。

4 计算光刻技术发展趋势

计算光刻领域,10~7 nm 技术节点的 DUV 制程相比于 14 nm 主要增加了三次成像或四次成像的图形拆分需求。其原理与 DPT 相同,复杂程度大幅增加。7~5 nm 技术节点由于采用 EUV 制程,计算光刻工具基本框架基本不变,需要在光刻工艺模型中增加 EUV 光刻特有的现象,比如 6° 主光线斜入射导致的阴影效应,特别是 X 方向和 Y 方向阴影的差别及在不同曝光场阴影变化,掩模多层薄膜反射矢量模型,曝光杂散光(flare)现象等。除了上述已经采用的计算光刻技术外,反向光刻技术与曲线掩模、人工智能与云计算及协同优化与全景优化成为计算光刻技术发展趋势。

反向光刻技术本质是在给定的工艺条件下,已知光刻目标图形而求解掩模图形的过程。这一思路最早由 Saleh 等^[28]在 20 世纪 80 年代提出,其典型特征是对掩模的像素化处理及全局优化过程,特别是不再需要额外增加曝光辅助图形生成。也正因如此,反向光刻技术的结果通常被认为是 OPC 技术的极限和最优解。长期以来,由于反向

光刻技术输出的像素化掩模或基于像素掩模而获得的曲线掩模无法制造,因此该结果通常被作为中间结果,基于该结果再进行矩形多边形简化或图形的曼哈顿化,以方便掩模制造。图 16 展示了对于版图图形的反向光刻技术优化的曲线掩模和简化后掩模。由于掩模像素化优化数据量较大,计算量也非常庞大,传统的反向光刻技术仅仅能用于小版图切片的优化。2017 年,东方晶源通过改善反向光刻技术的算法,采用图像图形混合优化的技术在 CPU+GPU 混算平台上实现了全芯片的反向光刻技术掩模优化,如图 17 所示,目前该技术已应用于量产产线。

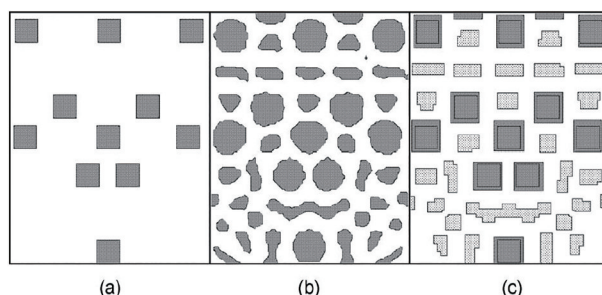


图 16 反向光刻技术掩模优化使用实例^[29]。(a)目标版图图形;(b)曲线掩模图形;(c)简化的掩模图形

Fig. 16 Application of ILT for mask optimization^[29]. (a) Target layout graphics; (b) curve mask pattern; (c) simplified mask pattern

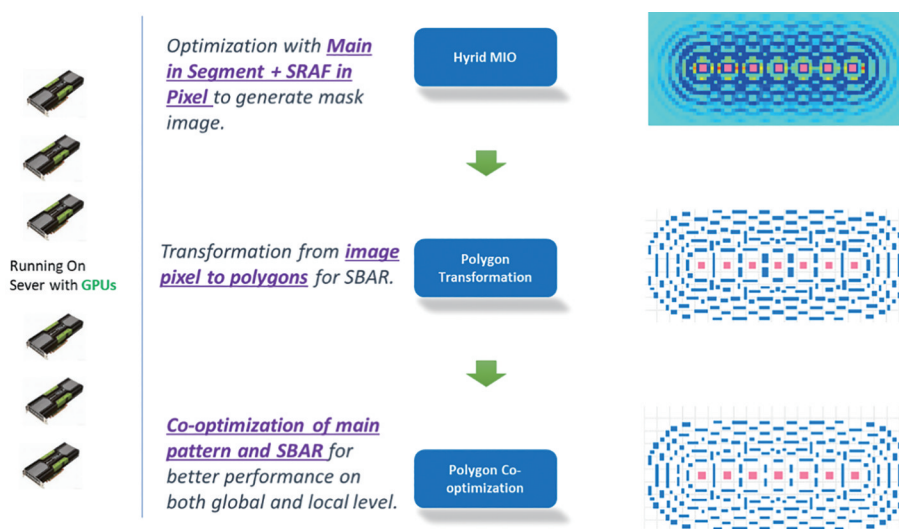


图 17 基于图形图像混合优化的全芯片反向光刻技术流程

Fig. 17 Images and polygons hybrid-optimization ILT flow

随着掩模制造技术的提高,特别是多束直写(MSB)和变形直写技术的开发,曲线掩模的制造精度和制造时间都可以达到量产需求^[30]。因此保留反向光刻技术输出的曲线掩模即 curvilinear mask 或

curvy mask 已经成为可能。但采用曲线掩模的最大挑战有两个:1)如何精确表达曲线;2)如何控制曲线移动优化其形状。目前多家 EDA 公司正在参与 SEMI OASIS.MASK 标准的编写,以求存储表达

曲线掩模。标准形成后,曲线掩模将会在先进节点上广泛应用。

近些年人工智能算法的复兴,也给计算光刻带来了新的尝试。新一代的卷积神经网络被应用于光刻工艺模型、掩模优化、SEM 数据处理等方面的研究都有较多的报道^[31-36]。基于人工智能的 OPC 主要优点是速度快,可以用于快速提供一个

ILT 的初始结果,从而加速整个 ILT 优化的过程,具体过程如图 18 所示。基于人工智能的 OPC 的流程和工具仍然在探索与验证中。基于人工智能的深度学习算法的另一个主要应用是光刻模型的建模工作,目前东方晶源的 PanGen 良率综合优化系统中已经集成了基于深度学习的建模工具 PiCal,并获得产线验证。

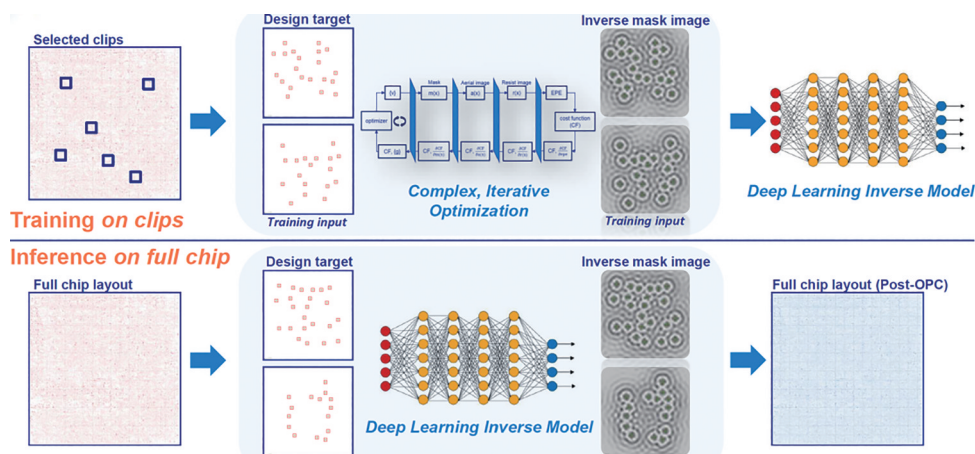


图 18 利用深度学习加速全芯片 ILT 优化^[36]

Fig. 18 Speed-up of full-chip ILT optimization using deep learning^[36]

计算光刻算法越来越复杂,对算力的需求也越来越大。半导体生产厂商为了运行计算光刻不得不维护数万甚至更多 CPU core 的集群。集群机房地、环境的维护、集群硬件和系统软件的 IT 支持和维护及集群非生产高峰的闲置都将给集群所有者带来不小的成本。云计算拥有大量的算力且动态分配系统可以很好解决上述问题。因此,许多计

算光刻系统也在尝试在云上计算的可能。

协同优化,也被称为全景优化,是未来计算光刻发展的另一个重要方向,也是可能对整个行业影响最大的一个发展方向。Liebmann 等^[37]在 2009 年提出了设计工艺协同优化(DTCO),即光刻工艺缺陷或热点区域可以通过对设计版图的适当修改而解决。基于这个思路的 DTCO 流程设想如图 19 所示^[38]。

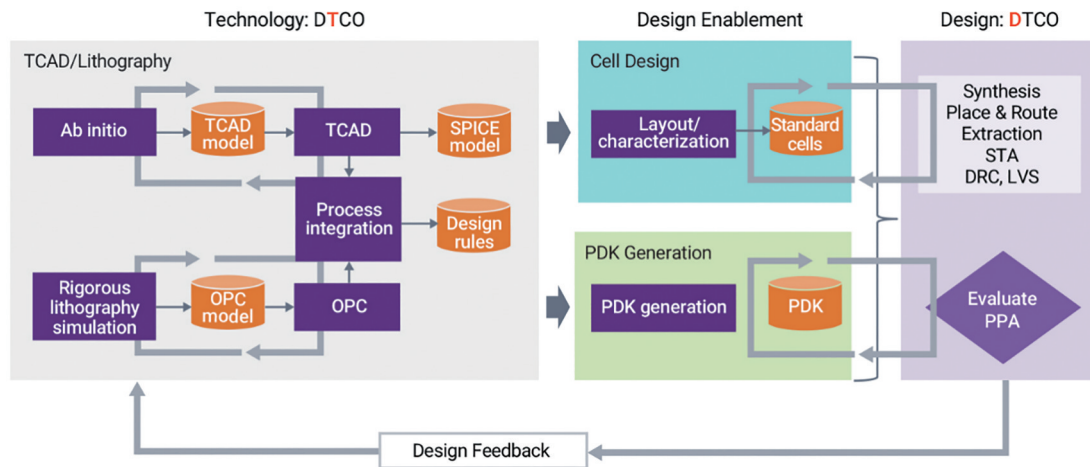


图 19 DTCO 功能流程图^[38]

Fig. 19 Scheme of DTCO functions^[38]

ASML 于 2009 年在 SEMICON WEST 提出全景光刻(holistic lithography)的概念,即将计算光刻、

硅片光刻和工艺控制智能结合^[39]。2014 年 11 月,ASML 在 SEMICON Taiwan 会议上将其光学检测

设备 YieldStar 引入一体化光刻中,如图 20 所示。

DTCO 强调设计与制造的协同,ASML 的全景光刻强调制造与检测协同。2021 年,ICWORLD 会议上东方晶源的俞宗强博士基于其 2015 年的一种大规模集成电路设计和制造的综合优化设备及方法提出综合设计、制造和检测全流程协同优化的构想(HPO),以解决设计公司 with Fab 厂之间反复的数据交互验证的问题,实现从集成电路 RTL 级别设计到形成硅片上芯片的综合优化,具体如

图 21 所示。该流程不是简单将芯片设计与制造的模块进行堆积和罗列,其本质思想是还原芯片设计与制造的目的,解决当前设计公司主要考虑集成电路的电学设计,制造公司只考虑版图图形的硅片上精准转移的问题。HPOTM 的主旨思想是连接设计与制造及检测的各个环节,在设计阶段就考虑到制造的可行性,在制造过程中瞄准芯片终极电学性能进行工艺优化,进而提高芯片制造良率和效率。

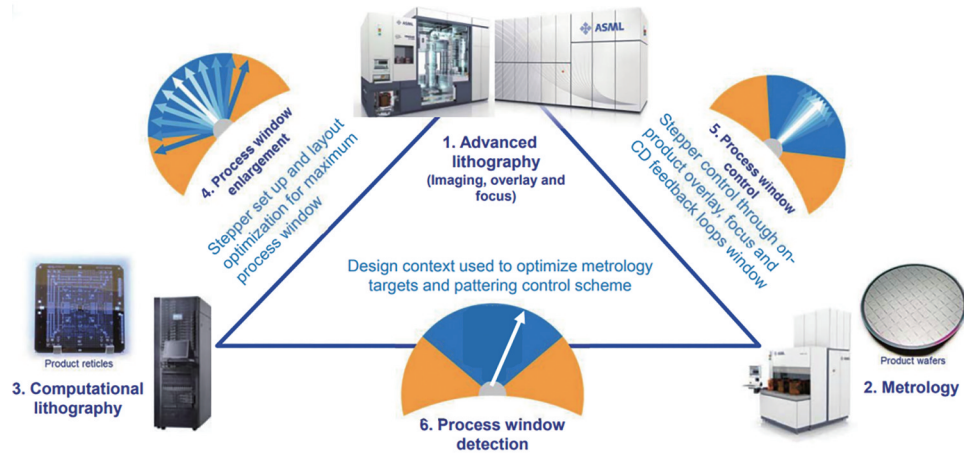


图 20 ASML 全景光刻^[40]

Fig. 20 ASML holistic lithography^[40]

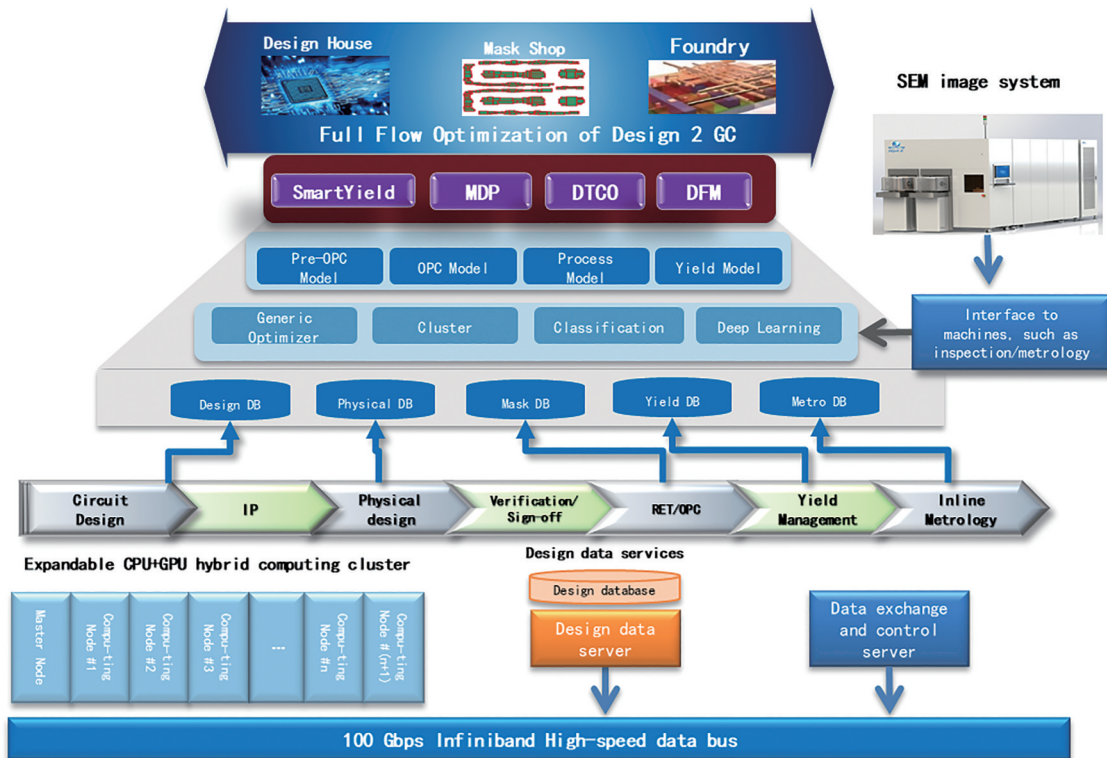


图 21 从设计到芯片全流程综合优化解决方案

Fig. 21 From design to chip whole flow co-optimization

5 结 论

计算光刻是提高光刻分辨率的重要手段,是现代高端芯片设计与制造的重要桥梁。计算光刻从第 1 代基于规则的光学邻近效应校正开始,发展到第 2 代基于模型的光学邻近效应校正,正在进入第 3 代基于反向光刻技术的掩模优化的进程。期间为适应芯片特征尺寸的不断缩小,光刻工艺的不断创新,计算光刻技术也不断演化出多种技术和方法,如光源掩模联合优化、多次成像技术及未来可期的曲线掩模优化技术、基于深度学习的计算光刻技术等。运载计算光刻工具的硬件系统也从简单的单机服务器发展到具有几千甚至几万 CPU 核的超级计算集群、CPU-GPU 异构超算集群及云平台。未来计算光刻的发展将会弥合设计与制造之间的空隙,使设计是考虑了制造的设计,制造是为了芯片电学功能实现的制造,从而统一了设计与制造的终极目标,制造具有电学功能的微结构,通过综合优化提高芯片制造的良率。

参 考 文 献

- [1] Kilby J S. Invention of the integrated circuit[J]. IEEE Transactions on Electron Devices, 1976, 23(7): 648-654.
- [2] Apple unveils iPhone 13 Pro and iPhone 13 Pro Max—more pro than ever before[EB/OL]. (2021-09-14) [2022-01-05]. <https://www.apple.com/newsroom/2021/09/apple-unveils-iphone-13-pro-and-iphone-13-pro-max-more-pro-than-ever-before/>.
- [3] 王向朝, 戴凤钊, 等. 光刻机像质检测技术[M]. 北京: 科学出版社, 2021.
Wang X Z, Dai F Z, et al. Image quality detection technology of lithography machine[M]. Beijing: Science Press, 2021.
- [4] Robertson P D, Wise F W, Nasr A N, Neureuther A R. Proximity effects and influences of nonuniform illumination in projection lithography[J]. Proceedings of SPIE, 1982: 37-44.
- [5] Chien P, Chen M. Proximity effects in submicron optical lithography[J]. Proceedings of SPIE, 1987, 0772: 35.
- [6] Liu A C, Lin B J. A study of projected optical images for typical IC mask patterns illuminated by partially coherent light[J]. IEEE Transactions on Electron Devices, 1983, 30(10): 1251-1263.
- [7] Yen A, Tzviatkov P, Wong A, et al. Optical proximity correction for 0.3 μm i-line lithography[J]. Microelectronic Engineering, 1996, 30(1/2/3/4): 141-144.
- [8] Otto O W, Henderson R C. Integrating proximity effects corrections with photomask data preparation[J]. Proceedings of SPIE, 1995, 2440: 184-191.
- [9] Rothschild M. Projection optical lithography[J]. Materials Today, 2005, 8(2): 18-24.
- [10] Mack C A. Fundamental principles of optical lithography: the science of microfabrication[M]. New Jersey: John Wiley & Sons Inc, 2007.
- [11] Chen J F, Laidig T L, Wampler K E, et al. Practical method for full-chip optical proximity correction[J]. Proceedings of SPIE, 1997, 3051: 790-803.
- [12] Mansfield S M, Liebmann L W, Molless A F, et al. Lithographic comparison of assist feature design strategies[J]. Proceedings of SPIE, 2000, 4000: 63-76.
- [13] Stirniman J P, Rieger M L. Fast proximity correction with zone sampling[J]. Proceedings of SPIE, 1994, 2197: 294-302.
- [14] Stirniman J P, Rieger M L, Gleason R E. Quantifying proximity and related effects in advanced wafer processes[J]. Proceedings of SPIE, 1995, 2440: 252-260.
- [15] Liu Y, Zakhor A. Binary and phase shifting mask design for optical lithography[J]. IEEE Transactions on Semiconductor Manufacturing, 1992, 5(2): 138-152.
- [16] Liu Y, Zakhor A. Computer-aided phase-shift mask design with reduced complexity[J]. Proceedings of SPIE, 1993, 1927: 477-493.
- [17] Cobb N B, Zakhor A, Miloslavsky E. Mathematical and CAD Framework for proximity correction[J]. Proceedings of SPIE, 1996, 2726: 208-222.
- [18] Cao Y, Lu Y W, Chen L Q, et al. Optimized hardware and software for fast full-chip simulation[J]. Proceedings of SPIE, 2005, 5754.
- [19] Dill F, Hornberger W P. Characterization of Positive Photoresist[J]. IEEE Trans, Electron Devices (S0018-9383), 1975, ED-22(7): 445-452.
- [20] Randall J, Gangala H, Tritchkov A. Lithography simulation with aerial image: variable threshold resist model[J]. Microelectronic Engineering, 1999, 46(1/2/3/4): 59-63.
- [21] Burkhardt M, Yen A, Progler C, et al. Illuminator design for the printing of regular contact patterns[J]. Microelectronic Engineering, 1998, 41/42: 91-95.
- [22] Hsu S, Chen L Q, Li Z P, et al. An innovative

- Source-Mask co-Optimization (SMO) method for extending low k1 imaging[J]. Proceedings of SPIE, 2008, 7140: 220-229.
- [23] Tolani V, Hu P, Peng D P, et al. Source-mask co-optimization (SMO) using level set methods[J]. Proceedings of SPIE, 2009, 7488: 74880Y.
- [24] Tsai M C, Hsu S, Chen L Q, et al. Full-chip source and mask optimization[J]. Proceedings of SPIE, 2011, 7973: 79730A.
- [25] Chiu M C, Lin B S M, Tsai M F, et al. Challenges of 29 nm half-pitch NAND Flash STI patterning with 193 nm dry lithography and self-aligned double patterning[J]. Proceedings of SPIE, 2008, 7140: 484-491.
- [26] Park J, Hsu S, van den Broeke D, et al. Application challenges with double patterning technology (DPT) beyond 45 nm[J]. Proceedings of SPIE, 2006, 6349: 634922.
- [27] Wiaux V, Verhaegen S, Iwamoto F, et al. A methodology for double patterning compliant split and design[J]. Proceedings of SPIE, 2008, 7140: 450-463.
- [28] Saleh B E, Sayegh S I. Reduction of errors of microphotographic reproductions by optimal corrections of original masks[J]. Optical Engineering, 1981, 20 (5): 781-784.
- [29] Hendrickx E. Inverse lithography for 45-nm-node contact holes at 1.35 numerical aperture[J]. Journal of Nanolithography, MEMS, and MOEMS, 2009, 8 (4): 043001.
- [30] Pang L, Ungar P J, Bouaricha A, et al. TrueMask ILT MWCO: full-chip curvilinear ILT in a day and full mask multi-beam and VSB writing in 12 hrs for 193i[J]. Proceedings of SPIE, 2020, 11327: 145-158.
- [31] Liu P. Mask synthesis using machine learning software and hardware platforms[J]. Proceedings of SPIE, 2020, 11327: 1132707.
- [32] Cecil T, Braam K, Omran A, et al. Establishing fast, practical, full-chip ILT flows using machine learning[J]. Proceedings of SPIE, 2020, 11327: 1132706.
- [33] Shi X L, Zhao Y H, Chen S M, et al. Physics based feature vector design: a critical step towards machine learning based inverse lithography[J]. Proceedings of SPIE, 2020, 11327: 113270A.
- [34] Adam K, Ganjugunte S, Moyroud C, et al. Using machine learning in the physical modeling of lithographic processes[J]. Proceedings of SPIE, 2019, 10962: 109620F.
- [35] Kim Y S, Lee S, Hou Z Y, et al. OPC model accuracy study using high volume contour based gauges and deep learning on memory device[J]. Proceedings of SPIE, 2019, 10959: 1095913.
- [36] Cao Y. Machine learning in computational lithography [EB/OL]. [2022-01-04]. <https://www.ebeam.org/docs/SPIE2019-yu-cao.pdf>.
- [37] Liebmann L, Pileggi L, Hibbeler J. Simplify to survive, prescriptive layouts ensure profitable scaling to 32 nm and beyond[J]. Proceedings of SPIE, 2009, 7275: 72750A.
- [38] Synopsys DTCO Flow: technology development[EB/OL]. [2022-01-05]. <https://www.synopsys.com/silicon/resources/articles/dtco-flow.html>.
- [39] Chip makers adopt ASML holistic lithography[EB/OL]. [2022-01-05]. https://sst.semiconductor-digest.com/2010/07/chip-makers_adopt/#:~:text=Holistic%20lithography%20integrates%20computational%20lithography%2C%20wafer%20lithography%20and,%26%20development%20%28R%26D%29%20as%20well%20as%20volume%20manufacturing.
- [40] van den Brink M. Holistic lithography and metrology's importance in driving patterning fidelity[J]. Proceedings of SPIE, 2016, 9778: 977802.