

# 激光与光电子学进展

## 基于二维光子晶体的半加器设计与优化

张岩, 李梦凡, 陈德媛\*

南京邮电大学电子与光学工程学院、微电子学院, 江苏 南京 210023

**摘要** 在完整的二维三角晶格硅中引入线缺陷和点缺陷, 利用波导耦合和线性干涉, 提出了一种基于光子晶体的全光半加器结构。半加器由波导分束器、全光逻辑与门和全光逻辑异或门组成。利用 Rsoft 软件, 结合平面波展开法和时域有限差分法对所提半加器进行仿真研究。结果表明, 所提半加器在波长为 1530 nm 时“进位”和“和位”端口的对比度分别为 4.67 dB 和 10.77 dB, 响应时间约为 2.67 ps。为了提高“进位”端口的对比度, 文中对半加器的结构进行了优化。优化后的半加器“进位”和“和位”端口的对比度分别为 8.26 dB 和 15.34 dB, 响应时间为 3.67 ps, 理论上可以达到 0.273 Tbps 的数据传输速率。所提出优化后的半加器具有较高的对比度, 在全光信号处理系统和集成光路中具有重要作用。

**关键词** 光学器件; 光逻辑器件; 半加器; 光子晶体

中图分类号 TN256

文献标志码 A

doi: 10.3788/LOP202259.0123001

## Design and Optimization of Half-Adder Based on Two-Dimensional Photonic Crystal

Zhang Yan, Li Mengfan, Chen Deyuan\*

*College of Electronic and Optical Engineering & College of Microelectronics, Nanjing University of Posts and Telecommunications, Nanjing, Jiangsu 210023, China*

**Abstract** In this study, line defects and point defects are introduced in a complete two-dimensional triangular lattice silicon. Using waveguide coupling and linear interference, an all-optical half-adder structure based on photonic crystal is proposed. The half-adder consists of waveguide beam splitters, an all-optical logic AND gate and an all-optical logic XOR gate. Using Rsoft software, combined with the plane-wave-expansion method and the finite-difference time-domain method, the proposed half-adder is simulated. Results show that the contrast ratios of the “carry” and “sum” ports of the proposed half-adder are 4.67 dB and 10.77 dB when the input-light wavelength is 1530 nm, and the response time is about 2.67 ps. In order to improve the contrast ratio of the “carry” port, the structure of the half-adder is optimized. The contrast ratios of the “carry” and “sum” ports of the optimized half-adder are 8.26 dB and 15.34 dB, respectively, and the response time is 3.67 ps. Theoretically, it can reach a data transmission rate of 0.273 Tbps. The proposed half-adder with optimized structure has the characteristic of high contrast ratio, and plays an important role in all-optical signal processing systems and integrated optical circuits.

**Key words** optical devices; optical logic devices; half-adder; photonic crystal

收稿日期: 2021-03-22; 修回日期: 2021-04-13; 录用日期: 2021-04-29

通信作者: \*cdy7659@126.com

## 1 引言

全光逻辑门是全光信号处理系统与集成光路中的重要器件,它能够在不同输入下有不同的输出特性,且只通过光波之间的相互作用实现逻辑运算功能<sup>[1-3]</sup>。其中,半加器是构建全加器的基础单元,也是实现光计算的重要组成部分。

目前,实现全光半加器的方法有基于非线性光纤、基于半导体光放大器、基于光子晶体等方法。基于非线性光纤的方法稳定性好,但是难以集成;基于半导体光放大器的方法易于集成,但是工作时容易受到自发辐射的影响,响应时间通常在纳秒级别;基于光子晶体的方法具有响应速度快、集成度高以及结构紧凑等优点<sup>[4-5]</sup>,这也使得基于光子晶体的半加器设计成为近年来的研究热点。2017年,Shaik等<sup>[6]</sup>利用多模干涉理论设计了一个使用T形波导的光子晶体全光半加器,在输出端口获得的对比度分别为10.95 dB和4.32 dB,比特率分别为1.27 Tbps和1.07 Tbps;2018年,Seifouri等<sup>[7]</sup>设计了一种基于干涉效应的全光半加器。端口计算的对比度分别等于9.3 dB和8.22 dB,响应时间等于0.22 ps,数据传输速率为4.55 Tbps;2020年,Parandin等<sup>[8]</sup>提出使用两个基于二维光子晶体的环形谐振腔重构全光半加器和全光XOR和AND逻辑门,在输出端口处获得的对比度为5.44 dB和4.51 dB。上述文献提出的半加器的对比度普遍偏低,而关于如何提高对比度的研究则更少。

本文在完整的二维三角晶格硅中引入线缺陷和点缺陷,利用波导耦合和线性干涉,提出了一种基于二维光子晶体的全光半加器结构。半加器由波导分束器、全光逻辑与门和全光逻辑异或门组成。为了提高输出端口的对比度,文中对半加器的结构进行了优化。利用Rsoft软件,结合平面波展开(PWM)法和时域有限差分(FDTD)法对所提半加器的特性进行仿真分析,并对该半加器的对比度和响应时间等性能进行研究。

## 2 理论与工作原理

在空气中填充三角晶格排列的硅介质柱以构成二维光子晶体结构,介质柱的折射率为3.5,晶格常数 $a=650$  nm,介质柱的半径 $r=0.167a$ ,数量为 $30 \times 33$ 。利用平面波展开法可以得到光子晶体

能带结构图。图1为没有引入缺陷时的光子晶体TE模和TM模能带图。

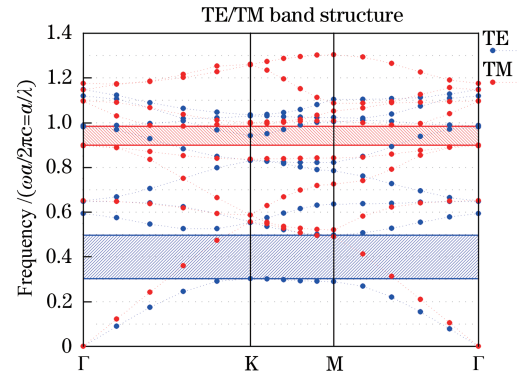


图1 完整光子晶体结构能带图

Fig. 1 Energy band diagram of complete photonic crystal structure

从图1中可以看出光子晶体有两条带隙,一条为TE模式,一条为TM模式。带隙分别为 $0.303 < a/\lambda < 0.497$ 和 $0.899 < a/\lambda < 0.984$ 。带隙对应的波长范围分别为 $1308 \text{ nm} < \lambda < 2145 \text{ nm}$ 和 $661 \text{ nm} < \lambda < 723 \text{ nm}$ 。为了提高器件的稳定性,这里选择带隙较宽的TE模式中的高斯光源入射,功率为 $P_{in}$ ,波长为 $1.53 \mu\text{m}$ 。当输入端口有电磁波输入,输入端口状态为逻辑“1”,没有电磁波输入,输入端口状态为逻辑“0”。当输出端口的归一化光功率在0.4以上,定义此时的输出端口状态为逻辑“1”;当输出端口的归一化光功率在0.15以下,定义此时的输出端口状态为逻辑“0”;归一化光功率在0.15到0.4之间定义为亚稳态。

为了获得光波的传输特性,应用时域有限差分法对设计的结构进行模拟分析。为保证仿真精度和减小数值色散,网格大小设置为 $\lambda/20$ ,吸收边界采用完全匹配边界层(PML)。

全光逻辑门的响应时间是衡量性能的重要指标。响应时间又称调节时间,是系统从阶跃输入开始到输出值进入稳定值所规定的范围内所需要的时间<sup>[9]</sup>。稳定值所规定的范围称为误差带<sup>[10]</sup>,这里取稳定值的 $\pm 5\%$ 。

对比度是反映全光逻辑门性能的另一重要指标,对比度越高,器件的灵敏度越高。对比度可以由公式 $f_{CR} = 10 \lg(P_1/P_0)$  dB<sup>[7,11-13]</sup>得到,其中 $P_1$ 为光逻辑门输出为逻辑“1”时输出功率的最小值, $P_0$ 为输出为逻辑“0”时输出功率的最大值。

### 3 结构设计与仿真分析

#### 3.1 半加器

在二维三角形晶格硅光子晶体上设计如图 2 的半加器结构,该结构由两个位于结构上下两侧的波导分束器,一个位于结构左侧的逻辑与(AND)门<sup>[14]</sup>和一个位于结构右侧的逻辑异或(XOR)门<sup>[7,15]</sup>组成。 $R_1$ 、 $R_2$ 、 $R_3$ 、 $R_4$ 和 $R_5$ 分别指向 AND 逻辑门中的缺陷介质柱,半径依次为  $0.5r$ 、 $0.5r$ 、 $0.5r$ 、 $0.5r$ 和  $0.6r$ 。 $R_1$ 和 $R_2$ 之间距离  $2.05a$ , $R_2$ 和 $R_5$ 之间距离

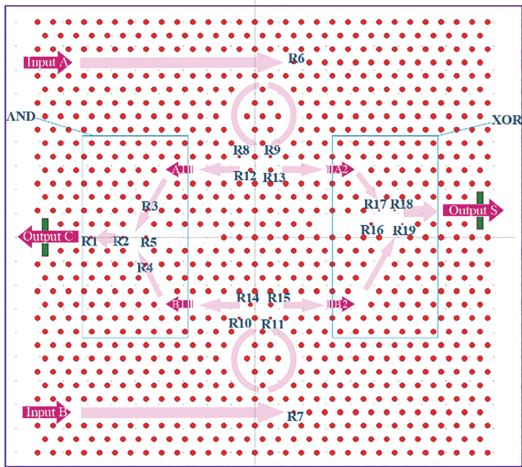


图 2 基于 AND 和 XOR 逻辑门的半加器结构图

Fig. 2 Structure diagram of half-adder based on AND and XOR logic gates

$1.5a$ 。 $R_6$ ( $R_7$ )、 $R_8$ ( $R_{10}$ )、 $R_9$ ( $R_{11}$ )、 $R_{12}$ ( $R_{14}$ )和 $R_{13}$ ( $R_{15}$ )分别指向波导分束器中的缺陷柱,半径依次为  $0.8r$ 、 $0.5r$ 、 $0.5r$ 、 $0.8r$ 和  $0.9r$ 。 $R_{13}$ ( $R_{15}$ )的晶格坐标较 $R_9$ ( $R_{11}$ )向右平移了  $0.02a$ , $R_{12}$ ( $R_{14}$ )和 $R_{13}$ ( $R_{15}$ )之间距离  $1.3a$ 。 $R_{16}$ 、 $R_{17}$ 、 $R_{18}$ 和 $R_{19}$ 分别指向 XOR 逻辑门中的散射介质柱,半径依次为  $0.583r$ 、 $0.25r$ 、 $0.25r$ 和  $0.25r$ 。

在设计半加器结构中,从输入端口 A 和 B 入射的电磁波以相同的相位和光功率( $P_{in}$ )耦合进上下环形谐振腔中,通过波导分束器分为两束,分别进入位于半加器结构左侧的 AND 逻辑门和结构右侧的 XOR 逻辑门中。 $A1$ 和 $A2$ 、 $B1$ 和 $B2$ 分别指向波导分束器的输出端口,同时也指向 AND 逻辑门和 XOR 逻辑门的入射端口。由于 AND 门结构的对称性,入射电磁波的光程差为 0,因此入射光波干涉相长。由于 XOR 门结构的不对称性,入射电磁波的光程差为半波长的奇数倍,因此入射光波干涉相消。 $S$ 指向 XOR 逻辑门的输出端口,同时也指向半加器的和位(Sum)端口。 $C$ 指向 AND 逻辑门的输出端口,同时也指向半加器的进位(Carry)端口。

当端口 A 和 B 的状态都为逻辑“0”,此时结构中没有电磁波传播,故输出端 C 和 S 的状态均为逻辑“0”。根据时域有限差分法,可以得到半加器在不同输入状态的电场分布图,如图 3 所示。

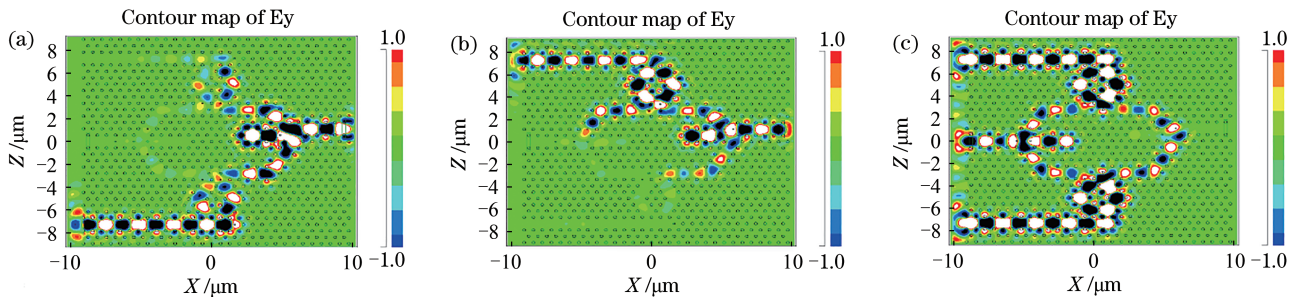


图 3 半加器的 TE 模稳态场分布。(a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

Fig. 3 TE mode steady-state field distribution of half-adder. (a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

从图 3(a)和图 3(b)中可以看出,当输入端口 A 和 B 仅有一个端口有光波输入,输出端口 S 有较高的能量输出,输出端口 C 无明显能量输出。从图 3(c)中可以看出,当输入端口 A 和 B 均有光波输入,输出端口 C 有较高的能量输出,输出端 S 无明显能量输出。应用时域有限差分法还可以得到半加器在不同输入状态下的时域稳态响应,如图 4 所示。

图 4 反映了输出端口的归一化光功率随着时间的变化曲线。将图 4 中的数据记录在表 1 中,可以

看出半加器具有正确的逻辑功能。在图 4(a)中,输入端口 A 关闭, B 开启,输出端口 C 的归一化光功率仅有 0.142,输出端口 S 的归一化光功率高达 0.663;在图 4(b)中,输入端口 A 开启,端口 B 关闭,输出端口 C 的归一化光功率很低,仅有 0.125,输出端口 S 的归一化光功率高达 0.418;在图 4(c)中,输入端口 A 和 B 都开启,输出端口 C 的归一化光功率很高,为 0.417,输出端口 S 的归一化光功率仅有 0.035。由此可以计算出半加器输出端口 C 和 S 的

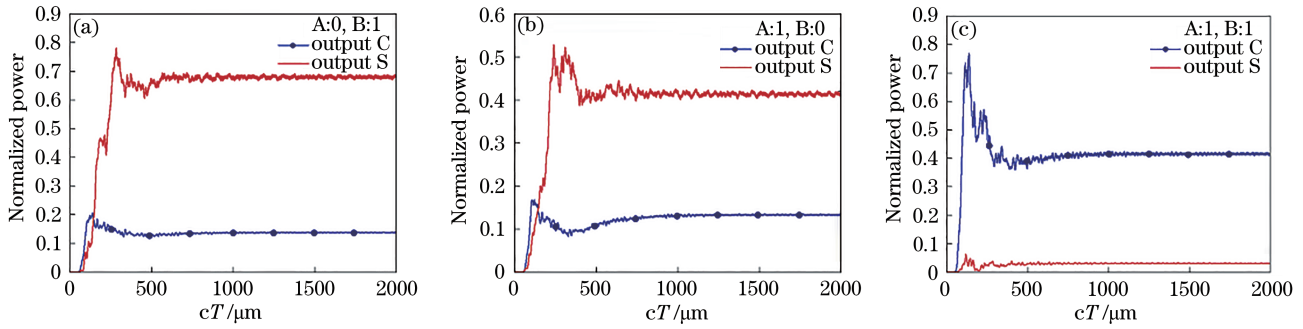


图 4 半加器的时域稳态响应图。(a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

Fig. 4 Time-domain steady state response diagrams of half-adder. (a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

表 1 半加器的真值表和输出端口归一化光功率

Table 1 Performance accuracy table and the output power levels of the half-adder designed

Input A		Input B		Output C		Output S	
Logic level	Power	Logic level	Power	Logic level	Normalized Power	Logic level	Normalized Power
0	0	0	0	0	0	0	0
0	0	1	Pin	0	0.142	1	0.663
1	Pin	0	0	0	0.125	1	0.418
1	Pin	1	Pin	1	0.417	0	0.035

对比度分别为 4.67 dB 和 10.77 dB。

取图 4 中输出稳定值的  $\pm 5\%$  形成误差带,从  $cT=800 \mu\text{m}$  处开始,不同输入状态下的输出稳定值都落在误差带中。其中  $c$  为光速,取  $3 \times 10^8 \text{ m/s}$ ,计算可得半加器的响应时间为 2.67 ps,理论上可以达到 0.375 Tbps 的数据传输速率。

### 3.2 结构优化的半加器

考虑到进位端口的对比度偏低,这主要是因为所设计的结构中,有一部分电磁波在 AND 和 XOR 逻辑门闲置的端口处被完美匹配层吸收。为了避免吸收而造成光波损耗,将结构内 AND 和 XOR 逻辑门闲置的端口用波导连接,并加上一些单晶硅介质柱,以此来对波导中的相位进行调制,使得从 XOR 闲置端口出射的电磁波具有可补偿进位端口光功率的相位,进入 AND 逻辑门中。

在所设计的半加器的基础上,用一条弯曲波导将半加器结构中的 AND 逻辑门和 XOR 逻辑门的闲置端口连接,并在波导中设置一些单晶硅介质柱,优化后的半加器结构如图 5 所示。 $R_{21}$ 、 $R_{22}$ 、 $R_{23}$  和  $R_{24}$  分别指向连通波导中的介质柱,半径依次为  $0.38r$ 、 $0.38r$ 、 $0.38r$ 、 $0.32r$  和  $0.38r$ 。

应用时域有限差分法,可以得到结构优化的半加器在不同输入状态的电场分布图,如图 6 所示。

从图 6(a) 和图 6(b) 中可以看出,当输入端口 A 和 B 仅有一个端口有光波输入,输出端口 S 有较高的

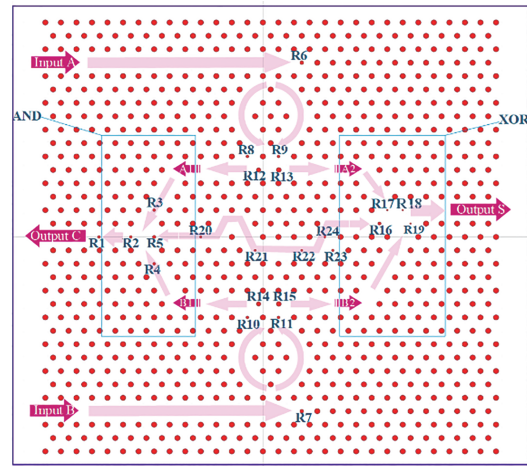


图 5 优化后的半加器结构图

Fig. 5 Structure diagram of the optimized half-adder

能量输出,输出端口 C 无明显能量输出。从图 6(c) 中可以看出,当输入端口 A 和 B 均有光波输入,输出端口 C 有较高的能量输出,输出端 S 无明显能量输出。利用时域有限差分法还可以得到结构优化的半加器在不同输入状态下的时域稳态响应,如图 7 所示。

图 7 反映了输出端口的归一化光功率随着时间的变化曲线。将图 7 中的数据记录在表 2 中,可以看出结构优化的半加器具有正确的逻辑功能。在图 7(a) 中,输入端口 A 关闭, B 开启,输出端口 C 的归一化光功率仅有 0.109,输出端口 S 的归一化光

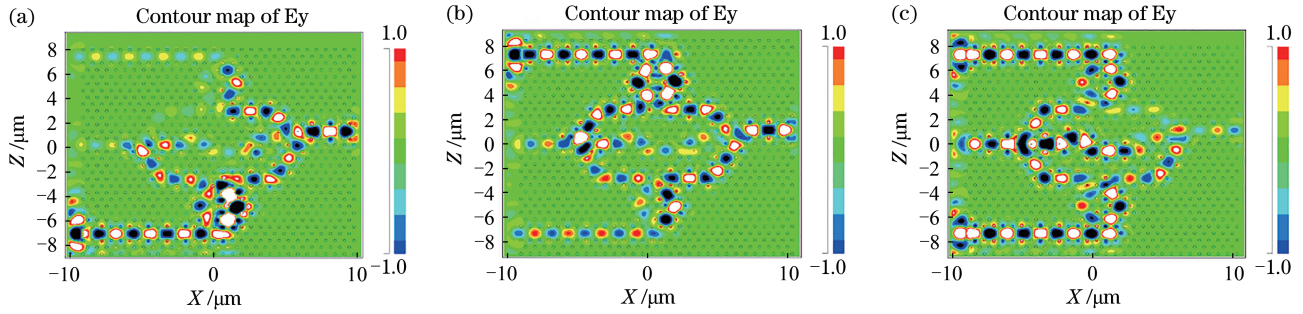


图 6 结构优化的半加器的 TE 模稳态场分布。(a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

Fig. 6 TE mode steady-state field distribution of structure-optimized half-adder. (a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

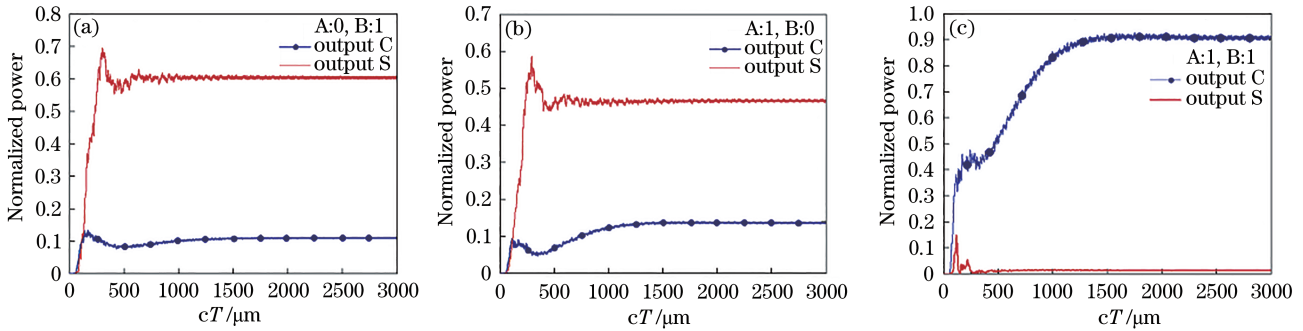


图 7 结构优化的半加器的时域稳态响应图。(a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

Fig. 7 Time-domain steady state response diagrams of structure-optimized half-adder. (a) A:0, B:1; (b) A:1, B:0; (c) A:B:1

表 2 结构优化的半加器的真值表和输出端口归一化光功率

Table 2 Performance accuracy table and the output power levels of structure-optimized half-adder

Input A		Input B		Output C		Output S	
Logic level	Power	Logic level	Power	Logic level	Normalized Power	Logic level	Normalized Power
0	0	0	0	0	0	0	0
0	0	1	Pin	0	0.109	1	0.605
1	Pin	0	0	0	0.136	1	0.465
1	Pin	1	Pin	1	0.911	0	0.0136

功率高达 0.605; 在图 7(b) 中, 输入端口 A 开启, 端口 B 关闭, 输出端口 C 的归一化光功率很低, 仅有 0.136, 输出端口 S 的归一化光功率高达 0.465; 输入端口 A 和 B 都开启时, AND 逻辑门通过连通波导持续接收来自 XOR 逻辑门的电磁波。通过扫描确定单晶硅介质柱  $R_{21}$ 、 $R_{22}$ 、 $R_{23}$  和  $R_{24}$  的半径和位置, 使其调制进入 AND 逻辑门的光波的相位, 从而增强与门输出端口的光功率, 达到对半加器进位端口光功率的补偿。从图 7(c) 中可以看出, 由于损耗补偿, 端口 C 的归一化功率曲线在 1 ps ( $cT=300 \mu\text{m}$ ) 处明显上升。通过计算, 输出端口 C 的归一化光功率为 0.911, 优化前仅为 0.417, 输出端口 S 的归一化功率仅有 0.0136。由此可以计算出结构优化的半加器输出端口 C 和 S 的对比度分别为 8.26 dB 和 15.34 dB。

取图 7 中输出稳定值的  $\pm 5\%$  形成误差带, 从  $cT=1100 \mu\text{m}$  处开始, 不同输入状态下的输出稳定值都落在误差带中。其中  $c$  为光速, 取  $3 \times 10^8 \text{ m/s}$ , 计算可得结构优化的半加器的响应时间为 3.67 ps, 理论上可以达到 0.273 Tbps 的数据传输速率。

## 4 结 论

在完整的二维三角形晶格硅光子晶体中, 基于光子晶体分束器、全光逻辑与门和异或门, 提出了一种全光半加器结构。利用波导耦合和线性干涉原理, 该结构可以实现两输入的加法逻辑运算。为了提高器件的对比度, 将半加器结构内的与门和异或门用波导连通, 又提出了一种优化的全光半加器结构。优化后的半加器在波长为 1530 nm 时“进位”和“和位”端口的对比度分别为 8.26 dB 和 15.34 dB, 响

应时间为 3.67 ps,理论上可以达到 0.273 Tbps 的数据传输速率。优化后的半加器响应时间增加了约 1 ps,对比度分别提高了 3.59 dB 和 4.57 dB,具有较高的对比度,在集成光路中具有潜在的应用价值。

### 参 考 文 献

- [1] Jiang Y C. Design and study of all optical devices based on photonic crystals[D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2017: 1-9.  
姜宇驰. 基于光子晶体的全光器件设计与研究[D]. 南京: 南京航空航天大学, 2017: 1-9.
- [2] Mekis A, Chen J C, Kurland I, et al. High transmission through sharp bends in photonic crystal waveguides[J]. *Physical Review Letters*, 1996, 77(18): 3787-3790.
- [3] Rakhshani M R, Mansouri-Birjandi M A. Realization of tunable optical filter by photonic crystal ring resonators[J]. *Optik*, 2013, 124(22): 5377-5380.
- [4] Xu G Y, Chen Y, Li P L. Three-input all-optical AND gate based on two-dimensional photonic crystal [J]. *Chinese Journal of Lasers*, 2020, 47(10): 1013002.  
徐光跃, 陈莹, 李培丽. 基于二维光子晶体的三输入全光逻辑与门[J]. *中国激光*, 2020, 47(10): 1013002.
- [5] Liu Z, Wu R, Yan Q B, et al. Design and simulation of two-dimensional photonic crystal all-optical logic gates[J]. *Laser & Optoelectronics Progress*, 2019, 56(18): 182301.  
刘振, 吴蓉, 严清博, 等. 二维光子晶体全光逻辑门的设计与仿真[J]. *激光与光电子学进展*, 2019, 56(18): 182301.
- [6] Shaik E H, Rangaswamy N. Implementation of photonic crystal based all-optical half adder using T-shaped waveguides[C]//2017 2nd International Conference on Computing and Communications Technologies (ICCT), February 23-24, 2017, Chennai, India. New York: IEEE Press, 2017: 148-150.
- [7] Seifouri M, Olyae S, Sardari M, et al. Ultra-fast and compact all-optical half adder using 2D photonic crystals[J]. *IET Optoelectronics*, 2019, 13(3): 139-143.
- [8] Parandin F, Reza Malmir M. Reconfigurable all optical half adder and optical XOR and AND logic gates based on 2D photonic crystals[J]. *Optical and Quantum Electronics*, 2020, 52(2): 1-8.
- [9] Zhang L D, Zhang Y, Zhang M M, et al. Traffic flow system damping ratio characteristics analysis based on OV model[J]. *Journal of Transportation Systems Engineering and Information Technology*, 2014, 14(5): 209-215.  
张立东, 张远, 张萌萌, 等. OV模型交通流阻尼特性研究[J]. *交通运输系统工程与信息*, 2014, 14(5): 209-215.
- [10] Hang Z X, Song Z, Chang X F. Dynamic capability of AC PMIG power[J]. *Journal of Shenyang University of Technology*, 2004, 26(3): 254-257.  
杭争翔, 宋政, 常小芳. AC PMIG 电源动态性能[J]. *沈阳工业大学学报*, 2004, 26(3): 254-257.
- [11] Parandin F, Malmir M R, Naseri M, et al. Reconfigurable all-optical NOT, XOR, and NOR logic gates based on two dimensional photonic crystals[J]. *Superlattices and Microstructures*, 2018, 113: 737-744.
- [12] Cheraghi F, Soroosh M, Akbarizadeh G. An ultra-compact all optical full adder based on nonlinear photonic crystal resonant cavities[J]. *Superlattices and Microstructures*, 2018, 113: 359-365.
- [13] Sun X W. Research of all-optical logic gate based on the self collimation effect of 2D photonic crystal[D]. Jinan: Shandong University, 2018: 7-9.  
孙晓雯. 基于二维光子晶体自准直效应的全光逻辑门研究[D]. 济南: 山东大学, 2018: 7-9.
- [14] Parandin F, Karkhanehchi M M. Terahertz all-optical NOR and AND logic gates based on 2D photonic crystals[J]. *Superlattices and Microstructures*, 2017, 101: 253-260.
- [15] Wang J, Sun J Q, Sun Q Z. Proposal for all-optical switchable or/xor logic gates using sum-frequency generation[J]. *IEEE Photonics Technology Letters*, 2007, 19(8): 541-543.