

## 激光与光电子学进展

四电平脉冲幅度调制光互联系统中的  
可重构发射芯片架构陈志强<sup>1,2\*\*</sup>, 程凌浩<sup>1</sup>, 鲍园<sup>2\*</sup>, 刘大伟<sup>2</sup>, 范建林<sup>2</sup>, 陈志涛<sup>2</sup><sup>1</sup>暨南大学光子技术研究院, 广东 广州 510632;<sup>2</sup>广东省科学院半导体研究所, 广东 广州 510651

**摘要** 信道线性及非线性失真会降低基于四电平脉冲幅度调制(PAM4)的短距离光互联系统的性能,利用PAM4发射芯片对信号进行预补偿能缓解信道失真带来的影响。因此,研究了一种适用于短距离光互联的PAM4发射芯片架构。该架构基于查找表(LUT)均衡器和源串联终端数模转换器灵活补偿光信道失真,利用流水线结构的选择器进行高速LUT读取;同时,采用电阻反馈的预驱动电路减少高速数模转换器信号输出时的码间干扰。后仿真结果表明,55 nm工艺制程PAM4发射芯片的速率可达到40 Gbit/s,能实现灵活配置的均衡模式,满足下一代数据中心、接入等光互联网络的需求。

**关键词** 光通信; 四电平脉冲幅度调制; 数模转换器; 查找表; 非线性均衡

中图分类号 TN913.7

文献标志码 A

doi: 10.3788/LOP202158.2106004

Architecture of Reconfigurable Transmitter Integrated Circuits for  
Four-Level Pulse Amplitude Modulation Optical Interconnection SystemChen Zhiqiang<sup>1,2\*\*</sup>, Cheng Linghao<sup>1</sup>, Bao Yuan<sup>2\*</sup>, Liu Dawei<sup>2</sup>, Fan Jianlin<sup>2</sup>, Chen Zhitao<sup>2</sup><sup>1</sup>Institute of Photonics Technology, Jinan University, Guangzhou, Guangdong 510632, China;<sup>2</sup>Institute of Semiconductors, Guangdong Academy of Sciences, Guangzhou, Guangdong 510651, China

**Abstract** Linear and nonlinear channel distortion could degrade the performance of short reach optical interconnection system based on four-level pulse amplitude modulation (PAM4). Using PAM4 transmitter integrated circuits to pre-compensate the signal can alleviate the impact of channel distortion. This paper studies the architecture of PAM4 transmitter chip suitable for short reach optical interconnection. The architecture is based on look-up table (LUT) equalizer and source series terminated digital-to-analog converter, which can flexibly compensate the optical channel distortion. The pipelined multiplexer is used for high speed LUT reading. Digital-to-analog converter pre-driver circuit with feedback resistance is used to decrease the inter-symbol-interference. The post simulation results show that the PAM4 transmitter integrated circuits based on 55 nm process is able to reach 40 Gbit/s. It also enables reconfigurability of various types of equalizers and meets the requirements of next generation data center, access and other optical interconnection networks.

**Key words** optical communications; four-level pulse amplitude modulation; digital-to-analog converter; look-up

收稿日期: 2021-01-22; 修回日期: 2021-03-05; 录用日期: 2021-03-10

基金项目: 国家自然科学基金(61875246)、广东省科学院建设国内一流研究机构行动专项(2020GDASYL-20200103115, 2020GDASYL-20200102025, 2021GDASYL-20210102001, 2020GDASYL-20200302012, 2019GDASYL-0105058, 2018GDASCX-0112)、广州市科技计划(201904020032)

通信作者: \*baoyuan@gdisit.com; \*\*mac10242021@163.com

table; nonlinear equalization

OCIS codes 060.4510; 060.6718; 250.3140

## 1 引言

随着 5G 与云计算技术的高速发展,数据中心与网络运营商的数据业务日益增多,下一代短距离光互联技术逐渐成为人们的研究热点<sup>[1-3]</sup>。相比成本较高的相干检测系统,强度调制/直接检测(IM/DD)系统具有成本低的优势,被认为是短距离光互联传输最具前景的方案之一<sup>[4]</sup>。目前,IM/DD 系统采用的主要调制格式为脉冲幅度调制(PAM)、抑制载波幅度和相位(CAP)调制、离散多音(DMT)调制等。相比其他两种格式,PAM 具有结构简单、实现成本低、实时性好的优点<sup>[5-7]</sup>,其中,四电平脉冲幅度调制(PAM4)被正式批准为 IEEE 802.3bs 400G 以太网标准。但在短距离 PAM4 光互联系统中,低成本电光调制器及其驱动会影响信道的带宽和线性度<sup>[8]</sup>,导致 PAM4 发射信号产生码间干扰(ISI)<sup>[9-10]</sup>及非线性失真<sup>[11-14]</sup>,降低了 PAM4 光互联系统的整体性能。PAM4 发射芯片(IC)可在光发射端进行预补偿<sup>[15-17]</sup>,从而降低信道失真的影响,且不会影响接收信噪比(SNR),因此,在实际中得到了广泛的应用。

PAM4 发射芯片基于硅互补金属氧化物半导体(CMOS)工艺实现,PAM4 信号的预补偿主要通过芯片上设计的预均衡电路完成。前馈均衡器(FFE)是最常见的线性信道预均衡器,可将多路不同时延的信号按照一定权重比例叠加,以调整各频段分量,从而减小频率衰落引起的 ISI。FFE 通常基于电流模式逻辑(CML)驱动器来实现,Frans 等<sup>[18]</sup>在 PAM4 发射芯片上实现了基于 CML 的 3 阶 FFE,并通过加大输出共模电压改善了输出电平的线性度,但该 FFE 架构的调整难度较大;且相应的非线性补偿方法需要额外的辅助电源,增大了芯片整体的功耗和复杂度。Kim 等<sup>[19]</sup>和 Toprak-Deniz 等<sup>[20]</sup>分别研究了可重构 CML FFE,其均衡器系数和阶数均可调整,但该方案的选择开关较多,且对时序的要求比较严格。Zheng 等<sup>[21]</sup>提出了一种基于小数间隔的 2 阶 CML FFE,可实现更精细的发射端信道衰落预均衡,但小数间隔时延易受工艺、电压、温度的影响。尽管电流模式易于实现高速 FFE,但该架构的功耗控制难度随发射速度的增大而增加。因此,近年来

人们开始将研究转向能量效率更高的电压模式发射端架构。文献[22-24]采用电压模式输出的 PAM4 发射端,如 Depaoli 等<sup>[22]</sup>利用选择开关实现 FFE 阶数和系数的切换,但该方案无法实现完整的系数可调。Pisati 等<sup>[23]</sup>采用数字乘法和加法电路实现了 5 阶 FFE,但该电路比较复杂。Roshan-Zamir 等<sup>[24]</sup>基于查找表(LUT)实现了 2 阶 FFE 的 PAM4 发射端,该方案可实时从 LUT 中选取对应的 FFE 数据,然后通过数模转换器(DAC)产生最终的模拟信号。该方案的可调性比较灵活,也能同时实现非线性预失真,但受限于 LUT 的读取速度,该方案的 FFE 阶数较少,且 DAC 精度较低。

综上所述,现有片上预补偿技术主要面向线性信道,针对片上复杂信道的非线性补偿研究较少。此外,现有架构的可重构性不强、均衡精度不高,无法针对实际系统的变化进行灵活精确的调整。针对上述问题,本文在文献[24]的基础上改进了 LUT 的读取方式,将 DAC 的分辨率提升至 7 bit,最终实现能同时进行线性均衡和非线性预失真的可重构 PAM4 发射端。在 55 nm CMOS 工艺下,基于流水线读取 LUT 和分辨率为 7 bit 的 DAC PAM4 发射端架构的速率可达到 40 Gbit/s。

## 2 PAM4 光互联模块和发射芯片架构

PAM4 光互联模块如图 1 所示,主要由 PAM4 收发芯片、调制器驱动、跨阻放大器(TIA)、光发射/接收次模组(TOSA/ROSA)组成。其中,TOSA/ROSA 主要负责光纤信号的输出/输入及电光/光电转换,调制器驱动和 TIA 用于信号放大。PAM4 电收发芯片包含两部分,发射端将主机(如路由器)传送的信息转换成 PAM4 信号输出给驱动;接收端则从 ROSA 和 TIA 接收信号中恢复数据。

实验提出了一种 40 Gbit/s PAM4 电收发芯片中的可重构发射端架构,如图 2 所示。其中,主机传送的数据用 32 路并行生成的 1.25 Gbit/s 伪随机序列(PRBS)进行模拟,这些随机比特经过 32:8 串行器被复用为 8 路 5 Gbit/s 数据,然后送至 8 组移位寄存器,获得 4 组 6 bit 地址信号 D0~D11。用这 4 组地址信号对一个 64 行 7 bit 的 LUT 均衡器进行寻

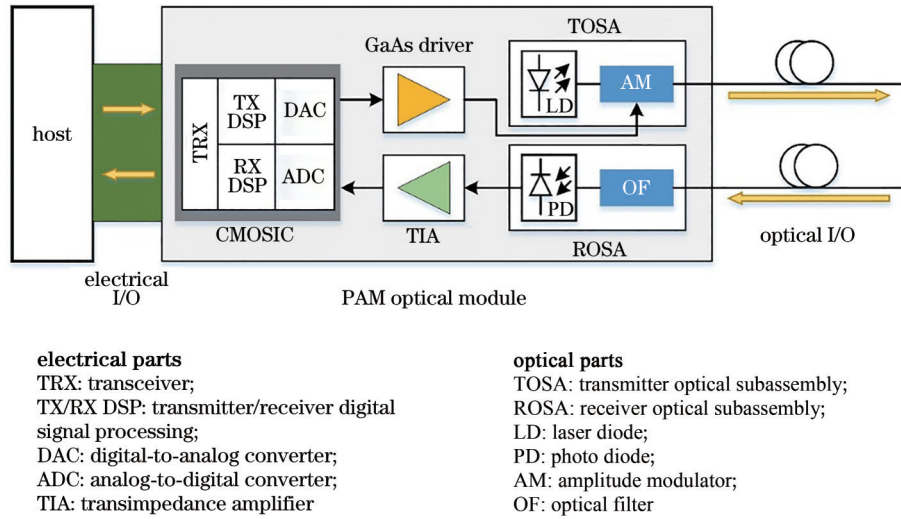


图 1 PAM4 光互联系统的框图

Fig. 1 Block diagram of the PAM4 optical interconnection system

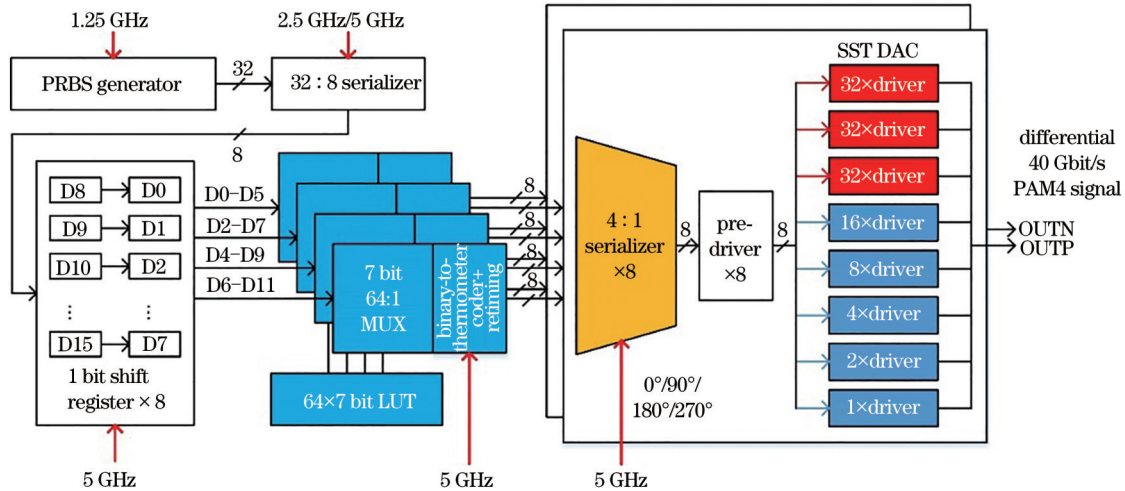


图 2 40 Gbit/s PAM4 发射 IC 的架构

Fig. 2 Architecture of 40 Gbit/s PAM4 transmitter IC

址,得到 4 组 7 bit LUT 数据,高速 LUT 数据寻址采用流水线 64:1 选择器(MUX)实现。LUT 数据经过二进制-温度计码转换和重采样后由一组 4:1 串行器合成为 8 路 20 Gbit/s 信号,送至源串联终端(SST DAC)中,最终输出 40 Gbit/s 的差分 PAM4 信号 OUTP、OUTN。实验中只关注发射端架构及其关键电路,对片上时钟与接收部分不进行展开。

### 3 PAM4 发射芯片中的关键电路

#### 3.1 LUT 和多项式均衡器

LUT 采用静态随机存取存储器(SRAM)实现,可灵活改写数据,因此,LUT 均衡器可实现重构以适应不同的光纤信道。为了补偿光互联系统中的非线性失真,LUT 均衡器采用多项式预失真技

术<sup>[25]</sup>。LUT 数据由三个前后连续的 PAM4 符号  $S_{-1}$ 、 $S_0$ 、 $S_1$  生成,分别为前阶、主阶、后阶符号,其携带的比特信息分别为  $[d_5d_4]$ 、 $[d_3d_2]$ 、 $[d_1d_0]$ ,在 LUT 中地址为  $[d_5d_4d_3d_2d_1d_0]$  的多项式均衡器数据  $E_{out}$  可表示为<sup>[25]</sup>

$$E_{out} = \sum_{i=-1,0,1} a_i S_i + \sum_{k \in K} \sum_{j \in J} \sum_{i \in I} b_{ijk} S_i |S_j|^k, \quad (1)$$

式中,  $a_i$ 、 $b_{ijk}$  分别为各阶线性和非线性多项式均衡器的系数,  $K$ 、 $J$ 、 $I$  分别为多项式均衡器中的参数集合。当光纤信道发生变化时,可通过调整系数并利用(1)式重新生成  $E_{out}$ , 然后将其转换成 7 bit 数据下载至 LUT 中。

#### 3.2 LUT 的高速读取

尽管 LUT 均衡器的可重构性较强,但传统



LUT 读取方式的速度较慢,无法应用于高速信号处理。因此,利用流水线 MUX 实现 5 GHz 时钟的读取速度,其原理如图 3(a)所示。将 LUT 中每列 64 bit 数据连接至一个 64:1 MUX 的数据输入端,地址信号  $[d_5d_4d_3d_2d_1d_0]$  连接至 MUX 的选择信号输入端,将所有 MUX 的输出结合在一起就能得到 LUT 的寻址数据。为提升 MUX 的吞吐量,将 64:1 MUX 设置为 3 级流水线方式。考虑到各级流水线的时延平衡和电路可重用性,3 级流水线分别设置

为 64:16、16:4、4:1 MUX 结构,  $B_0 \sim B_5$  为 MUX 的地址信号,如图 3(b)所示。其中,4:1 MUX 作为重用模块,  $D_0 \sim D_3$  为 4 路数据信号,电路结构如图 3(c)所示。地址信号  $[d_5d_4d_3d_2d_1d_0]$  被分为 3 组,分别通过一个 2-4 译码器产生重用模块 4:1 MUX 中传输门的选择控制信号  $S_{0N} \sim S_{3N}$ 、 $S_{0P} \sim S_{3P}$ 。由于第 1 级 64:16 模块中包含了 16 个 4:1 MUX,选择信号的扇出时延太大,因此在第 1 级流水线中加入了驱动模块。

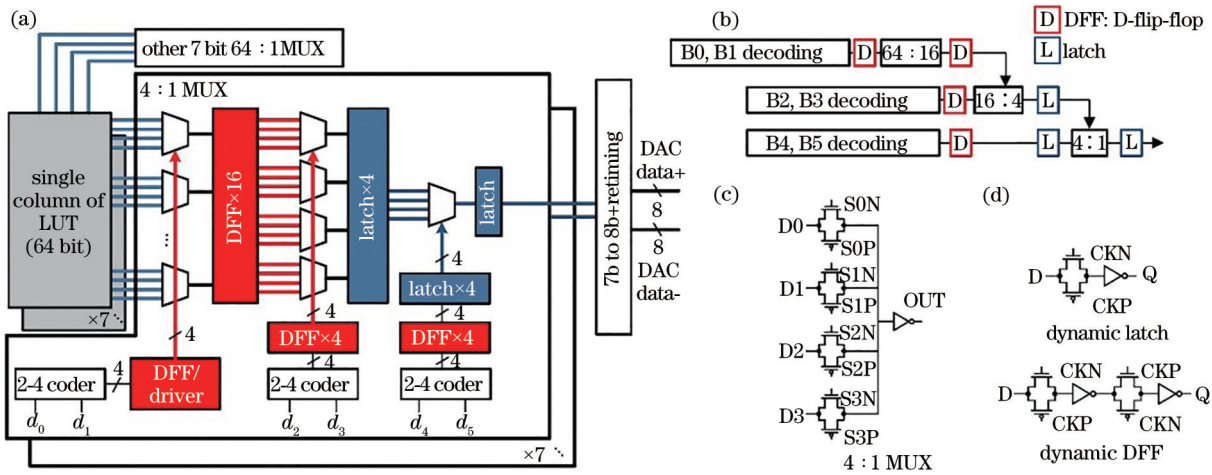


图 3 流水线结构的 64:1 MUX。(a)完整电路;(b)3级流水线结构;(c)4:1 MUX;(d)动态锁存器和动态 DFF  
Fig. 3 Architecture of pipelined 64:1 MUX. (a) Overview circuit; (b) 3 stage pipeline structure; (c) 4:1 MUX ; (d) dynamic latch and dynamic DFF

为进一步提升流水线 64:1 MUX 的综合性能,采用速度更快、功耗和面积更小的动态触发器 (DFF) 和动态锁存器作为信号暂存电路,如图 3(d)所示。其中,  $D$  为输入数据,  $CKP$ 、 $CKN$  为时钟信号,  $Q$  为输出结果。动态 DFF 和锁存器两者的时序约束有一定差别, DFF 之间组合逻辑电路的时延  $T_{comb, DFF}$  需满足

$$T_{comb, DFF} \leq T_c - (T_{clk-Q, DFF} + T_{setup, DFF}), \quad (2)$$

式中,  $T_c$  为时钟周期,  $T_{clk-Q, DFF}$  和  $T_{setup, DFF}$  分别为 DFF 的时钟到输出的时延和建立时间。由于锁存器能够向后借时间, 两级锁存器之间的电路时延  $T_{comb, latch}$  需满足

$$T_{comb, latch} \leq T_c - [\max(T_{clk-Q, latch}, T_{D-Q, latch} + T_{borrow, last}) + T_{setup, latch}], \quad (3)$$

式中,  $T_{clk-Q, latch}$ 、 $T_{D-Q, latch}$  和  $T_{setup, latch}$  分别为锁存器的时钟到输出时延、数据到输出的时延和建立时间,  $T_{borrow, last}$  为上一级锁存器借走的时间,  $T_{borrow, last}$  和向下一级借的时间  $T_{borrow, next}$  需同时满足

$$T_{borrow, last} \leq T_c / 2, \quad (4)$$

$$T_{borrow, next} = [\max(T_{clk-Q, latch}, T_{D-Q, latch} + T_{borrow, last}) + T_{setup, latch}] + T_{comb, latch} - T_c / 2 \leq T_c / 2. \quad (5)$$

对各部分电路模块中的时延进行仿真, 后仿结果如表 1 所示。结合表 1 和时序约束公式可推断出第 1 级流水线 64:16 MUX 模块必须采用动态 DFF, 而第 2、3 级流水线可以采用动态锁存器。LUT 其他列的数据读取与上述方法一致, 实验中 LUT 为

表 1 64:1 MUX 中流水线模块时延的后仿结果

Table 1 Post simulation results of the delay of each level of pipeline module in 64:1 MUX unit: ps

Circuit block	Delay $t$
Clock duty $T_c$	200
2-4 coder	68
Driver fanout (pipeline 1)	77
64:16 MUX (pipeline 1)	81
16:4 MUX (pipeline 2)	78
4:1 MUX (pipeline 3)	67
Dynamic DFF and latch's $T_{setup}$	25
Dynamic DFF and latch's $T_{clk-Q}$	43
Dynamic latch's $T_{D-Q}$	37

64 行、7 列, 读取一次 LUT 需要 7 个 5 Gbit/s 64:1 MUX, 读取 4 路数据共需要 28 个 64:1 MUX。为了满足后续 DAC 及其预驱动电路的需要, 读取的 7 bit LUT 数据需要经过 7~8 bit 温度计编码, 然后再经过重采样得到 8 bit 互补 DAC 数据。

### 3.3 4:1 串行器及预驱动电路

为实现采样率为 20 GSa/s 的 DAC, LUT 读取的 4 路 5 Gbit/s 8 bit 数据需要经过 4:1 串行器合成为 20 Gbit/s 8 bit DAC 编码。为实现高速 4:1 串行器, 借鉴了文献[24]的串行器架构, 如图 4(a) 所示。利用宽度为 50 ps 的 1 单位间隔 (1 UI) 脉冲  $p_0 \sim p_3$  和  $p_0' \sim p_3'$  分别对 5 Gbit/s 数据  $DI_0 \sim DI_3$  及其反信号进行采样, 然后驱动 4 个反相器, 使 4 路数据交替出现在反相器的输出端。用 dummy NMOS (N-metal-oxide-semiconductor) 补偿输出反相器两路数据脉冲之间的时延差, 即  $p_0' \sim p_3'$  比  $p_0 \sim p_3$  多一个反相器时延。信号合成原理如图 4(b) 所示, 为了使 1 UI 脉冲采样时的余量更大, 将后 2 路数据  $DI_2, DI_3$  相对于前 2 路数据  $DI_1, DI_0$  延时半个周期。1 UI 脉冲由 2 路相位相差  $90^\circ$  的 5 GHz 时钟相与得到, 如图 4(c) 所示。CK1~CK4

为不同相位的 5 GHz 时钟信号, CK2 比 CK1 滞后  $90^\circ$ , CK3 比 CK1 滞后  $180^\circ$ , CK4 比 CK1 超前  $90^\circ$ , 当 CK1 分别连接  $0^\circ/90^\circ/180^\circ/270^\circ$  相位时钟时, 能得到所有 1 UI 脉冲信号  $p_0 \sim p_3$  和  $p_0' \sim p_3'$ 。为了提升电路速度, 采用图 4(d) 中的伪与门实现信号相与, 相比传统的与门, 伪与门的中间结点电容更小。利用 1 UI 脉冲对数据进行采样时, 高速脉冲输入至伪与门的 A 端, 数据输入至 B 端, 由于数据相对脉冲的持续时间较长, 可看成“直流”, 伪与门此时可看成“反相器”, 其电路响应速度相对于传统与门有显著提高。预驱动电路连接 4:1 串行器和 SST DAC, 主要功能为驱动后续 SST DAC。传统的预驱动电路主要通过反相器级联组成, 各级反相器的驱动能力按一定比例逐级增大。考虑到功耗和面积, 将预驱动电路级数设计为 3 级, 仿真发现, 在 55 nm CMOS 工艺下, 20 Gbit/s 信号经过 3 级反相器仍会出现严重的 ISI。因此, 在驱动电路两端并联反馈电阻进行均衡。直观来说, 添加电阻相当于从输入到输出多了一条通道, 当两路信号会聚时, 类似于 FFE, 从而产生一定的高频增益, 降低 ISI。

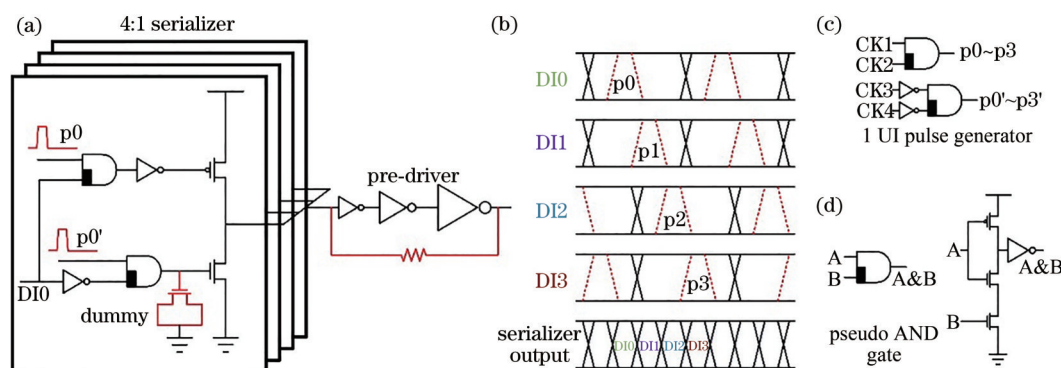


图 4 4:1 串行器及预驱动。(a) 电路结构; (b) 串行器信号的合成原理; (c) 1 UI 脉冲生成器的电路; (d) 伪与门结构  
Fig. 4 4:1 serializer and pre-driver. (a) Circuit structure; (b) synthesis principle of the serializer signal; (c) circuit of 1 UI pulse generator; (d) structure of the pseudo AND gate

### 3.4 SST DAC

DAC 的作用是将 LUT 均衡器输出的数字信号转换为模拟信号并发送至芯片外部的传输线, 输出阻抗必须等于  $50 \Omega$ 。高速 DAC 的类型较多, 其中, SST DAC 具有功耗低、效率高和输出摆幅大的优点[22-24]。因此, 用 SST DAC 作为发射端的输出电路, 设计的 DAC 结构如图 5 所示, DAC 中每个电路单元均采用反相器输出串联电阻的方式, 分辨率为 7 bit、采样率为 20 GSa/s。由于最高位需要的 MOS 管尺寸过大, 难以驱动, 因此, 采用 2 bit 温度计码和

5 bit 二进制码的形式, 2 bit 温度计码为最高位的  $[bn_5, bn_6, bn_7]$  及其反相输入  $[bp_5, bp_6, bp_7]$ , 5 bit 二进制码则为低 5 位  $[bn_0 \sim bn_4]$  及  $[bp_0 \sim bp_4]$ 。其中,  $bn_0/bp_0$  对应的反相器 MOS 管尺寸和电阻阻值  $R_i$  为基础单元标准,  $bn_1/bp_1$  对应的 MOS 管宽度为基础单元尺寸的 2 倍, 电阻为  $R_i/2$ ,  $bn_2/bp_2$  分别为 4 倍 MOS 管尺寸和  $R_i/4$ , 以此类推, 可得到所有二进制码的 MOS 管尺寸和电阻阻值。而温度计码比特对应的 MOS 管尺寸均为基础单元尺寸的 32 倍, 电阻为  $R_i/32$ 。

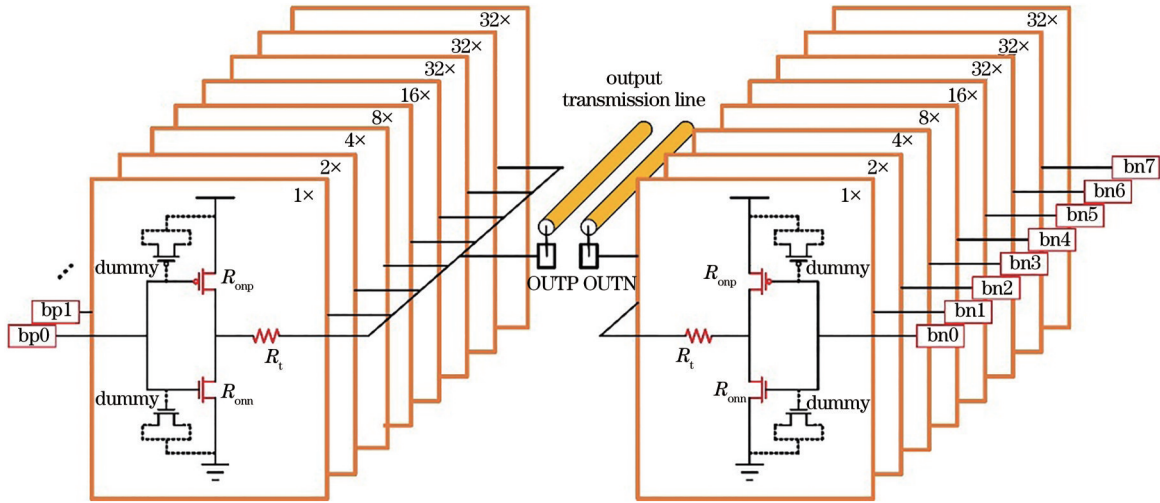


图 5 DAC 的结构

Fig. 5 Structure of the DAC

7 bit 的 SST DAC 可看成由 127 个基础单元并联组成, 而 DAC 的输出阻抗必须为  $50 \Omega$ , 基础单元的输出阻抗必须为  $6350 \Omega$ , 即图 5 中 MOS 管的内阻  $R_{on} = R_{omp} = R_{onn}$  与串联的电阻  $R_t$  之和为  $6350 \Omega$ 。MOS 管工作在深三极管区的电阻可表示为

$$R_{on} = \frac{L}{\mu C_{ox} W (V_{gs} - V_{th})}, V_{ds} \ll 2(V_{gs} - V_{th}), \quad (6)$$

式中,  $V_{ds}$  为漏源电压,  $V_{gs}$  为栅源电压,  $V_{th}$  为 MOS 管的阈值电压,  $\mu$  为 MOS 管载流子迁移率,  $C_{ox}$  为单位面积的氧化层电容值,  $W$  和  $L$  分别为 MOS 管的栅极宽度和长度。DAC 的输出电压会发生变化, 导致 MOS 管并不总是处于深三极管区,  $R_{on}$  的阻值会发生变化, 从而影响 DAC 的线性度。因此, 设置更大的  $R_t$  能减少  $R_{on}$  变化对 DAC 线性度的影响。但  $R_t$  越大,  $R_{on}$  越小, MOS 管的尺寸也越大, 寄生电容就越大, 进而导致 DAC 的速度变慢, 面积和功耗也会随之增加。综合考虑后, 将  $R_t$  设置为  $5000 \Omega$  左右, 此时, DAC 的线性度较好且采样率可达到  $20 \text{ GSa/s}$ 。

## 4 仿真结果

在  $55 \text{ nm}$  CMOS 工艺下完成的流水线  $64:1$  MUX、 $4:1$  串行器、预驱动及 SST DAC 模块版图如图 6(a) 所示, 整体模块的尺寸为  $269 \mu\text{m} \times 192 \mu\text{m}$ 。仿真得到单端  $40 \text{ Gbit/s}$  PAM4 的眼图如图 6(b) 所示, 此时, LUT 中无任何均衡器配置。可以发现, 设计的电路模块能产生比较清晰的 PAM4 眼图, 眼图中的 3 个眼高分别为  $195 \text{ mV}$ 、 $200 \text{ mV}$ 、 $198 \text{ mV}$ , 该眼图的电平失配率 (RLM) 为  $98.6\%$ 。其中, RLM 可表示为

$$X_{\text{RLM}} = \frac{\min(A, B, C)}{(A + B + C)/3}, \quad (7)$$

式中,  $A$ 、 $B$ 、 $C$  分别为 PAM4 眼图中 3 个眼高的电压值。测量得到该眼图的抖动小于  $0.1 \text{ UI}$ , 其余抖动主要是由  $4:1$  串行器中 4 路合成电路寄生参数不同导致的。

预驱动电路中反馈电阻与输出 DAC 编码眼图的关系如图 6(c) 所示, 可以发现, 反馈电阻的最佳取值为  $5500 \Omega$  左右, 预驱动电路的输出眼图抖动最小, 仅为  $0.2 \text{ ps}$ , 此时, 预驱动电路的性能最佳。为了测试可重构 LUT 均衡器的性能, 将 LUT 分别配置为 2 阶、3 阶 FFE 及多项式非线性均衡器 (NL) 模式, 仿真输出结果如图 7 所示。其中, 2 阶 FFE 均衡配置为前阶 + 主阶, 对应系数为  $[-0.125, 1]$ , 该均衡模式下输出的眼图如图 7(a) 所示。可以发现, PAM4 眼图中共 16 个输出电平。3 阶 FFE 的配置为前阶 + 主阶 + 后阶, 对应的系数为  $[-0.125, 1, -0.0625]$ , 输出眼图如图 7(b) 所示。可以发现, 此时 DAC 需要输出更多更密集的电平, 且会受到 DAC 分辨率的限制。由于 FFE 是线性均衡, 图 7(a) 和图 7(b) 的眼高均匀, 其线性度与图 6(b) 中的线性度一致。图 7(c) 为基于三次多项式非线性均衡器的输出眼图, 相比图 6(b), 非线性均衡器输出眼图的眼高不均匀, 从而能够对抗信道中的非线性失真。在非线性均衡的基础上, 加入 3 阶 FFE 均衡, 其线性和非线性均衡的输出眼图如图 7(d) 所示。可以发现, 图 7(d) 的眼图在图 7(c) 中的非线性基础上增加了模拟电平的数量, 这表明该均衡器同时实现了线性均衡和非线性均衡。即设计的发射



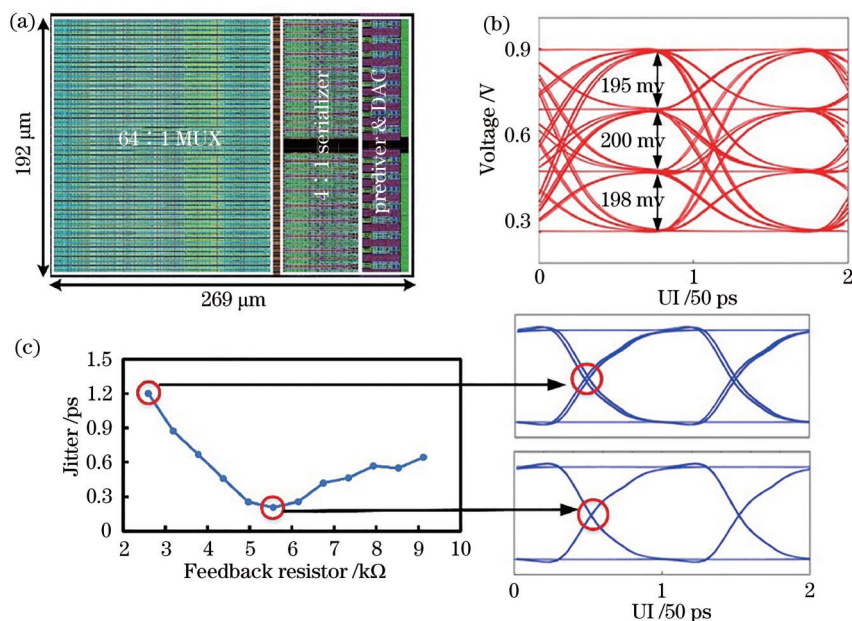


图6 版图与仿真结果。(a)电路模块的版图;(b)无均衡状态下输出的眼图;(c)反馈电阻与输出眼图抖动的关系  
Fig. 6 Layout and simulation. (a) Layout of circuits block; (b) output eye diagram with no equalization; (c) relationship between eye diagram jitter and feedback resistor

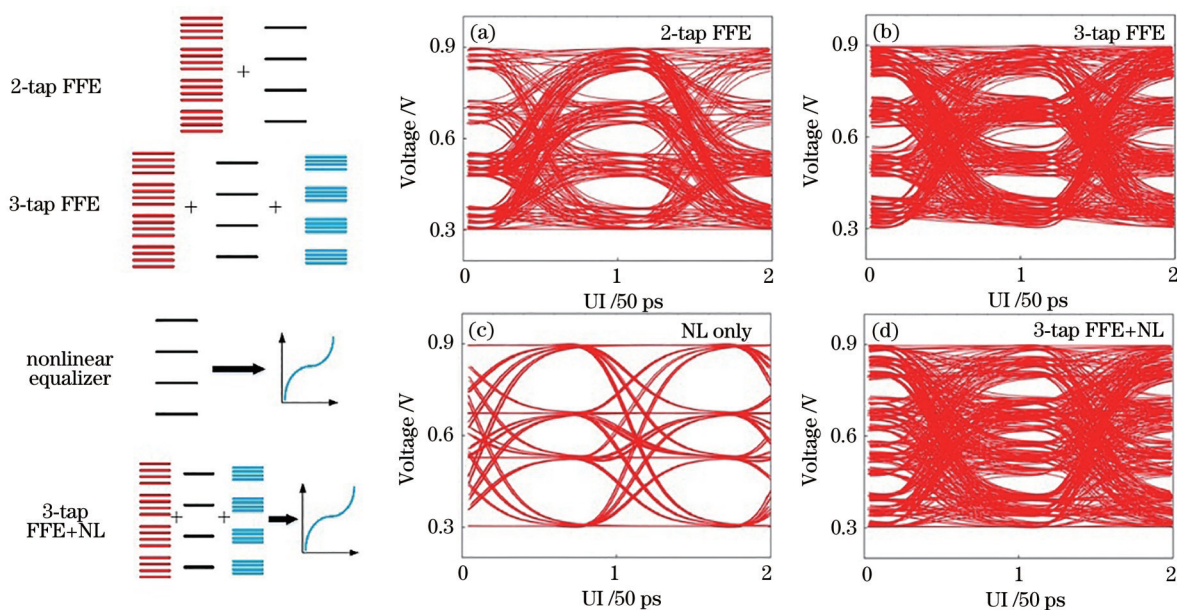


图7 LUT中不同均衡模式的输出眼图。(a)2阶FFE;(b)3阶FFE;(c)无FFE的非线性均衡器;(d)3阶FFE的非线性均衡器  
Fig. 7 Output eye diagrams with different LUT equalization mode. (a) 2-tap FFE; (b) 3-tap FFE; (c) nonlinear equalization without FFE; (d) nonlinear equalization with 3-tap FFE

端能根据信道变化更新均衡配置,同时对信道进行线性和非线性均衡。

## 5 结 论

针对高速光互联信道中的线性/非线性失真,设计了基于 55 nm CMOS 工艺的 40 Gbit/s 可重构 PAM4 芯片发射架构和关键电路。该发射芯片采用

LUT 均衡器和 7 bit SST DAC 实现高速信号的 3 阶线性/非线性均衡。为了提升 LUT 的读取速度,设计了 3 级流水线结构的 64:1 MUX,流水线中用动态锁存器减小面积和功耗。同时,在预驱动电路中加入电阻反馈机制,以对片上高速信号进行均衡,从而有效降低片上传输的 ISI。仿真结果表明,该发射芯片产生的 40 Gbit/s PAM4 信号眼图的线性度

良好,RLM为98.6%,码间干扰小于0.1 UI;且该发射架构可灵活调整LUT均衡器的配置,从而补偿信道中的线性和非线性失真,具有一定的应用价值。

### 参 考 文 献

- [1] Krishnamoorthy A V, Thacker H D, Torudbakken O, et al. From chip to cloud: optical interconnects in engineered systems[J]. *Journal of Lightwave Technology*, 2017, 35(15): 3103-3115.
- [2] Chagnon M. Optical communications for short reach [J]. *Journal of Lightwave Technology*, 2019, 37(8): 1779-1797.
- [3] El-Fiky E, Samani A, Patel D, et al. 400 Gb/s O-band silicon photonic transmitter for intra-datacenter optical interconnects[J]. *Optics Express*, 2019, 27(7): 10258-10268.
- [4] Zhong K P, Zhou X, Huo J H, et al. Digital signal processing for short-reach optical communications: a review of current technologies and future trends[J]. *Journal of Lightwave Technology*, 2018, 36(2): 377-400.
- [5] Mardoyan H, Mestre M A, Estarán J M, et al. 84-, 100-, and 107-GBd PAM-4 intensity-modulation direct-detection transceiver for datacenter interconnects [J]. *Journal of Lightwave Technology*, 2017, 35(6): 1253-1259.
- [6] Eiselt N, Muench D, Dochhan A, et al. Performance comparison of 112-Gb/s DMT, Nyquist PAM4, and partial-response PAM4 for future 5G ethernet-based fronthaul architecture[J]. *Journal of Lightwave Technology*, 2018, 36(10): 1807-1814.
- [7] Sun Y, Lingle R, Shubochkin R, et al. SWDM PAM4 transmission over next generation wide-band multimode optical fiber[J]. *Journal of Lightwave Technology*, 2017, 35(4): 690-697.
- [8] Tanaka S, Simoyama T, Aoki T, et al. Ultralow-power (1.59 mW/Gbps), 56-Gbps PAM4 operation of Si photonic transmitter integrating segmented PIN Mach-Zehnder modulator and 28-nm CMOS driver [J]. *Journal of Lightwave Technology*, 2018, 36(5): 1275-1280.
- [9] Zhou H H, Li Y, Dong T, et al. Improved polar decoding for optical PAM transmission via non-identical Gaussian distribution based LLR estimation [J]. *Optics Express*, 2020, 28(26): 38456-38464.
- [10] Sun Y, Lingle R, Chang F, et al. SWDM PAM4 transmission from 850 to 1066 nm over NG-WBMMF using 100G PAM4 IC chipset with real-time DSP[J]. *Journal of Lightwave Technology*, 2017, 35(15): 3149-3158.
- [11] Yadav G S, Chuang C Y, Feng K M, et al. Reducing computation complexity by using elastic net regularization based pruned Volterra equalization in a 80 Gbps PAM-4 signal for inter-data center interconnects[J]. *Optics Express*, 2020, 28(26): 38539-38552.
- [12] Ruan X K, Yang F, Zhang L, et al. High-speed PAM4 transmission with a GeSi electro-absorption modulator and dual-path neural-network-based equalization[J]. *Optics Letters*, 2020, 45(19): 5344-5347.
- [13] Wan Z Q, Li J Q, Shu L, et al. Nonlinear equalization based on pruned artificial neural networks for 112-Gb/s SSB-PAM4 transmission over 80-km SSMF[J]. *Optics Express*, 2018, 26(8): 10631-10642.
- [14] Wan Z Q, Li J Q, Shu L, et al. 64-Gb/s SSB-PAM4 transmission over 120-km dispersion-uncompensated SSMF with blind nonlinear equalization, adaptive noise-whitening postfilter and MLSD[J]. *Journal of Lightwave Technology*, 2017, 35(23): 5193-5200.
- [15] Zheng X Q, Zhang C, Lü F X, et al. A 40-Gb/s quarter-rate SerDes transmitter and receiver chipset in 65-nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(11): 2963-2978.
- [16] Komatsu Y, Shinmyo A, Kato S, et al. A 0.25-27-Gb/s PAM4/NRZ transceiver with adaptive power CDR and jitter analysis[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(10): 2802-2811.
- [17] Upadhyaya P, Poon C F, Lim S W, et al. A fully adaptive 19-58-Gb/s PAM-4 and 9.5-29-Gb/s NRZ wireline transceiver with configurable ADC in 16-nm FinFET[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(1): 18-28.
- [18] Frans Y, Shin J, Zhou L, et al. A 56-Gb/s PAM4 wireline transceiver using a 32-way time-interleaved SAR ADC in 16-nm FinFET[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(4): 1101-1110.
- [19] Kim J, Balankutty A, Dokania R K, et al. A 112 Gb/s PAM-4 56 Gb/s NRZ reconfigurable transmitter with three-tap FFE in 10-nm FinFET[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(1): 29-42.
- [20] Toprak-Deniz Z, Proesel J E, Bulzacchelli J F, et al. A 128-Gb/s 1.3-pJ/b PAM-4 transmitter with reconfigurable 3-Tap FFE in 14-nm cmos[J]. *IEEE*



- Journal of Solid-State Circuits, 2020, 55(1): 19-26.
- [21] Zheng X Q, Ding H, Zhao F, et al. A 50-112-Gb/s PAM-4 transmitter with a fractional-spaced FFE in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2020, 55(7): 1864-1876.
- [22] Depaoli E, Zhang H Y, Mazzini M, et al. A 64 Gb/s low-power transceiver for short-reach PAM-4 electrical links in 28-nm FDSOI CMOS[J]. IEEE Journal of Solid-State Circuits, 2019, 54(1): 6-17.
- [23] Pisati M, de Bernardinis F, Pascale P, et al. A 243-mW 1.25-56-Gb/s continuous range PAM-4 42.5-dB IL ADC/DAC-based transceiver in 7-nm FinFET[J]. IEEE Journal of Solid-State Circuits, 2020, 55(1): 6-18.
- [24] Roshan-Zamir A, Elhadidy O, Yang H W, et al. A reconfigurable 16/32 Gb/s dual-mode NRZ/PAM4 SerDes in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2017, 52(9): 2430-2447.
- [25] Bao Y, Li Z H, Li J P, et al. Nonlinearity mitigation for high-speed optical OFDM transmitters using digital pre-distortion[J]. Optics Express, 2013, 21(6): 7354-7361.