

三维成像激光雷达高带宽数据采集与存储系统

吕卫, 王粟瑶*

天津大学电气自动化与信息工程学院, 天津 300072

摘要 设计了三维成像激光雷达高带宽数据采集与存储系统。为保证系统存储的实时性,通过 PCIE 3.0 (peripheral component interface express 3.0)将数据传输到计算机,将回波数据存储到固态硬盘(SSD)大容量盘阵中。针对系统中多片模数转换器(ADCs)采样数据不同步问题,提出了高速信号同步触发电路及现场可编程逻辑门阵列(FPGA)固有路径延迟校准算法。为了精确测量激光雷达内光路触发脉冲与系统时钟之间的延时量,设计了基于多级输入输出延迟(IODELAY)单元的时间数字计数器(TDC)算法,时间分辨率高达 52 ps。结果表明,系统最大存储带宽为 5.12 GByte/s,存储容量为 24 TByte,在数据采集和存储上表现出很强的实时性和同步性,有较高的实用价值。

关键词 遥感; 三维成像激光雷达; 回波信号; 高速数据采集; 数据存储

中图分类号 TP274.2

文献标识码 A

doi: 10.3788/LOP56.102801

High-Band width Data Acquisition and Storage System for Three-Dimensional Imaging Lidar

Lü Wei, Wang Suyao*

School of Electrical and Information Engineering, Tianjin University, Tianjin 300072, China

Abstract This paper presents the design of a high-bandwidth data acquisition and storage system for 3D imaging lidar. To ensure the real-time storage for the system, the data are transmitted to the computer via PCIE 3.0 (peripheral component interface express 3.0), and the echo data are stored in a solid-state drive (SSD) large-capacity disk array. A high-speed signal synchronization trigger circuit and the field-programmable gate array (FPGA) inherent path-delay calibration algorithm are proposed to address the problem that the sampling data of the multiple analog-digital converters (ADCs) in the system are not synchronized. To accurately measure the delay between the laser path trigger pulse and the system clock, a multi-level input-output delay (IODELAY) unit time digital counter (TDC) algorithm is designed with a time resolution of up to 52 ps. The results show that the system has been verified to have a maximum storage bandwidth and capacity of 5.12 GByte/s and 24 TByte, respectively. Further, the system exhibits a strong real-time and synchronization performance for data acquisition and storage and has a high practical applicability.

Key words remote sensing; three-dimensional imaging lidar; echo signal; high speed data acquisition; data storage

OCIS codes 280.3640; 200.4830; 120.0280; 040.1880

1 引言

三维成像激光雷达在地形测绘、城市建筑测量等高分辨率测量领域具有广泛的应用^[1-4]。高分辨率测绘领域的时空分辨率为分米量级^[2-3],采集系统需要比较高的采样率,市面上通用的激光雷达数据

采集卡采样速率为 250 MSa/s^[5-8],无法满足应用在地形测绘领域三维成像雷达的采集需求。此外,多波长三维成像激光雷达的采集与存储系统需要比较高的传输带宽才能够避免脉冲遗漏的现象。连续采集下的三维成像激光雷达会产生高达太字节(TByte)级的数据文件,传统激光雷达存储系统采

收稿日期: 2018-11-23; 修回日期: 2018-12-19; 录用日期: 2018-12-25

基金项目: 国家自然科学基金(61271069)、国家海洋实验室 2016 开放基金(QNLM2016OPR0411)

* E-mail: luwei@tju.edu.cn

用计算机扩展总线接口标准(PCI)、通用串行总线(USB)、千兆网连接计算机进行数据存储,或者使用现场可编程逻辑门阵列(FPGA)外接闪存(FLASH)存储方式^[9-12],无法满足三维成像雷达的高带宽数据与大容量存储要求。

目前大多数激光雷达采集与存储系统采用数字信号处理器(DSP)与FPGA结合的方式^[2-4],该方法可以根据需求灵活搭建处理系统,具有很强的适应性。但该架构的传输带宽一般在100 MByte/s以下^[3-8],无法满足多通道高带宽的应用场景。针对存储架构的瓶颈问题,本文设计了基于FPGA和通用计算机架构的激光雷达多通道高速数据采集与存储系统,利用通用计算机平台优势,有效提升存储带宽。针对数据传输带宽的瓶颈问题,采用FPGA采集数据通过第三代高速串行计算机扩展总线标准(PCIe 3.0)x8将数据传送给通用计算机平台,存储速率可达5.12 GByte/s,存储空间高达24 TByte,满足了高速多通道激光雷达数据同步采集与实时存储的需求。

2 系统组成

2.1 硬件系统框架

市场上的主流激光雷达采集系统主要采用FPGA、DSP和进阶精简指令集机器(ARM)结合架构,该架构的存储数据容量和采集带宽都比较小,无法满足高带宽的采集与存储需求^[6-8]。在此基础上设计了FPGA与通用计算机平台结合的架构,充分

发挥二者的优点,具有存储带宽高、容量大的优势。该系统主要包含高速模数转换器(ADC)采集电路、FPGA控制电路、第三代双倍速率同步动态随机存储器(DDR3)缓存电路、多通道高速同步电路、计算机模块(COM Express)电路、高速串行计算机扩展总线标准桥(PICE Switch)电路、固态存储电路等,系统硬件框图如图1所示。高速ADC完成模拟信号到数字信号的转换,将数据通过低电压差分信号(LVDS)接口传送给FPGA,FPGA将回拨数据处理后送到DDR3,DDR3缓存够一个颗粒度(64 MByte)触发一个中断,发起PCIE直接存储器存取(DMA),将数据传送给COM Express,将雷达回波数据存储到固态硬盘(SSD)盘阵中。采集电路使用型号为EV10AQ190A的超带宽ADC,配置为四通道1.25 GSa/s模式,使用4片高速ADC,支持16路同步高速采集。FPGA采用Xilinx 7系列Virtex7的XC7VX415T-2,输入输出端口最高速率1866 Mb/s,支持PCIE3.0 x8接口,满足高速数据存储硬件要求。COM Express模块具有24路PCIE通道,配置成3个x8通道,一路x8与FPGA连接作为数据存储的上行通道,另外两个x8分别连接两个PCIE Switch芯片,扩展PCIE通道与连接10个1 TByte的非易失性内存主机控制器(NVMe) SSD存储介质相连。雷达回波数据存储空间为4个与COM Express直接相连的1 TByte串行ATA接口规范(MSATA) SSD和2块10 TByte的NVMe盘阵,系统存储容量为24 TByte。

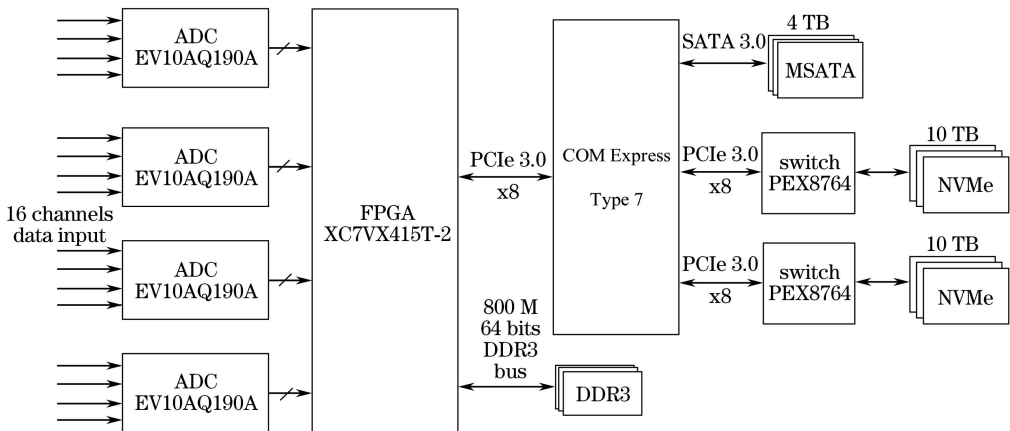


图1 激光雷达采集与存储系统硬件设计框图

Fig. 1 Block diagram of hardware design for lidar acquisition and storage system

2.2 FPGA整体逻辑架构

应用在大气、风速、海洋探测等的激光雷达采集系统,一般情况采集通道少,采样率在250 MSa/s

以下^[7-14],而应用在三维成像领域的激光雷达,其同步采集通道多、带宽高,因此FPGA的设计架构更加复杂。本系统FPGA逻辑设计有以下难点:

1) DDR3、PCIE 3.0 等高速接口协议复杂,速率快;
 2) 雷达回波数据带宽高、通道数多,缓存策略复杂;
 3) 内光路触发信号与系统时钟之间延时误差测量精度要求高。为了解决上述难点,设计的 FPGA 逻辑架构框图如图 2 所示,包含 N 通道 ADC 数据采集打包模块、 N 通道高带宽数据缓存调度模块、多级 IODELAY 的 TDC 模块、系统控制模块、PCIE 数据交互模块、系统控制模块等。当 FPGA 接收到

触发信号,多级 IODELAY 的 TDC 模块检测出内光路触发信号与系统时钟之间延时误差传送给系统控制模块。为了满足激光雷达存储带宽高的需求,DDR3 采用 1600×64 Mb/s 数据,有效读写效率为 85%,缓存带宽高达 5.44 GByte/s;PCIE 3.0 x8 除去协议开销,可以满足 5.12 GByte/s 的数据存储带宽,此逻辑架构可以应用于多通道高带宽大容量的激光雷达数据采集与存储系统,具有很强的兼容拓展性。

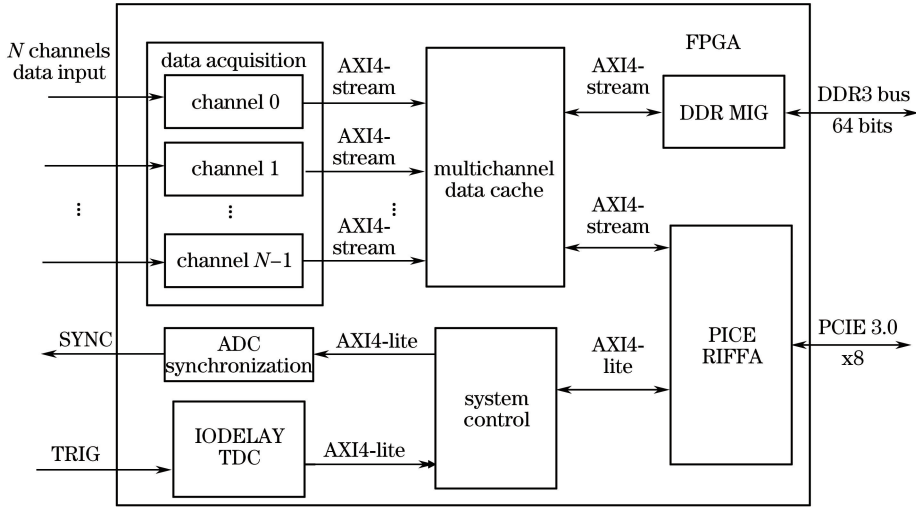


图 2 FPGA 逻辑设计框图

Fig. 2 Block diagram of FPGA logic design

3 关键问题分析

3.1 高精度数据采集

主流激光雷达数据采集卡采样速率为 250 MSa/s,但该采样速率无法获得较高的数据质量。设计采用低相位噪声时钟源的 ADC 采样电路,原理框图如图 3 所示。超带宽 ADC 型号为 EV10AQ190A,ADC 时钟源采用 AD9520,采样率可达 1.25 GSa/s。高精度数据采集的难点是保证采样时钟信号质量,衡量采样时钟质量的标准是采样时钟的相位抖动。采样时钟的相位抖动会造成时基采样点偏移,导致 ADC 采集数据的信噪比和有效位数显著降低,从而造成激光雷达数据采集的整体性能下降。ADC 采样时钟的抖动概率分布均值为 0,方差为 σ^2 (σ 为 ADC 采样时钟抖动时间),则系统信噪比 R_{SNR} 与 ADC 时钟抖动之间关系可表示为

$$R_{SNR} = 10 \lg \left[\frac{3 \times 2^{2n}}{2 + 3 (2^{2n} \omega \sigma)^2} \right], \quad (1)$$

式中: n 为 ADC 采样位数; ω 为 ADC 采样频率。系统采样频率为 1.25 GHz,转换位数为 10 bit,在本设

计中希望有效位数大于 6.8 bit,信噪比 R_{SNR} 与有效位数 R_{ENOB} 之间的关系为

$$R_{SNR} = 6.02 \times R_{ENOB} + 1.76. \quad (2)$$

在有效位数为 6.8 bit 的条件下,系统的信噪比大于 42.69 dB,从而得到时钟相位抖动小于 7.8 ps。采用低相位抖动的 AD9320 作为 ADC 2.5 GHz 时钟的时钟源,该时钟最大相位抖动数量级为几百飞秒,时钟质量远高于 7.8 ps 的时钟相位抖动要求。由此,AD9320 为超带宽 ADC 提供时钟的采样电路可以有效提高采集数据的质量。

3.2 多通道同步采集

用 FPGA 直接触发多片 ADC 作多通道数据采集,产生通道间采样不同步问题的主要原因有: 1) ADC 芯片启动时间不一致引起内部分频器工作时间不同,使得分频后 ADC 采样时钟可能有 180° 的相位偏差,数据采集也相差 180° ,此现象称为相位模糊;2) PCB 走线长度不同和通道间芯片内部传播路径延时不同,导致采集通道固有相位误差而产生采样不同步问题。设计的高速信号同步触发电路解决了相位模糊问题,FPGA 路径延时补偿方法解决了固有相位误差造成的采样不同步的问题。

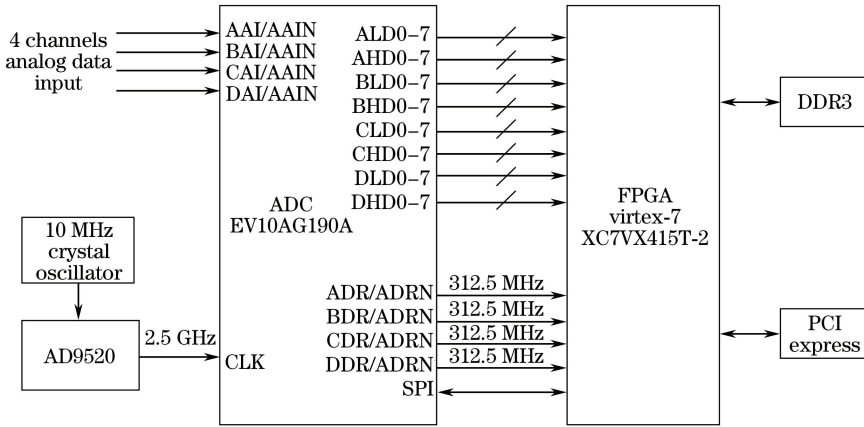


图 3 ADC 采集电路设计

Fig. 3 Design of ADC acquisition circuit

解决相位模糊的关键是把每个 ADC 芯片复位在固定的状态,在固定的间隙同时释放复位,实现多路 ADC 同步工作。这样就把问题就转化为:ADC 外部输入的同步(SYNC)信号要同时到达 ADC 各个芯片。因为 FPGA 输出信号的上升时间约为 4.5 ns,与 ADC 的 2.5 GHz 时钟相比,FPGA 产生触发信号速率较低,产生亚稳态。为解决同步信号 SYNC 上升时间问题,设计了多路 ADC 同步电路触发电路如图 4 所示,包含高速时钟分发电路和高速同步信号触发电路。高速时钟分发电路采用 SY89834 分发出 4 路 2.5 GHz 时钟分别给 4 片 ADC 作为时钟输入。选用 NB7V52 高速触发芯片,可以将 FPGA 输入的低速同步信号整形为高速同步信号,通过 SY89834 分发给 4 片 ADC 的同步 SYNC 输入,使多路 ADC 同步工作。在印刷电路板(PCB)设计上,分发给 4 路 ADC 同步信号作等长处理,尽可能减小 PCB 走线延时造成的相位误差。不同通道间器件的固有延迟差异和生产工艺造成的不同步问题,可以通过 FPGA 内部路径延时补偿来

解决。

在实际应用中,多通道同步数量存在上限,激光雷达采集板卡物理空间使采集通道受限,不能任意增加。此外,过多通道同步采集的硬件实现难度显著增加,多通道同步采集的设计难点在于各通道硬件一致性要求高。在通道数过多的情况下,器件之间差异性大,同步触发信号到达每个器件的时间不一致,会产生同步采集不一致的问题。因此,在实际项目中要结合应用场景、板卡物理空间、采集带宽等多种因素,共同决定激光雷达采集卡的同步采集通道数量。

3.3 高带宽多通道数据实时缓存

在高精度激光雷达数据采集存储系统中,多个通道同步向存储系统中传输数据,数据带宽高达 2.5 GByte/s,传统缓存策略无法满足缓存的实时性与高带宽,容易丢失采集信息。为了提升存储数据可靠性,设计了 3 级缓存空间,每个缓存空间均设置冗余,确保数据不会丢失。针对存储数据的实时性要求,提出了基于 FPGA 多通道数据实时缓存架构,可以在 3 个时钟周期完成优先级通道选择发起传输,显著提升了缓存系统的实时性。设计的数据有 3 级缓存空间,第 1 级缓存空间(L1 cache)为每路 ADC 数据通道读写先入先出存储器(FIFO)的 64 kByte 缓存,主要缓存并行出来的 16 路小包数据,保证在 DDR3 分时取数据时,能够缓存所有通道数据;第 2 级缓存空间(L2 cache)为 DDR3 的 4 GByte 缓存空间,DDR3 的高带宽性能保证了 L1 cache 传输的效率,也解决了 PCIE 传输有 100 ms 反应时间造成的实时性不足的问题;第 3 级缓存空间(L3 cache)为计算机 SSD 盘阵的大小为

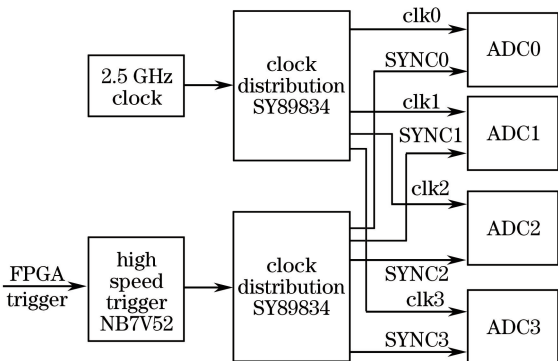


图 4 高速同步触发电路

Fig. 4 High speed synchronous trigger circuit

24 TByte,也就是激光雷达数据最终存储介质。3级缓存空间的容量都有冗余,保证了缓存系统的可靠性。

设计的FPGA多通道数据实时缓存算法框图如图5所示,主要由 N 通道缓存L1 cache模块、多通道优先级判决模块、通道选择模块、DDR3地址控制模块组成。所提算法的主要作用是实时判断出当前哪一路通道对DDR3进行读写操作。用每路写

通道($wr_axis\ 0\sim wr_axis\ N-1$)、读通道($rd_axis\ 0\sim rd_axis\ N-1$)对应L1 cache的数据状态(PR x)和该通道在L2 cache的存储状态共同决定该通道控制优先级,判决模块拿到 N 个通道的优先级状态,仅用3个时钟周期即可判断哪路通道(ch_sel)获得DDR3的控制权,写入L2 cache的控制命令(cmd_axis)、写数据(wr_axis)、读数据(rd_axis)完成数据的读写传输,随后进行下一轮通道的判决,循环往复。

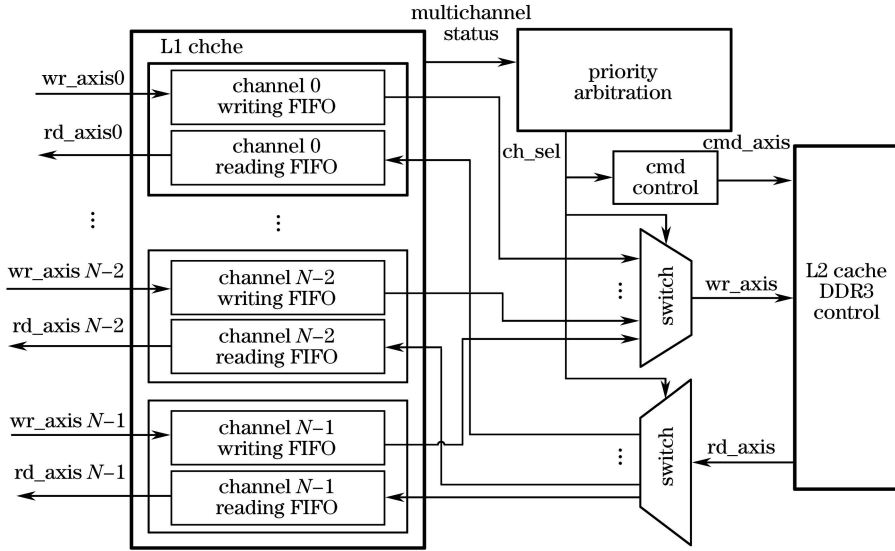


图5 多通道数据缓存

Fig. 5 Multichannel data cache

3.4 触发脉冲与系统时钟的延时量测量精度

在传统激光雷达采集系统中,系统测量精度要求不高,一般不计激光雷达中光电探测器触发脉冲与系统时钟无法对齐的延时误差,但这会造成测量精度偏差,最大误差为一个时钟周期^[15]。为了精确测量延时误差,设计了基于Xilinx 7系列FPGA中多级延时IODELAY单元TDC算法,可以将延时误差精确到52 ps,显著提高激光雷达的测试精度。图6为多级延时IODELAY单元TDC算法的结构。首先内光路触发脉冲输入缓冲(IBUF)单元,增强了触发(TRIG)信号的驱动能力,并行进入78级IODELAY延时单元,78路IODELAY单元竖直排列,延时量依次递增,所有通道IODELAY的输出进入(IDDR)单元,所有结果再输入到数字计数器控制(TDC_CTRL)单元,得出最后的延时量,使得TRIG信号与系统时钟的测量误差为TDC的最小控制精度(TAP),即52 ps。采样时钟周期为 R_{ADC_CLK} ,因为使用双边沿DDR进行采样,IODELAY单位数量计算方式为

$$R_{NUM} \times 52 \geq \frac{1}{2} \times R_{ADC_CLK}, \quad (3)$$

式中: R_{NUM} 为IODELAY单元需要数量。本系统 $R_{ADC_CLK} = 8\text{ ns}$, $R_{NUM} = 78$ 满足测量精度要求。

计算延时量 R_{DALAY_VALUE} 的例子如图7所示。 R_{DALAY_VALUE} 为触发信号(TRIG_IN)上升沿与系统时钟上升沿的时间间隔,当系统时钟在上升沿时FPGA没有采样到触发信号时,检测下一个TAP延时的信号,直到 R_{TAPN} 检测到触发信号, R_{TAPN+1} 没有检测到触发信号。此时TRIG_IN上升沿与系统时钟之间的时间间隔小于52 ps,也使得整个延时量测量精度小于52 ps, R_{DALAY_VALUE} 计算公式为

$$R_{DALAY_VALUE} = R_{TAPN} \times 52. \quad (4)$$

此外,在FPGA布局布线阶段采用手动布局,将IODELAY单元竖直依次放置,防止工具实现布局时将IODELAY模块任意放置,导致线延时量变大,通过FPGA工具(VIVADO)进行时序分析可以得到78路IODELAY时序约束报告,检验时间是否符合。本设计中激光雷达ADC数据采样间隔约为1 ns远超过TDC算法52 ps的精度,多级IODELAY的TDC算法满足三维成像激光雷达系统的高精度采集需求。

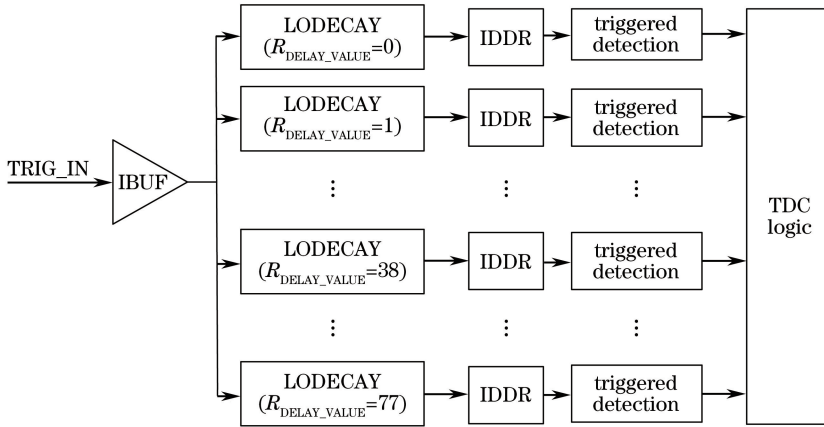


图 6 多级 IODELAY 的 TDC 算法

Fig. 6 TDC algorithm based on multilevel IODELAY

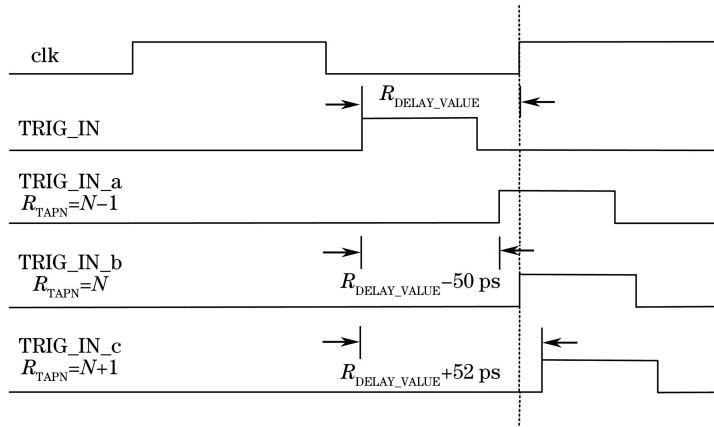


图 7 延时量比较示意图

Fig. 7 Schematic of delay time comparison

4 系统测试

为了充分测试本系统三维成像激光雷达采集的性能,测试系统组成如图 8 所示,由信号产生源、采集与存储系统、校验系统组成。信号产生部分由安捷伦信号源 E8267D 产生三维激光雷达输入信号,通过功分器产生 4 路同步采集信号,由安捷伦信号源 E4438C 产生 ADC 的 1.5 GHz 采样时钟。校验系统由 Windows7 上 Matlab 作为数据校验平台。测试原理:激光雷达采集设备采集信号源产生的 4 路同步信号,将采集数据打包存储到 SSD 盘阵中,通过分析比较各路采集文件来判断通道一致性和 ADC 采样的有效位数是否满足要求。因为测试系统的采集信号的通道有限,最高带宽采集实验无法达到 8 GByte/s 的采集带宽,测试方案如下:FPGA 产生 0~8 GByte/s 的带宽可变的递增数文件,利用递增数文件模拟 FPGA 采集的雷达数据,通过

PCIE 3.0 将其存储到计算机存储空间中,由 Matlab 对数据进行递增数校验,根据最高带宽的测试结果得到激光雷达采集与存储系统的最高带宽。

信号源 E8267D 产生的正弦脉冲如图 9 所示。分发 4 路相同脉冲给采集系统,采集部分的 FPGA 根据触发脉冲产生采集波门,对波门内数据存储。测试系统的信号源、触发脉冲要与系统的 100 MHz 参考时钟相互对比,才能对系统的通道一致性进行测试。在此测试环境下,与坤驰科技的 QT1130 激光雷达高速数据采集系统做对比实验。

4.1 ADC 有效位数测试

ADC 的有效位数是衡量 ADC 测量精度的重要指标。本测试用快速傅里叶变换(FFT)法^[16]来测量本系统和坤驰科技的 QT1130 激光雷达高速数据采集系统的有效位数。ADC 的有效位数 R_{ENOB} 计算公式为

$$R_{ENOB} = [R_{SINAD} - 1.76 - 20\log(V_{IN}/V_{FS})]/6.02, \tag{5}$$

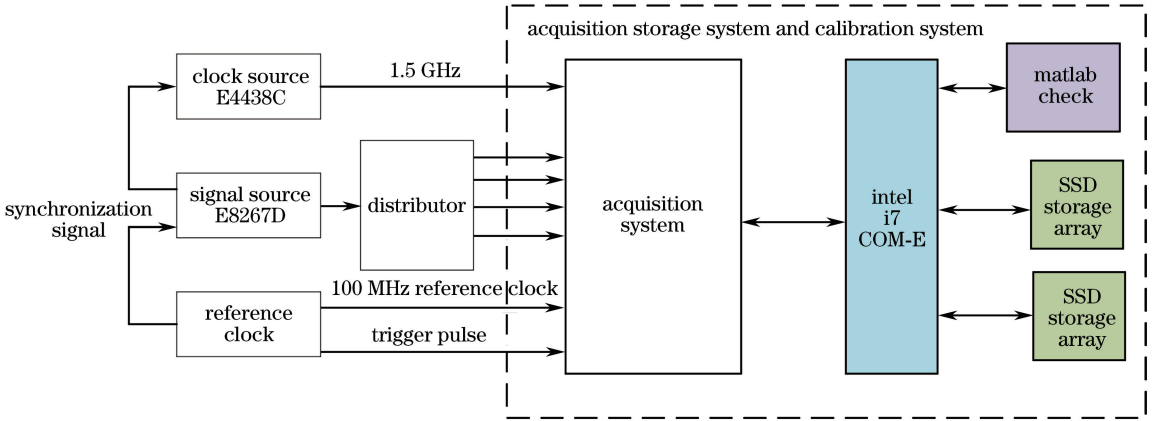


图 8 测试系统示意图

Fig. 8 Schematic of test system

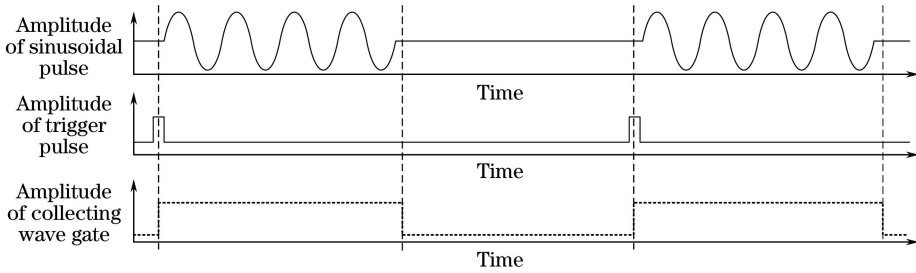


图 9 系统测试波形

Fig. 9 Test waveform of system

式中： R_{SINAD} 为信号与噪声加失真比； V_{IN} 为输入信号的幅度； V_{FS} 为 ADC 的满量程幅度值。从时域波形分析 ADC 采集数据中混杂的噪声大小和谐波分量是非常困难的，常用 FFT 方法将时域转为频域，将采集的波形作 FFT 变换得到的频谱图，分析其频域特征。对于 N 点有限长序列 $x[n]$ ，根据 Parseval 定理，时域能量与频域能量相等，即

$$\sum_{n=N} |x[n]|^2 = \frac{1}{N} \sum_{k=N} |X[k]|^2, \quad (6)$$

式中： $X[k]$ 为 $x[n]$ 的 N 点离散傅里叶变换 (DFT)； k 为频谱采样点序号，经 FFT 运算，结果为离散的频率分量，如图 10 所示。由 (6) 式可以计算出各个频率分量的能量，由 (5) 式即可进一步计算出 ADC 采样的有效位数。

在 ADC 采样率 1.5 GSa/s，采集范围为 5 dBm，采样信号频率范围 800 MHz 到 1.2 GHz，输出功率为 0 dBm，用上述方法测量得到的 ADC 有效位数 (ENOB) 结果如表 1 所示。从表中数据可以得出，在此采样率条件下，本系统的 ADC 的有效位数在 7.6 bit 以上，与基于 QT1130 的激光雷达记录仪采集有效位数 6.9 bit 相比有较大改善。

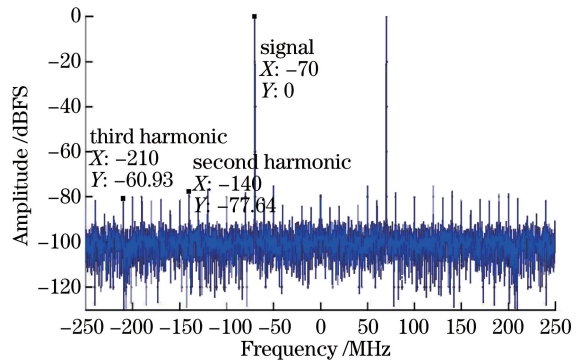


图 10 ADC 采样频谱

Fig. 10 ADC sampling spectrum

4.2 多通道采集一致性测试

目前市面上主流的激光雷达采集通道数量一般小于 4^[2-5]，在多通道同步采集的设计上，提出了硬件同步设计电路与 FPGA 内部固有延时校准的方法，可以保证高达 16 通道同步采集的一致性。在硬件和 FPGA 的设计上尽量保持各个通道同步采集，但是无法完全一致，必然存在一定的误差，通过测量各个通道数据之间的相位差比较出系统的采集一致性。

表 1 ADC 的 ENOB 测试结果
Table 1 Test results of ENOB of ADC

Parameter	Method 1						Method 2					
	Channel 1			Channel 2			Channel 1			Channel 2		
Signal frequency /MHz	800	1000	1200	800	1000	1200	800	1000	1200	800	1000	1200
ENOB /bit	7.808	7.767	7.739	7.856	7.782	7.672	7.082	7.069	6.915	6.999	6.867	6.832

在采样率为 1.5 GSa/s 条件下,对 4 通道同步采集并存储各个通道的数据。利用信号时域时间差对应频域的相位差原理,将采集的各个通道数据用 Matlab 软件计算出相位差,进而得到各个通道的时间差。时间差以第一通道数据为基准,多次测量取平均值得到如表 2 的测试结果。基于

QT1130 的同步采集卡,在 4 通道的同步采集测试中,通道之间的误差高达 5 ps,基于 FPGA 的固有延时校准的方法可以显著提升多通道采集的一致性,从表中测试数据可以看出本系统的各个通道之间的最大时延均值差约为 1 ps,通道一致性有了较大的提升。

表 2 通道一致性测试

Table 2 Test of channel conformance

Parameter	Proposed method									Method of QT1130								
Signal frequency / MHz	800			1000			1200			800			1000			1200		
Channel	2	3	4	2	3	4	2	3	4	2	3	4	2	3	4	2	3	4
Mean delay time /ps	0.52	0.51	0.54	-0.34	-0.37	-0.39	0.63	0.54	0.51	3.6	3.1	3.3	-1.3	-1.6	-1.0	1.0	1.4	1.2

4.3 高带宽采集存储速率测试

与应用在大气、风速等领域的激光雷达相比,三维成像激光雷达的多通道、高精度采集使得存储的数据量比较大。与使用 DSP 与 FPGA 相结合的采集存储架构相比,DSP 的存储接口带宽较小,通常传输带宽在 100 MByte/s 以下^[3-8],大多使用 USB、FLASH 存储数据。本系统采用 FPGA 与通用计算机平台结合的架构,可以充分发挥通用计算机平台通用性与 FPGA 的适应性,从而有更高的存储带宽与存储空间。由于存储在激光雷达采集与存储系统

的回波数据无法与原始数据比较,不能判断存储数据的正确性,因此最大传输带宽的验证无从谈起。本系统设计了如图 11 的测试方法:FPGA 产生的模拟激光雷达回波数据,通过 PCIE 3.0 x8 的数据通道将采集的数据传输到通用计算机平台,将数据存储到 SSD 阵列中。存储完成后用 Matlab 软件对比分析存储的数据与原始 FPGA 模拟数据的一致性,在一个传输速率下连续传输 1000 组测试验证数据,正确率均为 100% 的最高传输速率为本系统的最高传输速率。

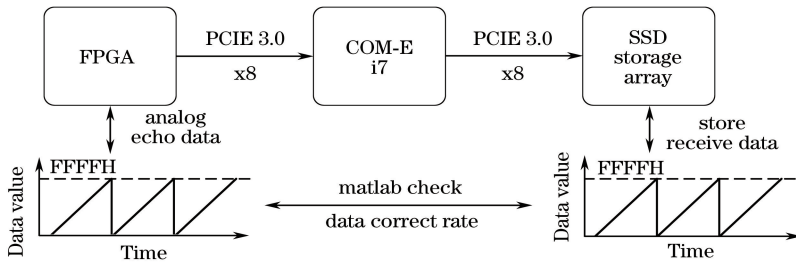


图 11 高带宽采集存储测试系统

Fig. 11 Test system of high bandwidth acquisition storage

FPGA 初始传输速率 1 GByte/s,连续发送 1000 组的 0000H 到 FFFFH 的测试递增数数据,随后以 10 MByte/s 传输速率递增,直至传输速率达到 8 GByte/s,此时速率达到 PCIE 3.0 x8 的理论最高速率。基于 QT1130 的激光雷达采集系统也是基于

FPGA 的控制,也使用相同方法进行测试。得到图 12 的高带宽传输速率测试结果。可以得出,本系统在数据正确率为 100% 时,最大带宽为 5.12 GByte/s。与 QT1130 采集卡的最高传输速率 3.4 GByte/s 相比,传输带宽有比较大的提升;与其

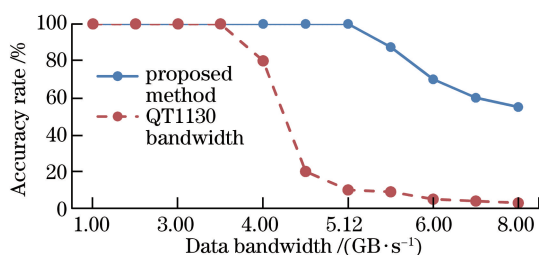


图 12 高带宽传输验证测试

Fig. 12 Test of high bandwidth transmission verification

他激光雷达使用 USB、百兆网等方式相比,采用 PCIE 3.0 传输方式的传输带宽有更高的传输速率。

5 结 论

经上述测试验证,所提系统可以满足三维成像激光雷达数据的采集和存储需求。设计的多片超带宽 ADC 同步电路、实时高带宽数据缓存算法、多级 IODELAY 的 TDC 算法在高速数据采集和存储项目中极具推广价值。随着三维成像激光雷达精度的提高,对采集和存储的系统要求会有较大的提升,所提高带宽采集与存储系统是一种新的设计思路。

参 考 文 献

- [1] Morales J, Plaza-Leiva V, Mandow A, *et al.* Analysis of 3D scan measurement distribution with application to a multi-beam lidar on a rotating platform[J]. *Sensors*, 2018, 18(2): 395.
- [2] Li M L, Zuo J Z, Zhu J G, *et al.* Research on dual-channel 3D imaging LiDAR technology[J]. *Science of Surveying and Mapping*, 2013, 38(3): 49-51.
李孟麟, 左建章, 朱精果, 等. 双通道三维成像激光雷达技术研究[J]. *测绘科学*, 2013, 38(3): 49-51.
- [3] Li D. Research on 3D imaging technology of airborne lidar[D]. Chengdu: University of Electronic Science and Technology of China, 2012.
李东. 机载激光雷达三维成像技术研究[D]. 成都: 电子科技大学, 2012.
- [4] Bai B. Mountain geographic information extraction technology based on laser radar and remote sensing data[J]. *Laser Journal*, 2017, 38(4): 150-154.
白彬. 激光雷达与遥感数据的山区地理信息处理技术[J]. *激光杂志*, 2017, 38(4): 150-154.
- [5] Lü Y K, Wu Y H. Development and key technologies of synthetic aperture lidar imaging[J]. *Laser & Optoelectronics Progress*, 2017, 54(10): 100004.
吕亚昆, 吴彦鸿. 合成孔径激光雷达成像发展及关键

技术[J]. *激光与光电子学进展*, 2017, 54(10): 100004.

- [6] Mei L. Atmospheric scheinpflug lidar technique and its progress[J]. *Laser & Optoelectronics Progress*, 2018, 55(9): 090004.
梅亮. 沙氏大气激光雷达技术及其研究进展[J]. *激光与光电子学进展*, 2018, 55(9): 090004.
- [7] Hu S X, Chen Y F, Liu Q W, *et al.* Differential absorption lidar system for background atmospheric SO₂ and NO₂ measurements[J]. *Chinese Journal of Lasers*, 2018, 45(9): 0911009.
胡顺星, 陈亚峰, 刘秋武, 等. 差分吸收激光雷达系统探测背景大气 SO₂ 和 NO₂ [J]. *中国激光*, 2018, 45(9): 0911009.
- [8] Kong W G, Chen S Y, Zhang Y C, *et al.* Threshold amendment and time-delay compensation of rotational Raman lidar for atmospheric temperature measurement[J]. *Laser & Optoelectronics Progress*, 2011, 48(2): 022801.
孔卫国, 陈思颖, 张寅超, 等. 基于转动拉曼测温激光雷达数据采集系统的阈值校正和延时补偿技术[J]. *激光与光电子学进展*, 2011, 48(2): 022801.
- [9] Zhang Z Y, Mao J D, Sun Y. Design of lidar data acquisition and remote monitoring system based on B/S architecture [J]. *Chinese Journal of Quantum Electronics*, 2016, 33(5): 590-597.
张志勇, 毛建东, 孙颖. B/S 架构激光雷达数据采集及远程监控系统设计[J]. *量子电子学报*, 2016, 33(5): 590-597.
- [10] Zhou Y L. Design and implementation of high speed data transmission and storage system based on FPGA [D]. Chengdu: University of Electronic Science and Technology of China, 2010.
周玉龙. 基于 FPGA 的高速数据传输及存储系统设计与实现[D]. 成都: 电子科技大学, 2010.
- [11] Liu J Z. Design of a dual channel high-speed wideband synchronous data acquisition system[C] // 2015 12th IEEE International Conference on Electronic Measurement & Instruments (ICEMI), 16-18 July 2015, Qingdao, China. New York: IEEE, 2015: 295-299.
- [12] Lyu Y C, Bai L, Huang X M. Real-time road segmentation using LiDAR data processing on an FPGA[C] // 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 27-30 May 2018, Florence, Italy. New York: IEEE, 2018: 1-5.
- [13] Biasizzo A, Novak F. Hardware accelerated compression of LIDAR data using FPGA devices[J].

Sensors, 2013, 13(5): 6405-6422.

[14] Luo Q. The design of acquisition and storage module of 5GSPS oscilloscope[D]. Chengdu: University of Electronic Science and Technology of China, 2016.

罗骞. 5GSPS 示波器采集存储模块设计[D]. 成都: 电子科技大学, 2016.

[15] Peng Z F, Wang Y Q. The TDC algorithm design based on fine delay cell of FPGA[J]. Optoelectronic Technology, 2015, 35(3): 165-169.

彭正枫, 王元庆. 基于 FPGA 精细延迟单元的 TDC 算法设计[J]. 光电子技术, 2015, 35(3): 165-169.

[16] Li H T, Li B K, Ruan L B, *et al.* Research on efficient bit testing for high speed and high-resolution ADC [J]. Application of Electronic Technology, 2013, 39(5): 41-43.

李海涛, 李斌康, 阮林波, 等. 高速高分辨率 ADC 有效位测试方法研究[J]. 电子技术应用, 2013, 39(5): 41-43.