

参数可配置全彩 LED 显示控制系统

李强¹, 刘振泽^{1*}, 曹慧², 李义³

¹吉林大学通信工程学院, 吉林 长春 130031;

²长春希达电子技术有限公司, 吉林 长春 130031;

³中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033

摘要 为了灵活配置 LED 显示大屏幕的关键参数以满足不同的显示需求,设计一种全新的现场可编程门阵列(FPGA)系统框架,基于二级缓存时分编码寻址原理,以最少的硬件资源实现 2048 pixel×32 pixel LED 像素点的点对点动态寻址,实现灵活动态设定 LED 走线方式。以 250 MHz 高频时钟作为基准时钟,采用灰度控制优先原则,在保证显示效果的前提下,完成 LED 控制信号生成。经过实验验证,采用本文设计的 FPGA 系统架构 LED 接收卡,能够成功驱动不同分辨率、不同扫描方式、不同 LED 走线方式的 LED 大屏幕,增强了 LED 显示控制系统的兼容性与灵活性。

关键词 成像系统; LED 大屏幕; 显示控制系统; 现场可编程门阵列; 参数可配置

中图分类号 TN27 文献标识码 A

doi: 10.3788/LOP55.101101

Parameter Configurable LED Display Control System

Li Qiang¹, Liu Zhenze^{1*}, Cao Hui², Li Yi³

¹College of Communication Engineering, Jilin University, Changchun, Jilin 130031, China;

²Changchun Cedar Electronics Technology Co., Ltd., Changchun, Jilin 130031, China;

³Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun, Jilin 130033, China

Abstract In order to configure the LED display control system dynamically and flexibly to satisfy different displaying requirements, we propose a new field-programmable gate array (FPGA) system structure, which achieves the 2048 pixel×32 pixel point to point addressing with minimal hardware resources based on the principle of two level caching and addressing code. Following the principle of gray controlling with high priority, we generate the control signal under the precondition of ensuring the display performance by taking 250 MHz high frequency as basic clock, associating with the synchronize control module. Experimental results verify that the display control system with the proposed FPGA frame could drive different resolutions, different scanning modes and different LED panels successfully. It improves the compatibility and flexibility of LED display control system.

Key words imaging systems; LED display panel; display control system; field-programmable gate array; parameter configurable

OCIS codes 110.4248; 090.2820

1 引言

平板显示技术主要包括液晶显示(LCD)、发光二极管(LED)显示及等离子显示(PDP)。三种平板显示中,LED具有响应速度快、亮度高、寿命长、发光效率高、节能等优势,广泛应用于媒体播放、信息

发布等领域。近年来,随着LED产业,以及板级芯片封装(COB)^[1-3]的发展和显示驱动技术的进步,制约LED显示屏的高密度、高清晰度、高可靠技术瓶颈逐渐被突破,LED在监控、医疗、院线、人机交互等新的市场应用相继被开辟。面向高端市场小间距LED显示屏已达到几百亿元的市场规模。

收稿日期: 2018-04-13; 修回日期: 2018-05-02; 录用日期: 2018-05-09

基金项目: 国家重点研发计划(2017YFB0404800)

* E-mail: liuhaozz@126.com

显示控制系统作为 LED 显示屏的核心部分,对 LED 显示屏的清晰度及显示灰度起关键作用,直接影响 LED 屏显示效果。随着 LED 大屏幕应用范围的逐渐扩大,屏幕分辨率、刷新率、LED 像素走线方式、扫描方式等关键参数趋于多样化。当显示屏的分辨率、刷新率、扫描方式、LED 像素走线方式等任一参数发生变化时,传统的控制系统便需要进行二次开发^[4-6],所以,为取得最佳显示效果,亟须设计一种参数可配置的 LED 控制系统^[7-10]。本文基于现场可编程门阵列(FPGA)硬件架构,利用二级缓存

分时编码原理,实现 LED 像素走线方式的动态配置,依据灰度优先原则,生成 LED 显示屏控制信号。基于此,成功实现了 LED 屏幕参数的可配置性,提高了显示屏控制的灵活性和显示控制系统的适用性。

2 LED 显示控制系统及屏幕结构

2.1 LED 显示控制系统

全彩视频播放 LED 显示屏,主要包括播放计算机、视频发送卡、LED 接收卡、LED 屏幕等部分,如图 1 所示。

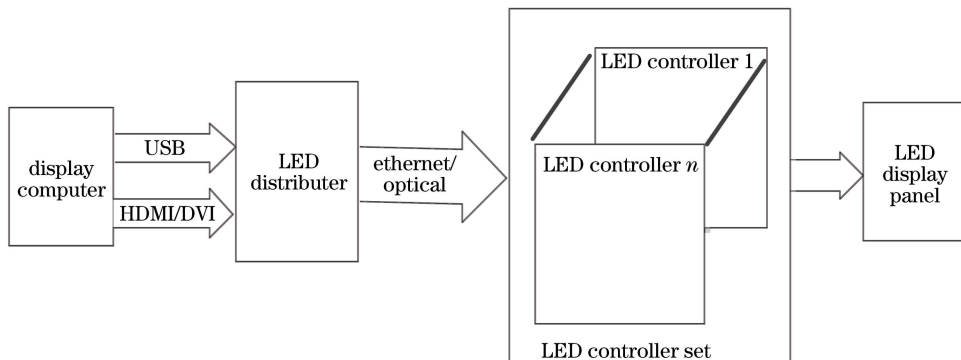


图 1 典型的 LED 显示控制系统

Fig. 1 Classical LED display control system

播放计算机作为视频源,通过高清晰度多媒体接口(HDMI)/数字视频接口(DVI)等视频传输协议,实时传输 24 bit(RGB)视频数据,同时通过 USB 总线发送相关控制指令及配置参数。视频发送卡对视频信号进行解码,从视频流中提取每一像素的 RGB 数据、行同步信号及场同步信号,再对视频数据及相关指令进行再编码,以适用于 LED 屏幕的长距离、大数据量实时视频传输,采用光纤或以网的形式发送给 LED 接收卡。LED 接收卡直接用于驱动 LED 屏幕,实现对 LED 屏幕分区的驱动显示,最

后拼接成整个 LED 大屏幕。

2.2 LED 屏幕结构

图 2(a)所示为一个典型的 LED 屏幕结构,LED 屏幕划分 $(m+1) \times n$ 个子区域(SA),根据 LED 接收卡显示驱动区域大小,一个 LED 接收卡可以同时驱动多个子区域(本设计支持 32 个子区域)。图 2(b)所示为子区域 LED 屏幕控制信号,每一个子区域由一组 RGB DataX[2:0]、控制信号 LED_Con[2:0](时钟、锁存、消隐)、行驱动信号 LED_Row[4:0](支持 2^5 ,最高 32 行扫描方式)进行驱动。

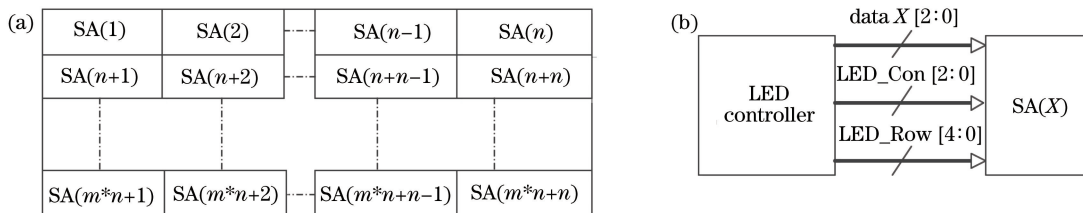


图 2 (a) 典型 LED 屏幕结构; (b) 子区域 LED 屏幕控制信号

Fig. 2 (a) Classical LED display panel structure; (b) sub area LED display panel controlling signal

每一个子区域由多个 LED 模组拼接而成。图 3 为 LED 模组结构简图,一个模组内部,恒流驱动芯片采用并联与串联的方式相互连接,因此,LED 走线主要受恒流驱动芯片之间的顺序与单

个芯片内恒流驱动通道之间顺序两方面的影响。恒流芯片通道间除了采用直驱方式外,还有两种比较常见的折线型驱动方式(N型、C型),如图 4 所示。

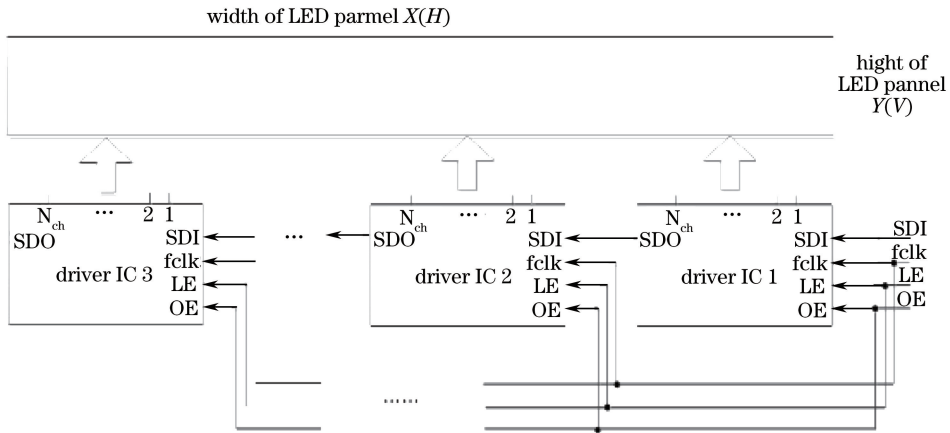


图 3 LED 模组结构图

Fig. 3 LED module structure

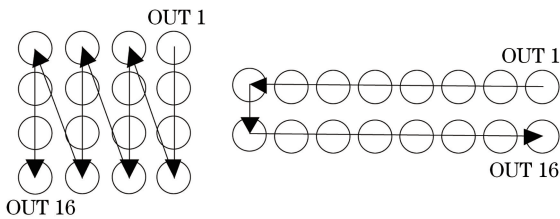


图 4 典型 LED 走线举例

Fig. 4 Classical LED sequence example

3 FPGA 系统框架

LED 接收卡 FPGA 系统框架图如图 5 所示。

接收卡系统中, 视频选择模块(VSS)截取本接收卡显示区域, 同时生成场同步(syn_signal)信号, 此时, 视频图像数据为 24 bit (8 bit R、8 bit G、

8 bit B)。同步动态随机存储器(SDRAM)控制模块为片外寄存器的主控模块, 用于判断和生成片外寄存器的读写指令。片外存储器地址生成模块, 根据相应的指令自动计算和输出片外存储器地址信号。从片外存储器中读取出来的视频图像仍为 24 bit, 经过 γ 变换与亮度校正处理后, 数据扩展为 48 bit (16 bit R、16 bit G、16 bit B)。根据脉冲宽度调制(PWM)显示灰度控制理论^[11], 此时的 48 bit 数据中任意 1 bit 均具有相应的权重, 权重表示显示单位时间片的倍数。经过权重选择器筛选出当前需要显示的权重位后, 缓存到片内寄存器(RAM)中。片内寄存器由 8 个数据宽度为 96 bit、深度为 512 的双口 RAM 组成, 4 个 RAM 为一组, 根据 LED 显示屏幕移存长度的不同自动计算 RAM 地址, 并且

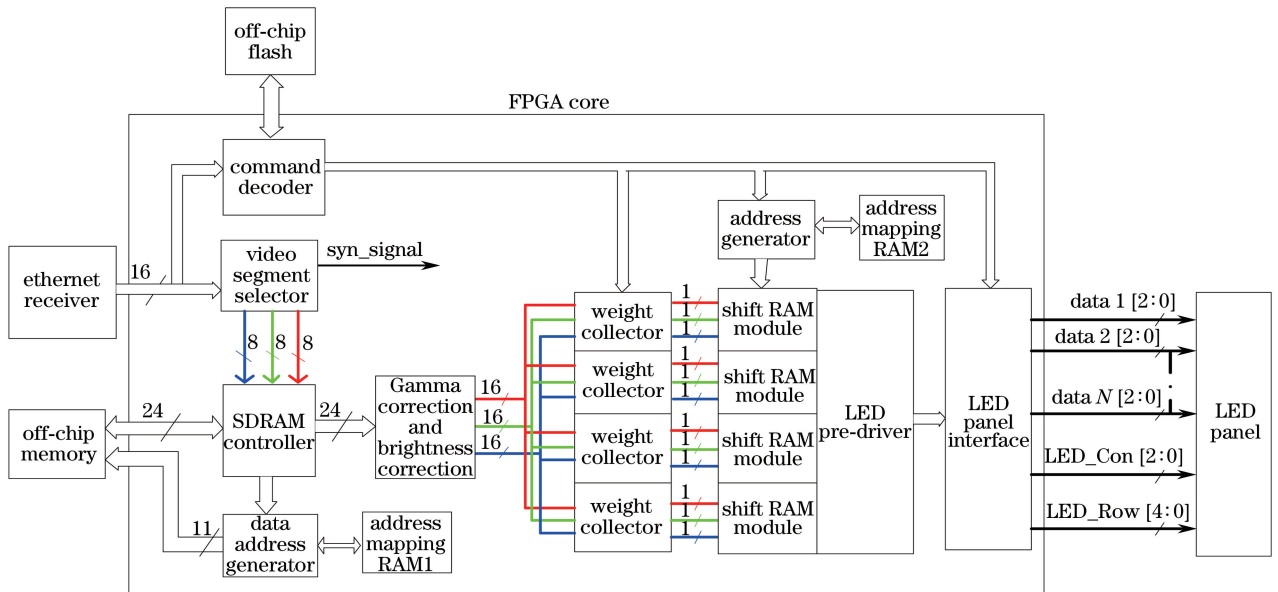


图 5 LED 接收卡系统框架

Fig. 5 Overview of LED controller system

自适应地对组内的 4 个 RAM 进行重排列,以实现一路 RGB,最大移存长度可达 2048 个像素点。当前需要显示的图像数据,通过 LED 屏幕驱动接口输出到 LED 屏幕,形成图像。

3.1 二级缓存时分编码

经过 VSS 解码的视频图像数据,在片外存储区中进行缓存,片外存储器地址生成模块(DAG)根据相应的 LED 走线与排布,对存储地址进行自动计算,完成对视频图像数据的二次排布。分两步实现:

1) 片外 SDRAM 对图像数据进行缓存,完成像素的初始排布。SDRAM 中的一个 Bank 分为 32 个 Page, Row_Addr[4:0], 每一 Page 分别存储 LED 模组中相应某一行的图像数据。根据接收卡控制总 SA 个数为 N , $N \in A = (1, 2, 3, \dots, 31, 32)$, 对每一个 Page 动态再分配为 M 个 Sub Page, Channel_Addr[4:0], $M = \text{Int}[(N-1)/8] \times 8$, Int 表示向上取整运算, 计算得到 Row_Addr[4:0], Channel_Addr[4:0] 以查找表(LUT)的方式, 在容量为 4 kb 的 RAM1 完成预处理地址映射 Row_Addr_Map[4:0], Channel_Addr_Map[4:0]。DAG 能够自动且精确计算出每一像素点所对应的 Page 与 Sub Page 地址, 一个 Page 与 Sub Page 区间内每一像素按原图像顺序排列存储, 片外缓存器 DAG 输出 19 bit 地址数据 SDRAM_Addr[18:0], SDRAM_Addr[18:14] = Row_Addr_Map[4:0] 为每一个 Page 的地址, SDRAM_Addr[(M/8-1):0] = Channel_Addr_Map[4:0] 为 Sub_Page 偏移地址。

2) 片外存储器读取经初步排列的视频图像数据, 缓

存到 FPGA 片内寄存器(IRAM), 通常 IRAM 中需要缓存接收卡控制区域内所有通道的一组移存数据。

在本系统框架中, 定义地址生成器(AG)模块, 用于生成缓存 IRAM 地址信号 IRAM_Addr[11:0], 模块 AG 自动计算与该像素点相对应的 LED 灯, 以及用于驱动的恒流芯片和其内部通道。此时, 恒流芯片所驱动的 16 个 LED 像素存储在 IRAM 中连续低 16 个地址, 即地址信号低 4 bit。地址信号高 8 bit, IRAM_Addr[11:4], 表示恒流驱动芯片地址。同样, 通过 LUT 方式, 在容量同为 4 kb 的地址映射 RAM2 分别实现恒流驱动芯片地址映射与恒流芯片内 16 路通道地址映射, 间接实现 LED 线序的动态可配置功能。

3.2 灰度优先原则控制信号生成

3.2.1 LED 显示屏幕灰度控制方法

LED 灯的恒流特性决定其通过 PWM 驱动方式实现 LED 显示屏图像、视频灰度与颜色的精确复现, 即在基准时间范围内精确控制每一个像素点中每一个基色 LED 灯的发光时间(导通时间)。目前, 二进制加权脉冲宽度调制(BPWM)^[12-13] 是一种广泛应用的 PWM 调节方式, 24 bit 像素数据等分为 3 个 8 bit 数据, 分别代表 RGB 三个基色的亮度值, 经过 γ 及亮度校正处理后, 最终每一个基色扩展为 16 bit 显示数据 Dis_data。Dis_data 中每一位都具有相应权重值, 表 1 以 8 bit 显示数据 Dis_data[7:0], 最高权重 16 为例, 说明显示数据中任意 1 bit 与权重的对应关系。

表 1 位数据与权重对应关系

Table 1 Relation between bit and weight

Bit	Dis_data[7]	Dis_data[6]	Dis_data[5]	Dis_data[4]	Dis_data[3]	Dis_data[2]	Dis_data[1]	Dis_data[0]
B_{weight}	16	8	4	2	1	1/2	1/4	1/8

给定显示数据位宽为 n , 最高位比特权重为 2^m , 则显示数据中每一比特位与权重 B_{weight} 的关系为

$$B_{\text{weight}}[x] = 2^{(m-n-x+1)}, x \in (0, n-1). \quad (1)$$

则每一像素点 LED 灯的点亮周期为

$$P = \sum_{x=0}^{n-1} 2^{(m-n-x+1)} \times T, \quad (2)$$

式中 T 为单位时间长度(单位时间片), 则 LED 灯点亮的持续时间为

$$T_{\text{DC}} =$$

$$\sum_{x=0}^{n-1} (\text{Dis_data}[x] \times B_{\text{weight}}[x]) \times T. \quad (3)$$

由(2)式可知, 如果显示数据 Dis_data 的位宽 n 与最高比特位权重 B_{weight} 确定, 则每一个像素点中 LED 灯的点亮最长周期 P 即可求出, 像素灰度的不同转换为占空比(T_{DC})的不同, 从而实现对 LED 点阵中 LED 灯亮度的 PWM 控制。

3.2.2 LED 显示屏控制信号

同一 FPGA 框架下, 为了使接收卡灵活控制不同像素数量、LED 模组不同走线方式, 以及不同扫描方式, 同时满足 LED 显示屏视觉刷新率和图像灰度需求, 需要精确设计 LED 屏幕列数据驱动控制信号(时钟、锁存、消隐)及行驱动信号。

系统硬件设计 25 MHz 作为 FPGA 的主时钟。

通过 FPGA 内部对时钟进行变频与锁相,输出 250 MHz 高频时钟,移存时钟与消隐控制都基于 250 MHz 高频时钟生成,调整步长最小为 4 ns。根据实际灰度需求,显示数据总时间片数为

$$T_w = \sum_{x=0}^{n-1} \text{Int}[2^{(m-n-x+1)}]。 \quad (4)$$

设视频刷新率为 T_F 、视觉刷新率倍数为 B ,则 LED 导通单位时间片为

$$T = 1/(T_F \times T_w \times B)。 \quad (5)$$

设扫描方式为 S_{type} ,则移存时间最大为

$$T_{\text{shift}} = T/S_{\text{type}}。 \quad (6)$$

在本系统中,设定最小权重为 1/512,最小权重所对应的最小输出使能(OE)基准时钟个数为

$$N_{\text{OE}} = \text{Rodn}[\text{Rodn}(T_{\text{shift}}/4)/512] \times 2^{(m-n-x+1)}, \quad (7)$$

式中 Rodn 表示向下取整,移存时钟基准时钟个数为

$$N_{\text{SC}} = \text{Rodn}(T_{\text{shift}}/4)/L_{\text{shift}}, \quad (8)$$

式中 L_{shift} 为移存长度,换行空闲基准时钟个数为

$$N_{\text{Idle_Row}} = \text{Rodn}(T_{\text{shift}}/4) - N_{\text{OE}} \times 512。 \quad (9)$$

由(4)~(9)式,根据不同的显示需求,分别计算出相关参数,即可生成相应的控制信号。

4 系统验证与功能实现

本文设计的 FPGA 系统架构基于 Xilinx XC6SLX16 芯片实现,该芯片具有 32 个 18 kb 片内 RAM 寄存器,最大时钟为 280 MHz。硬件电路如图 6 所示。

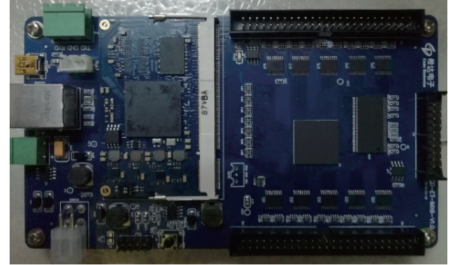


图 6 LED 接收卡硬件电路

Fig. 6 Hardware circuit of LED controller

验证显示屏幕主要参数如表 2 所示。由(4)~(9)式计算得出关键同步参数,如表 3 所示。

表 2 LED 显示屏幕关键参数

Table 2 Key parameters of LED display panel

LED display panel	Resolution	Visual frame /Hz	Visual frame rate	Scan type	Display data width	Weight of most significant bit	Shift length	LED sequence
LED panel 1	192×96	60	1	24	14	16	192	L
LED panel 2	384×256	60	1	16	1	16	768	C

表 3 同步信号相关参数

Table 3 Synchronous signal related parameters

LED display panel	Baseclock of one slice	Base clock of OE 1/512 weight	Idle timing	Number of time slice	Number of chip
LED panel 1	4320	8	224	40	12
LED panel 2	15794	30	434	16	40

通过 LED panel 1 验证控制信号生成,图 7(a)为相关控制信号(锁存信号、时钟信号、换行空闲时间),图 7(b)为移存时钟放大波形及最小权重(1/512权重)OE 脉宽。控制信号输出波形满足设计要求。图 7(c)为 LED panel 1 显示效果。

图 8 所示为 C 型折线恒流驱动芯片级联关系及芯片内 16 路恒流驱动通道之间的相对关系。

使用 Xilinx ISE 14.7 开发工具,内嵌逻辑分析仪,分别采集二级缓存时分编码方法中片外寄存器与片内寄存器地址波形图,如图 9(a)、(b)所示,LED panel 2 最终显示效果如图 9(c)所示。

5 结 论

设计了一套基于 FPGA 的系统架构,针对不同 LED 屏幕应用场合,通过播放计算机发送相应控制指令与参数,驱动不同 LED 走线方式与扫描方式的屏幕,以适应不同的显示需求,动态调整显示灰度数据位宽,从而达到最佳的显示效果。基于二次缓存分时编码原理,实现 LED 线序在线实时配置,仅仅使用 8 kb 的内部 RAM 资源,实现一路 RGB 最大 2048 pixel×32 pixel 点对点的映射寻址。基于灰度优先原则,生成 LED 屏幕控制信号,以降低显示效果为前提,灵活配置 LED 屏幕控制信号。采用该

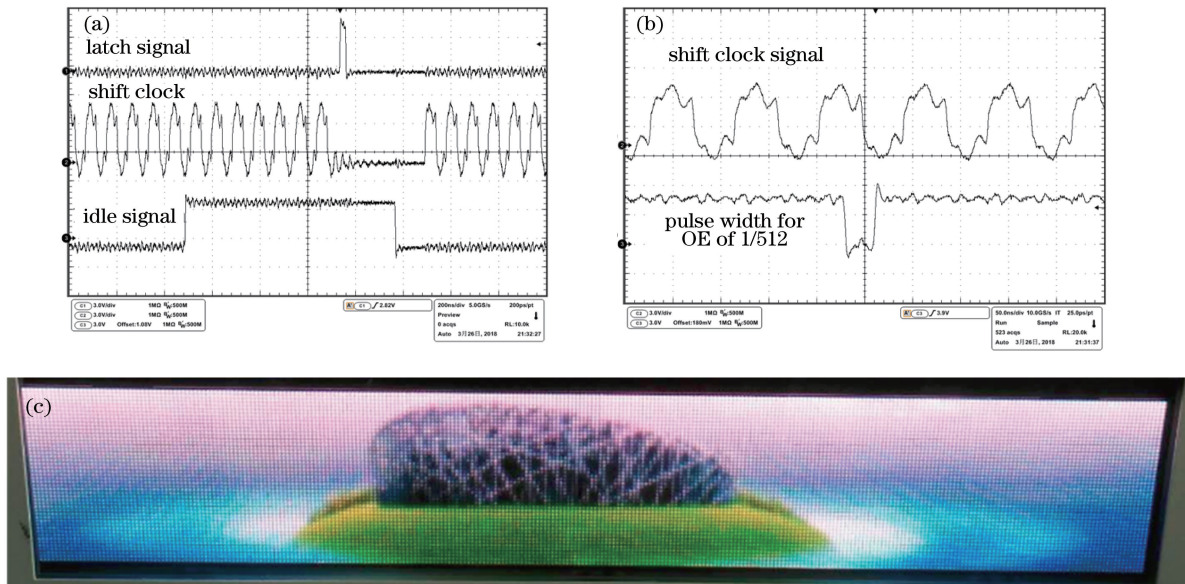


图 7 (a)相关控制信号;(b) 1/512 权重 OE 脉宽;(c) LED panel 1 显示效果图

Fig. 7 (a) Related control signal; (b) OE pulse width of 1/512 weight; (c) displaying performance of LED panel 1

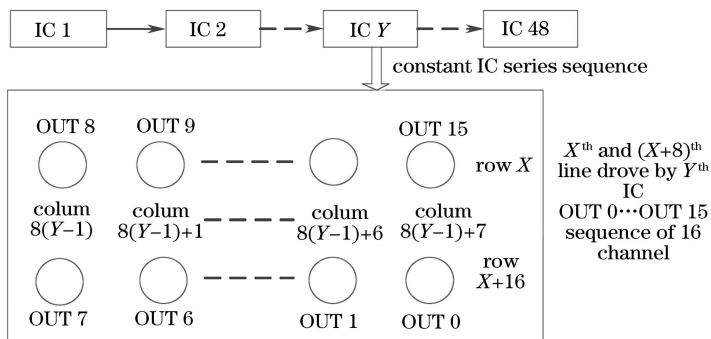


图 8 恒流芯片级联及芯片内通道驱动顺序

Fig. 8 Drive chip sequence and output channel sequence



图 9 (a)片外寄存器地址波形图;(b)片内寄存器地址波形图;(c) LED panel 2 显示效果

Fig. 9 (a) External memory addressing bode plot; (b) internal memory addressing bode plot;

(c) displaying performance of LED panel 2

FPGA 系统框架的 LED 扫描接收卡,在实际应用过程中具有很大的灵活性,大大提高了控制系统的兼容性。

参 考 文 献

- [1] Zhu X B, Cui H T, Qian L Y, *et al.* Study on night vision compatible backlight module of LED liquid crystal display [J]. *Laser & Optoelectronics Progress*, 2017, 54(9): 091203.
朱向冰, 崔海田, 钱立勇, 等. 夜视兼容的 LED 液晶显示器背光模组的研究[J]. *激光与光电子学进展*, 2017, 54(9): 091203.
- [2] Ma J S, Cheng B C, Cao W B, *et al.* Holographic display system of digital micro-mirror devices based on LED light source[J]. *Acta Optica Sinica*, 2016, 36(7): 0709001.
马建设, 程炳超, 曹文波, 等. 基于 LED 光源的数字微镜器件全息显示系统[J]. *光学学报*, 2016, 36(7): 0709001.
- [3] Li Z T, Wang H Y, Yu B H, *et al.* High-efficiency LED COB device combined diced V-shaped pattern and remote phosphor[J]. *Chinese Optics Letters*, 2017, 15(4): 042301.
- [4] Kurdthongmee W. Design and implementation of an FPGA-based multiple-colour LED display board[J]. *Microprocessors and Microsystems*, 2005, 29(7): 327-336.
- [5] Nguyen A H, Pickering M R, Lambert A. The FPGA implementation of a one-bit-per-pixel image registration algorithm [J]. *Journal of Real-Time Image Processing*, 2016, 11(4): 799-815.
- [6] Xia J X, Chen H Y. Design of LED screen controller based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(5): 838-843.
夏建雄, 陈海燕. 基于 FPGA 的 LED 屏控制器设计[J]. *液晶与显示*, 2015, 30(5): 838-843.
- [7] Lv X, Loo K H, Lai Y M, *et al.* Energy-saving driver design for full-color large-area LED display panel systems [J]. *IEEE Transactions on Industrial Electronics*, 2014, 61(9): 4665-4673.
- [8] Hyun J, Kang S J, Kim Y H. Configurable controller for high-resolution LED display systems [J]. *Journal of Display Technology*, 2016, 12(12): 1594-1601.
- [9] Tokimoto T, Suyama S, Yamamoto H. 4320 Hz LED display with pulse-width modulation by use of a nonlinear clock [J]. *Journal of Display Technology*, 2016, 12(12): 1581-1587.
- [10] Yan F, Wang R G, Deng Y C, *et al.* Segmented gray scale modulation of LED display and optimal scan clock access [J]. *Optics and Precision Engineering*, 2013, 21(12): 3248-3254.
严飞, 王瑞光, 邓意成, 等. 发光二极管显示屏分段灰度调制与优选扫描时钟获取[J]. *光学精密工程*, 2013, 21(12): 3248-3254.
- [11] Svilainis L. LED brightness control for video display application[J]. *Displays*, 2008, 29(5): 506-511.
- [12] Lun W K, Loo K H, Tan S C, *et al.* Bilevel current driving technique for LEDs [J]. *IEEE Transactions on Power Electronics*, 2009, 24(12): 2920-2932.
- [13] Ng S K, Loo K H, Ip S K, *et al.* Sequential variable bilevel driving approach suitable for use in high-color-precision LED display panels [J]. *IEEE Transactions on Industrial Electronics*, 2012, 59(12): 4637-4645.