

芯片级 LED 封装光源结构散热性能的数值模拟

刘超¹ 傅仁利¹ 顾席光¹ 周鸣² 田扬² 蔡君德¹

¹南京航空航天大学材料科学与技术学院, 江苏 南京 210016

²南京汉德森科技股份有限公司, 江苏 南京 211100

摘要 采用计算机数值模拟的方法研究了芯片级封装(CSP) LED的散热特性,并进行了实验验证。利用有限体积方法模拟计算了在直径为25 mm、厚度为1 mm的铝基板上采用芯片级封装方式封装LED模组的散热特性,模拟计算表明芯片的结温与封装芯片功率和芯片间距密切相关,要实现芯片工作温度低于120 °C的技术要求,芯片的间距和芯片功率都要考虑。封装芯片间距为3.5 mm时,只有单颗功率为0.5 W的芯片可以满足封装要求。而随着封装芯片间距增大,适用的芯片功率逐渐提高,当封装芯片间距为7.25 mm时,功率小于3 W的CSP芯片都适用于LED封装。输入功率一定时,模组的热阻随着封装密度的增加而减小,当封装密度为15.13%时,模组热阻可以降至2.26 K/W。芯片级封装的LED模组热阻低,是下一代LED封装发展方向。

关键词 光学器件; 散热; 数值模拟; LED; 芯片级封装; 封装密度

中图分类号 TN312+.8; TN383+.1 **文献标识码** A

doi: 10.3788/LOP53.122301

Structure of Chip Scale Package for LED Light Source and Its Thermal Performance Analysis Based on Numerical Simulation

Liu Chao¹ Fu Renli¹ Gu Xiguang¹ Zhou Ming² Tian Yang² Cai Junde¹

¹College of Materials Science and Technology, Nanjing University of Aeronautics and Astronautics, Nanjing, Jiangsu 210016, China

²Nanjing Handson Co., Ltd., Nanjing, Jiangsu 211100, China

Abstract In this paper, the thermal performance of chip scale packaged (CSP) LED was studied by numerical simulation and demonstrated by experiments. Heat dissipation characteristics of CSP LED modules which were packaged upon an aluminum substrate with a diameter of 25 mm and a thickness of 1 mm were computed by finite volume method, and the study showed that the chip junction temperature was closely related to chip power and distance between chips. To achieve technical requirement of junction temperature below 120 °C, the distance and chip power both need considering. When the distance was 3.5 mm, only the single chip power of 0.5 W could meet the requirement. As the distance increased, the chip power could rise gradually. When the distance was 7.25 mm, chips whose power was less than 3 W could be applicable to the packaging. While the total input power was certain, thermal resistance of module decreased with the increased of packing density. When the packing density was 15.13%, module thermal resistance dropped to 2.26 K/W. Chip scale package is development direction of the next generation of LED packaging because of the lower thermal resistance.

Key words optical devices; heat dissipation; numerical simulation; LED; chip scale package; packing density

OCIS codes 230.1150; 230.2090; 230.3670; 230.5170

收稿日期: 2016-08-02; **收到修改稿日期:** 2016-08-16; **网络出版日期:** 2016-11-30

基金项目: 江苏高校优势学科建设工程、江苏省普通高校研究生科研创新计划(SJLX15_0127)、中央高校基本科研业务费专项

作者简介: 刘超(1992—),男,硕士研究生,主要从事大功率LED封装热仿真计算模拟方面的研究。

E-mail: lc0352@163.com

导师简介: 傅仁利(1965—),男,博士,教授,主要从事微电子封装基板与封装技术,白光LED荧光发光材料及LED灯封装技术,功率电子器件封装基板及封装工艺方面的研究。E-mail: renlifu@nuaa.edu.cn(通信联系人)

1 引言

半导体发光二极管(LED)的出现,特别是蓝光 LED 芯片的出现,为固态照明的实现奠定了物质基础^[1]。1997年,日本日亚化学在蓝光 LED 芯片基础上,结合黄色荧光粉首次推出第一支商用白光 LED^[2]。随后,白光 LED 作为一种新型的全固态照明光源,其芯片功率和发光效率逐年提高。2013年4月,荷兰飞利浦电子公司发布了一款光效达 200 lm/W 的白光 LED 照明产品,其光效远高于荧光灯的 100 lm/W 和白炽灯的 15 lm/W,而能耗仅相当于市场上同类 LED 产品能耗的 50%^[3]。然而,随着 LED 芯片功率的不断加大,LED 工作时产生的热量及其热量的散失问题也日益突出,LED 芯片工作时累积的热量使得 LED 芯片 PN 结的温度不断升高,从而导致 LED 的使用寿命降低、显色指数下降等严重问题^[4-5]。因此 LED 光源的封装结构及其散热问题成为影响 LED 灯光效和光衰的重要影响因素。

LED 的封装方式、材料和使用环境共同影响着 LED 灯的使用效果,材料对 LED 的散热作用有限,而使用环境难以改变,因此,通过改变封装方式提高 LED 散热性能是一种相对容易实现的途径。LED 芯片的封装方式经历了插针式(DIP)、贴片式(SMD)和板上芯片式(COB)等封装形式^[6],目前正在向芯片级封装方式(CSP)发展。CSP 最早是用于半导体芯片的封装形式,其定义是封装体的面积不大于裸芯片的 120%^[7]。CSP 作为一种先进的封装方式已经在电子封装行业得到广泛应用,近年来随着 LED 倒装芯片(FC)的快速发展,芯片级尺寸封装的 LED 芯片也得到半导体照明行业的广泛关注并得到实际应用^[8-9]。尽管在 LED 芯片封装行业对于 CSP 封装的定义还存在不同的解释和看法,例如“免封装”、CSP、无基板的近芯片级封装(NCSP)以及电路板上的晶圆级集成芯片(WICOP)都被认为是 LED 的 CSP 封装形式^[10]。此类 LED 封装可以将部分封装工序提前到芯片工艺阶段完成,后续可以直接将倒装芯片封焊到封装基板线路的焊盘上,无金线、无支架,简化生产流程,降低生产成本,封装尺寸可以做得更小,并且同样的封装尺寸可以提供更大的功率^[10]。因此,LED 芯片的 CSP 封装结构及其封装方式不仅得到 LED 芯片生产厂家的广泛响应,而且也得到应用厂家的高度关注。2015年7月,三星公司发布了 LM131A LED 封装芯片,采用了 CSP 技术,之后又发布了多款 CSP LED 产品^[11]。同年8月,飞利浦公司推出 WHITE 系列 CSP 产品,采用五面出光方式^[12]。同年9月,韩国首尔半导体公司发布 WICOP2 系列产品,采用 CSP 技术,具有体积小、功率高等特点^[13]。

与 COB 封装方式相比,采用 CSP 芯片的 LED 封装结构上两点重要改变。第一,COB 封装方式是采用正装 LED 芯片进行封装,用固晶胶将 LED 芯片固定于封装基板上,并利用打线技术实现电路连接。CSP 封装方式则采用倒装 LED 芯片进行封装,使用回流焊连接芯片底部电极与封装基板焊盘,同时实现固晶和电路连接;第二,采用 COB 封装方式的 LED 芯片需要通过点胶处理将荧光粉覆盖于芯片上方,从而实现白光出射。CSP 封装方式则使用荧光粉旋涂技术,将荧光粉的涂覆提前到芯片制造工艺阶段完成,厚度较薄,最薄可以达到 30 μm ^[14]。关于 COB 封装方式散热的研究已很充分,而采用 CSP 芯片的 LED 封装是近年来发展起来的一种全新的封装结构和封装方式,其热学性能和散热效果尚未得到充分研究。

计算机数值模拟技术可以将热场分析贯穿于整个封装结构设计过程中,是一种重要的集成电路热设计模拟和分析工具^[15]。Christensen 等^[16]利用有限元法研究了单颗朗伯型 LED 和单颗陶瓷基板 COB 封装 LED 组成的大功率 LED 模组在不同散热条件下的散热性能,研究表明当单颗 LED 功率超过 5 W、10 cm \times 10 cm 封装数量大于 25 颗时需要提供强迫冷却装置才可以将结温控制在 130 $^{\circ}\text{C}$ 以下;Hwu 等^[17]通过有限元法研究了 LED 封装结构中中介层材料和厚度对大功率 LED 的散热影响,结果表明具有高热系数和适当厚度的绝缘层可以有效降低封装结构的热阻并可以有效降低 LED 芯片的结温。本文采用计算机数值模拟方法对基于 CSP 芯片的 LED 封装结构建立了基于热传导和对流的数值模型,并分析了其等效热阻网络。着重分析了芯片封装密度对 CSP 封装结构散热性能的影响,给出了不同封装密度条件下芯片温度和温场的数值模拟结果。同时,采用 CSP 芯片进行了封装和芯片结温的测试并与数值模拟进行了比较。

2 CSP 芯片的封装结构及数学建模

2.1 CSP 芯片及封装结构

CSP 芯片及其封装结构如图 1 所示,多颗 CSP 模组如图 2 所示。选择在相同封装面积($\phi 25 \text{ mm}$, ϕ 表

示直径)的基板上封装不同数量的 LED 芯片, CSP 芯片通过回流焊焊接在基板上的焊盘处, 芯片以正方形矩阵形式排列, 并保持在整个封装面积上 LED 芯片分布均匀, 多颗 CSP 模组的组件尺寸及所用封装材料热物性参数见表 1。

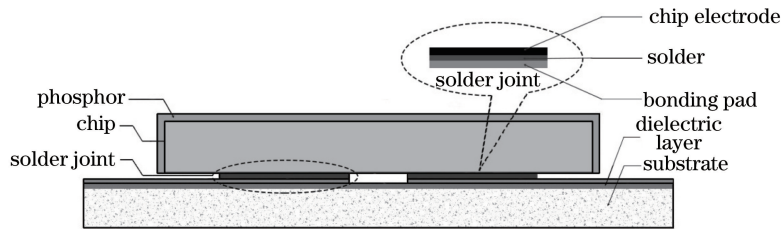


图 1 CSP 芯片及其封装结构

Fig. 1 CSP chip and its packaging structure

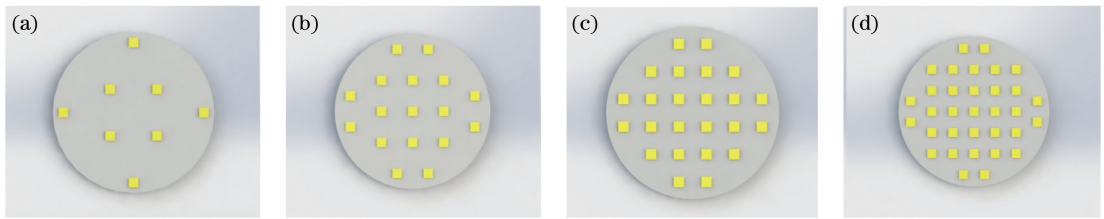


图 2 不同封装密度的 CSP 模组。(a) 8 颗; (b) 17 颗; (c) 24 颗; (d) 33 颗

Fig. 2 CSP LED modules with different density. (a) 8; (b) 17; (c) 24; (d) 33

表 1 CSP 模组的组件尺寸及封装材料的热物性参数^[18-20]

Table 1 CSP module component size and thermal property parameters of packaging materials

Component	Material	Thermal conductivity / (W/m·K)	Size
Chip	Sapphire	35	1.5 mm × 1.5 mm × 0.27 mm
Solder	SnAgCu	58	0.44 mm × 1.08 mm × 0.02 mm
Bonding pad	Silver paste	320	0.44 mm × 1.08 mm × 0.015 mm
Dielectric layer	Al ₂ O ₃	1.5	φ 25 mm × 1 mm
Substrate	Al	205	φ 25 mm × 1 mm

根据多颗 CSP 芯片封装模组结构的对称性, 抽取封装模组中单颗芯片进行数学建模并进行 CSP 芯片工作时温度场和传热过程的计算, 单颗 CSP 芯片的数学模型如图 3 所示, 假设 CSP 芯片额定输入功率的 80% 转化为热量。

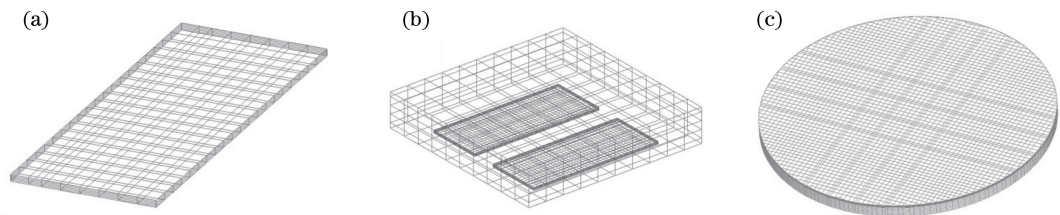


图 3 基于 CSP 芯片的 LED 封装结构数学模型。(a) 焊料; (b) 芯片; (c) 基板

Fig. 3 Mathematical model of CSP LED chip. (a) Solder; (b) chip; (c) substrate

2.2 热模拟计算方法

采用基于有限体积法的热计算方法, 为了简化计算过程, 假设 CSP 芯片封装模组的散热过程满足以下条件:

- 1) 计算过程主要考虑模组达到稳态时的散热过程;
- 2) 空气密度采用 Boussinesq 近似^[21];
- 3) 除了密度值外, 空气的其他物性参数看作定值。

质量守恒、能量守恒、动量守恒是描述系统传热、传质问题的基本方程。在计算模型中相应的质量守恒

方程为

$$\frac{\partial(\rho u)}{\partial x} + \frac{\partial(\rho v)}{\partial y} + \frac{\partial(\rho w)}{\partial z} = 0, \quad (1)$$

式中 ρ 为空气密度; u, v, w 分别为 x, y, z 方向的速度。

动量守恒方程为($-y$ 方向为重力方向)

$$u \frac{\partial u}{\partial x} + v \frac{\partial u}{\partial y} + w \frac{\partial u}{\partial z} = -\frac{1}{\rho} \frac{\partial P}{\partial x} + \mu \left(\frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} + \frac{\partial^2 u}{\partial z^2} \right), \quad (2)$$

$$u \frac{\partial v}{\partial x} + v \frac{\partial v}{\partial y} + w \frac{\partial v}{\partial z} = -\frac{1}{\rho} \frac{\partial P}{\partial y} + \mu \left(\frac{\partial^2 v}{\partial x^2} + \frac{\partial^2 v}{\partial y^2} + \frac{\partial^2 v}{\partial z^2} \right) - g [1 - \beta(T - T_0)], \quad (3)$$

$$u \frac{\partial w}{\partial x} + v \frac{\partial w}{\partial y} + w \frac{\partial w}{\partial z} = -\frac{1}{\rho} \frac{\partial P}{\partial z} + \mu \left(\frac{\partial^2 w}{\partial x^2} + \frac{\partial^2 w}{\partial y^2} + \frac{\partial^2 w}{\partial z^2} \right), \quad (4)$$

式中 P, μ, g, β 分别为气体压力、空气粘滞系数、自由落体加速度和空气热膨胀系数。能量守恒方程为

$$u \frac{\partial T}{\partial x} + v \frac{\partial T}{\partial y} + w \frac{\partial T}{\partial z} = \frac{1}{\rho} \frac{k}{c_p} \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right), \quad (5)$$

式中 k 是热导率, c_p 是定压比热容。

空气密度使用 Boussinesq 近似:

$$\rho - \rho_0 = -\rho_0 \beta (T - T_0), \quad (6)$$

式中 ρ_0 为室温时空气密度。

热量的传递方式分为传导、对流和辐射三种。在固体中热量主要以传导的方式传递,在固体和流体交界处热量主要以对流方式传递,而在流体中则以对流和传导同时存在的方式进行,辐射换热则主要由固体表面向较低温的外界发出电磁波,无需介质的存在。多颗 CSP 芯片封装模组和边界条件如图 4 所示,模组基板的下表面连接散热器,使其下表面的表面传热系数为 h ,传热面积为 A ,即第三类边界条件,其他面均为开放边界即环境温度和环境压力。以 CSP 芯片的结温为计算监测点,模型中的其他表面的表面换热系数由固-流耦合条件进行计算。设定环境温度 T_a 为 25°C ,在固体内部传热方式为传导传热,用傅里叶定律来表示 Γ 方向的热量:

$$Q = -k \cdot A \frac{\partial T}{\partial \Gamma}, \quad (7)$$

在 CSP 模组与空气的边界主要为对流传热,由牛顿冷却公式表示为

$$Q = h \cdot A (T - T_a). \quad (8)$$

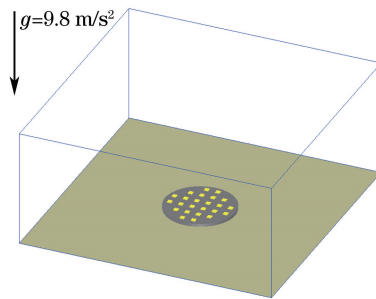


图 4 多颗 CSP 芯片封装模组及其边界条件

Fig. 4 CSP LED module and boundary conditions

2.3 实验测试平台及 CSP 芯片封装结构测试

为了验证模拟计算的准确性,采用 24 颗 CSP 芯片在铝基板封装了多芯片模组,并将多芯片模组组装成灯具进行实际温度测试。为了减小实验误差,测试在恒温室的防风罩中进行,防风罩型号为 FZF-1800A,实验测试装置如图 5 所示。采用 CSP 芯片模组组装的测试灯具如图 6(a)所示。使用热电偶和型号为 TMP-2 的多点温度巡检仪以及红外线热成像仪测试灯具工作时的温度,热电偶放置的位置分别为焊接点、芯片、散热器和周围环境,如图 6(b)所示。单颗芯片功率为 1 W ,环境温度为 25°C 。

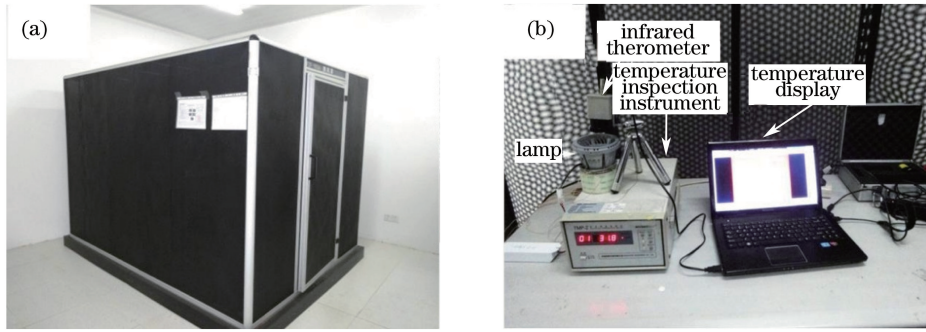


图 5 实验装置。(a) FZF-1800A 防风罩;(b)测试平台

Fig. 5 Experimental setup. (a) FZF-1800 wind cap; (b) test platform

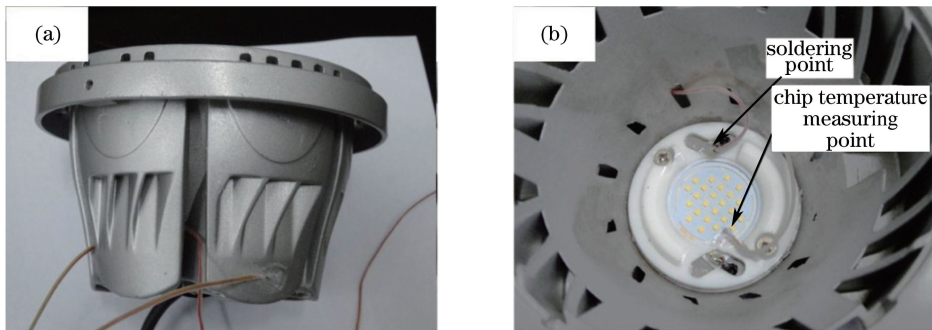


图 6 CSP 芯片热测试。(a)测试所用灯具;(b)热电偶测试点

Fig. 6 CSP LED thermal test. (a) Radiator for test; (b) thermocouple test points

3 模拟计算结果与分析

3.1 CSP 模组中芯片结温及温度场分布计算

由于单颗 LED 芯片的功率局限和封装结构的散热能力,对于大功率 LED 通常采用多颗 LED 模组实现所要求。在多芯片封装模组中,芯片的个数、排布方式、单颗 LED 芯片功率对模组的散热过程以及芯片结温有明显的影响。为了分析不同单颗功率的 LED 芯片和不同排布方式对封装结构整体温度分布的影响,引入芯片在基板上排布时的距离和基板封装芯片密度的概念。芯片在基板上的排布距离的定义如图 7 所示。基板封装芯片密度定义为:封装基板上封装的 LED 芯片的总面积除以封装基板的面积。模拟采用图 2 所示的 LED 芯片排布方式,分别排布 8、17、24、33 颗 LED 芯片,单颗 LED 芯片的输入功率为 0.5~5 W,总输入功率为 4~165 W。图 8 所示为不同封装芯片间距情况下 CSP 芯片模组芯片结温与封装功率密度的关系,图 9 所示为不同封装芯片间距情况下 CSP 芯片封装数量和封装芯片密度的关系。上述计算过程均假设额定功率的 80%转化为热能。

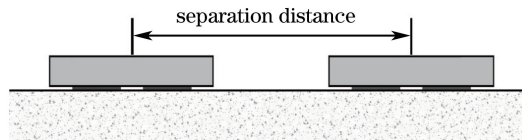


图 7 芯片在基板上的排布距离

Fig. 7 Chip separation distance on substrate

如图 8 所示,芯片的结温一方面随着芯片间距的缩小而增加,另一方面芯片的结温也随着芯片功率的升高而增加。从图中可以看出,要实现芯片工作温度低于 120 °C 的技术要求,芯片的间距和芯片功率都要考虑。采用大功率芯片时,基板上的芯片排布间距也要相应增大。如果采用小功率的芯片,在芯片基板上的排

布间距就可以适当减小。芯片工作时,PN 结层发热,使得芯片内部的 PN 结温度最高,如图 10 所示。在芯片与基板之间的空隙中加填充物可以进一步促进热量的传递,并有效降低 LED 芯片的结温^[22]。从图 8 的模拟计算结果可知,当封装芯片数量达到 33 颗,封装芯片间距为 3.5 mm 时,要实现芯片工作温度低于 120 °C 的技术要求,只有功率为 0.5 W 的芯片可以满足封装要求。而随着封装芯片间距增大,适用的芯片功率逐渐提高,当封装芯片间距为 7.25 mm 时,功率小于 3 W 的 CSP 芯片都适用于 LED 封装。若提高芯片本身的热导率和填充适当的填充物,则大功率 LED 的结温仍有下降的空间,因此,采用合适的芯片功率和适当的芯片间距,CSP 芯片可以用于热流密度高的场合,CSP 技术将是 LED 封装的一个发展趋势。

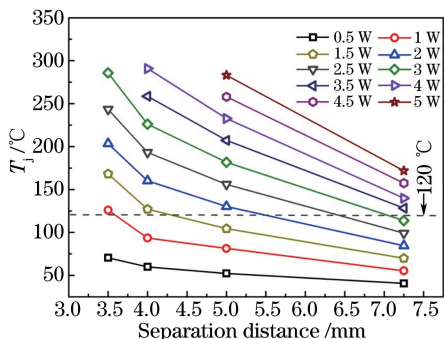


图 8 不同封装芯片间距时 CSP 芯片的结温
Fig. 8 CSP chip junction temperature with different separation distance between chips

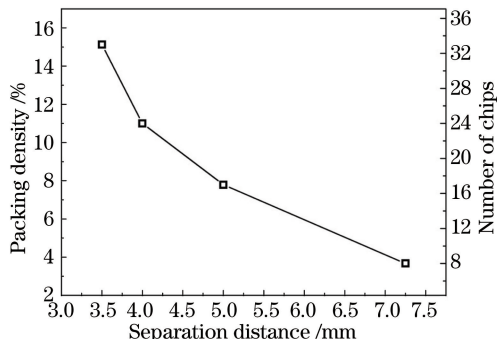


图 9 不同封装芯片间距时封装密度与 CSP 芯片数量的对应关系

Fig. 9 Corresponding relation of packing density and chip number under different separation distance

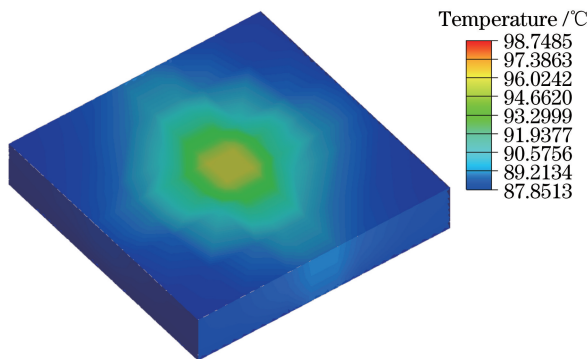


图 10 CSP 多芯片封装模组中单颗 CSP 芯片的温度分布云图

Fig. 10 CSP chip temperature field cloud picture of single chip in CSP LED module

3.2 采用 CSP 芯片封装的 LED 模组温度场分布

根据图 8 和图 9 的计算结果,如果封装基板尺寸采用直径为 25 mm、厚度为 1 mm 的金属铝板,则其最大封装功率可以达到 24 W,分别采用单颗功率为 0.73~3 W 的 CSP 芯片进行 LED 光源模组的封装,基板可封装芯片数量为 8~33 颗,也就是图 2 所示的 LED 封装模组。采用计算机有限体积法对图 2 所示的 LED 封装模组进行温度场分布模拟计算,图 11 所示为不同功率和不同芯片颗数组合的 24 W LED 封装模组的温度场分布云图。从图中可以看出,芯片的最高温度位于芯片的中心,芯片颗数越多,芯片的温度分布越均匀。表 2 所示为模组总功率为 24 W 时,采用不同功率芯片进行组合时模组的最高温度。相同总功率下,芯片颗数越多,模组的最高温度越低,而温度下降的幅度随着芯片个数的增加而减小。将热功率与芯片总面积的比值定义为单位面积热功率,则模组芯片的最高温度与单位面积热功率的关系如图 12 所示。由图可以看出模组中芯片最高温度与单位面积热功率成正比。封装密度增大,封装 CSP 芯片数量增多,相应的传导热的焊点面积越大,热流密度变小,因此模组的最高温度降低。

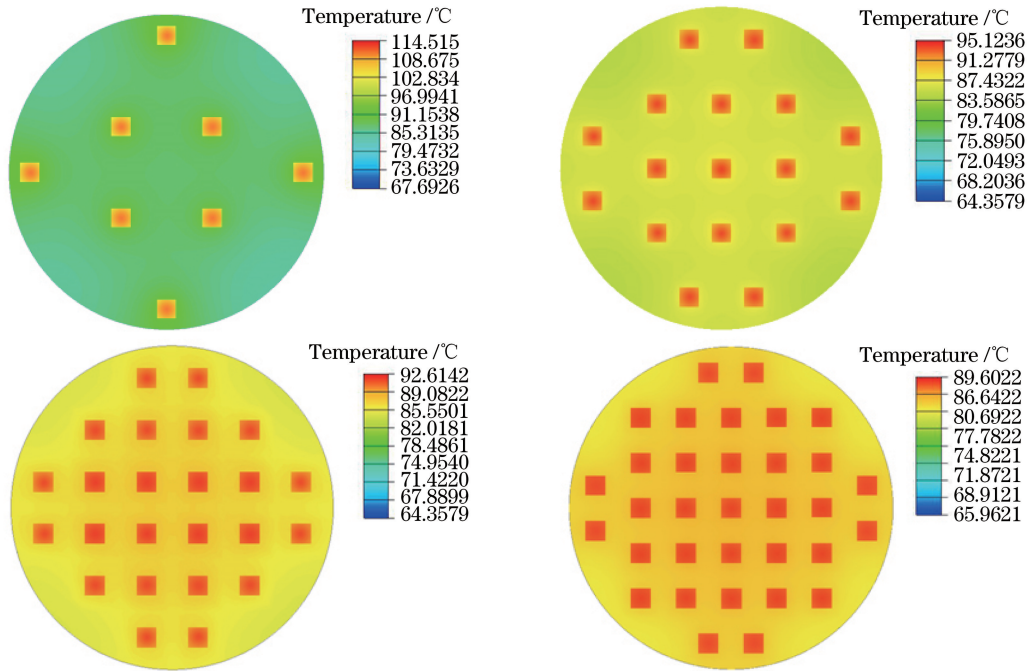


图 11 不同功率和不同颗数 CSP 芯片组合的 24 W LED 模组温度分布云图

Fig. 11 Temperature cloud of CSP LED module with different chip power and different number of chip when the input power is 24 W

表 2 不同功率和不同颗数 CSP 芯片组合的 24 W LED 模组模拟计算结果

Table 2 Simulation results of CSP LED module with different chip power and different number of chip when the input power is 24 W

Chip number	8	17	24	33
Single chip power /W	3.00	1.41	1.00	0.73
Chip power density /(W/mm ²)	1.067	0.502	0.356	0.259
Highest temperature /°C	114.51	95.12	92.61	89.60

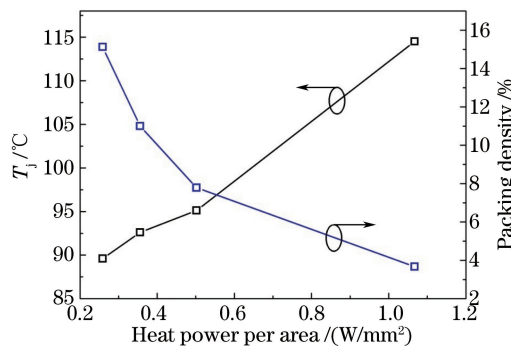


图 12 不同单位面积热功率芯片模组的最高温度和封装密度

Fig. 12 Highest temperature and packing density at different input heat power per unit area

3.3 CSP 芯片封装模组的热阻

热阻是衡量封装模组散热性能的重要参数,不同模组的热阻不同。根据(9)式计算得出总功率为 24 W 的各模组的热阻,如图 13 所示。在总功率不变的条件下,模组的热阻随着芯片间距的增加(颗数减少)而增加。为了更加直观地显示传热过程,建立等效热阻图。单颗芯片的热量从芯片传递至基板上要经过芯片、焊点、焊盘,对应的热阻分别为 R_c 、 R_s 、 R_p ,如图 14(a)所示。芯片模组的热阻是多颗芯片的热阻 R_{c-p} 并联后的结果,如图 14(b)所示。并联后的总热阻随着并联芯片个数的增多而减小。从另一方面分析,平壁传热的导热热阻由(10)式计算得出,多颗芯片并联增大了接触面积,因此热阻减小。

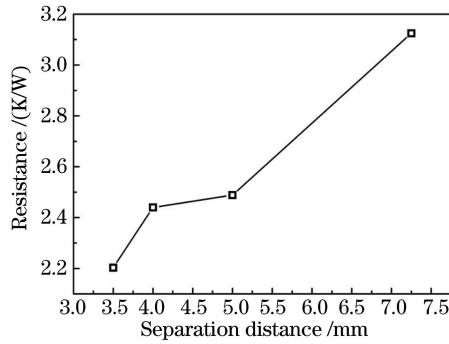


图 13 不同芯片间距模组的热阻

Fig. 13 Thermal resistance of module with different separation distance between chips

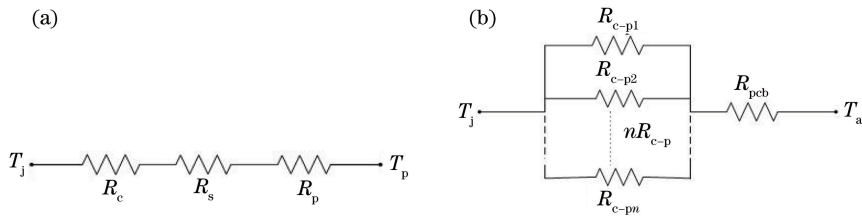


图 14 等效热阻图。(a)单颗 LED;(b)芯片模组

Fig. 14 Equivalent thermal resistance. (a) Single LED; (b) LED module

传热的总热阻为

$$R = \frac{T_j - T_a}{P}, \quad (9)$$

$$R = \frac{\delta}{A\lambda}. \quad (10)$$

3.4 CSP 芯片封装 LED 模组的实验测试

为了验证模拟的结果,采用 CSP 芯片封装了 24 颗芯片 LED 进行实际测试,单颗芯片的功率为 1 W。图 15 是灯具通电 1 h 后的红外测试温度云图,红外探头所探测的最高温度为 114.3 °C。P1~P5 为 5 个温度提取点,分别对应芯片、铝板中心、铝板边缘、焊料、芯片边缘。图 16 是热电偶法和红外成像法测得的各点温度随时间的变化趋势,取稳定时的温度数据和模拟数据作对比^[23]。通过热电偶测试的温度与红外热成像仪监测的数据可以看出,二者在焊接点温度数据基本一致,吻合较好。室内温度由中央空调控制在 25 °C,由于防风罩的作用,测试时的温度在 25 °C 上下小范围内波动,符合测试条件要求。但通过热电偶测试得到的芯片表面温度小于由热成像仪测得的芯片表面的温度,这是由于芯片发出的光改变了芯片表面的发射率,从而影响了红外光波的强度,使得成像仪测得的芯片表面的温度偏高。灯具散热器距离芯片最远端点的温度随着

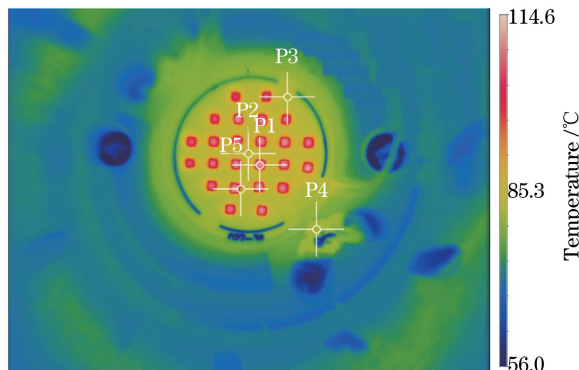


图 15 用红外热成像法测试的 24 颗 CSP 芯片模组的温度云图

Fig. 15 Temperature cloud of 24-chip module obtained by infrared thermography method

时间的延长稳定在 65 °C 左右。

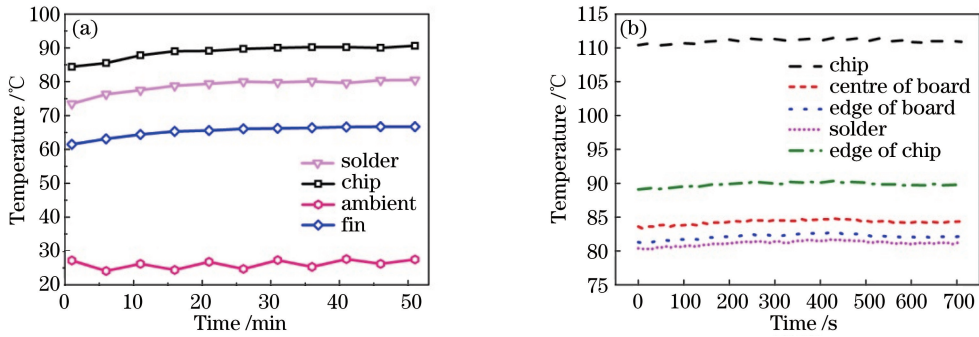


图 16 各点温度随时间变化图。(a)热电偶法;(b)红外热成像法

Fig. 16 Temperature variation with time at various points in different methods.

(a) Thermocouple method; (b) infrared thermography method

表 3 24 颗 CSP 芯片模组的模拟与实测结果对比

Table 3 Comparison between simulated and measured results of 24-chip CSP LED module

Position	Experiment temperature / °C		Simulation temperature / °C
	Thermocouple method	Infrared thermography method	
Chip center	90.2	111.4	92.61
Substrate center		84.8	86.21
Substrate edge		82.0	83.92

实验测试和模拟的结果对比如表 3 所示。通过比较可以看出,三个监测点的温度与模拟的结果误差在 2% 内,因此,此模拟方法正确,结果可信。对于复杂的模型,采用模拟的方法能更方便地进行研究。

4 结 论

运用有限体积模拟方法研究了芯片级封装 LED 模组在直径为 25 mm、厚度为 1 mm 的铝基板上封装后的传热特性,并对部分仿真结果进行了实验测试,得出以下结论:

1) 要实现芯片工作温度低于 120 °C 的技术要求,芯片的间距和芯片功率都要考虑。采用大功率芯片时,基板上的芯片排布间距也要相应增大。如果采用小功率的芯片,则在芯片基板上的排布间距可以适当减小。

2) 封装芯片间距为 3.5 mm 时,要实现芯片工作温度低于 120 °C 的技术要求,只有功率为 0.5 W 的芯片可以满足封装要求。而随着封装芯片间距增大,适用的芯片功率逐渐提高,当封装芯片间距为 7.25 mm 时,功率小于 3 W 的 CSP 芯片都可以用于 LED 封装。

3) 模组的热阻随着封装密度的增加而减小,当封装密度为 15.13% 时,模组热阻可以降至 2.26 K/W。

4) 采用 24 颗功率为 1 W 的 CSP 芯片封装 LED 模组进行实际测试,通过热电偶测试和红外热成像仪监测的数据可以看出,焊接点测试温度与模拟数据基本一致,吻合较好。

参 考 文 献

- Zhang Guoyi, Chen Zhizhong. The basis of solid state lighting-GaN white light emitting diodes[J]. Physics, 2004, 33 (11): 833-842.
张国义, 陈志忠. 固态照明光源的基石-氮化镓基白光发光二极管[J]. 物理, 2004, 33(11): 833-842.
- Nakamura S, Fasol G. The blue laser diode: GaN based light emitters and lasers[M]. Berlin: Springer-Verlag, 1997: 16-20.
- 万海滨, 邓晶莹. LED 照明领域的一次突破——飞利浦研制出世界上最节能的暖白光 LED 光源[J]. 科技创新与品牌, 2013(5): 69.
- Arik M, Becker C, Weaver S, et al. Thermal management of LEDs: Package to system[J]. SPIE, 2004, 5187: 64-75.

- 5 Ma L, Yang Y, Liu J. Cooling of high power LEDs through ventilating ambient air to front surface of chip[J]. Heat and Mass Transfer, 2013, 49(1): 85-94.
- 6 Fang Jun, Hua Gang, Fu Renli, *et al.* Structure and substrate for high power white LED package[J]. Packaging Technologies, 2013, 38(2): 140-147.
方 军, 花 刚, 傅仁利, 等. 大功率白光 LED 封装结构和封装基板[J]. 封装技术, 2013, 38(2): 140-147.
- 7 Greig W J. Integrated circuit packaging, assembly and interconnections[M]. Berlin: Springer-Verlag, 2007: 47-48.
- 8 Narendran N, Gu Y. Life of LED-based white light sources[J]. Journal of Display Technology, 2005, 1(1): 167-171.
- 9 Lee K H, Kim S H, Lim W S, *et al.* Visible light-emitting diodes with thin-film-flip-chip-based wafer-level chip-scale package technology using anisotropic conductive film bonding[J]. IEEE Electron Device Letters, 2015, 36(7): 702-704.
- 10 中国 LED 在线. 澄清: NCSP 并非 CSP WICOP 也是 CSP[EB/OL]. (2015-11-25)[2016-08-02]. <http://www.ledinside.cn/news/20151125-37072/>.
- 11 Samsung Electronics Co., Ltd. Middle power LED series flip chip package: LM131A[EB/OL]. (2015-07-10)[2016-08-02]. http://www.samsung.com/global/business/business-images/led/file/product/lighting/201512/Data_Sheet_LM131A_Rev.1.6.pdf.
- 12 Lumileds Holding B.V. LUXEON flip chip white product datasheet[EB/OL]. (2015-08-05)[2016-08-02]. <http://www.lumileds.com/uploads/569/DS117-pdf>.
- 13 Seoul Semiconductor Co., Ltd. Application note: WICOP2 [EB/OL]. (2015-09-15)[2016-08-02]. http://www.seoulsemicon.com/_upload/Goods_Spec/WICOP2_Application%20Note_CN_Rev1.2.pdf.
- 14 Chen K W, Zhang R, Lee S W R. Integration of phosphor printing and encapsulant dispensing processes for wafer level LED array packaging[C]. 11th International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP), 2010: 1386-1392.
- 15 Tian Lixin, Wen Shangsheng, Yao Rihui, *et al.* Research on the heat-release performance of high power LED using slotted plate[J]. Acta Optica Sinica, 2014, 34(11): 1123002.
田立新, 文尚胜, 姚日晖, 等. 基于开缝基板的大功率 LED 散热性能研究[J]. 光学学报, 2014, 34(11): 1123002.
- 16 Christensen A, Graham S. Thermal effects in packaging high power light emitting diode arrays[J]. Applied Thermal Engineering, 2009, 29(2-3): 364-371.
- 17 Hwu F S, Sheu G J, Chen J C. Thermal modeling and performance of LED packaging for illuminating device [J]. Proceedings of SPIE, 2006, 6337: 63371J.
- 18 Aksöz N, Öztürk E, Bayram Ü, *et al.* Thermal conductivity variation with temperature for lead-free ternary eutectic solders[J]. Journal of Electronic Materials, 2013, 42(12): 3573-3581.
- 19 Juntunen E, Tapaninen O, Sitomaniemi A, *et al.* Effect of phosphor encapsulant on the thermal resistance of a high-power COB LED module[J]. IEEE Transactions on Components Packaging and Manufacturing Technology, 2013, 3(7): 1148-1154.
- 20 Maeng S R, Ko S C. Thermal characteristics for chip on metal package of LED lighting module[J]. Materials Science in Semiconductor Processing, 2015, 38: 357-361.
- 21 Joo Y H, Kim S J. Comparison of thermal performance between plate-fin and pin-fin heat sinks in natural convection[J]. International Journal of Heat and Mass Transfer, 2015, 83: 345-356.
- 22 Tang C Y, Tsai M Y, Yen C Y, *et al.* Characterization of thermal and optical behaviors of flip-chip LED packages with various underfills[C]. 6th International Microsystems, Packaging, Assembly and Circuits Technology Conference, 2011: 327-331.
- 23 Li Yang, Zou Jun, Zhu Wei, *et al.* Study on thermal dissipation and measurement of three-dimensional light-emitting LED[J]. Laser & Optoelectronics Progress, 2015, 52(11): 112303.
李 杨, 邹 军, 朱 伟, 等. 三维发光 LED 灯片散热设计和测试研究[J]. 激光与光电子学进展, 2015, 52(11): 112203.