

# 基于硅基微环谐振器的光学导向逻辑器件

张凡凡 张磊 杨林

中国科学院半导体研究所集成光电子学国家重点实验室, 北京 100083

**摘要** 光学导向逻辑器件是采用光开关网络执行逻辑运算的典型应用, 光学网络中每一个开关的状态由施加到该开关的电学布尔信号决定。网络中每一个光开关的操作都是独立于其他光开关的操作, 并且操作运算结果以光速在网络中传播。因此, 光学导向逻辑器件具有非常高的运行速度, 且总延迟非常小。硅基微环谐振器由于其尺寸小、功耗低、与 CMOS 工艺兼容等特性成为构建光学导向逻辑器件的理想单元器件。基于硅基微环谐振器的光学导向逻辑器件很容易实现大规模集成和低成本制备, 已经提出并实现的基于硅基微环谐振器的光学导向逻辑器件包括“或/或非”、“与/与非”、“异或/同或”、编码器、译码器和半加器等。回顾了本课题组基于硅基微环谐振器实现的光学导向逻辑器件的研究成果和该领域的最新发展。

**关键词** 集成光学; 导向逻辑; 光开关; 微环谐振器; 光学导向逻辑器件

**中图分类号** TN256 **文献标识码** A **doi**: 10.3788/LOP51.110004

## Directed Logic Circuits Based on Silicon Microring Resonators

Zhang Fanfan Zhang Lei Yang Lin

State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China

**Abstract** Directed logic circuit is a paradigm which employs the optical switch network to perform the logical operation. The status of each switch in the optical network is determined by an electrical Boolean signal applied to it. The operation of each switch is independent of the operations of other switches in the network and the operation result propagates in the network at the speed of light. Therefore, the directed logic circuit has a very high operation speed and the overall latency of the logic circuit is very small. Silicon microring resonator is an attractive structure to construct optical directed logic owing to its outstanding performances, such as compact size, ultra-low power consumption and CMOS-compatible process. Therefore, the directed logic based on silicon microring resonators is easy to realize large-scale integration and low-cost manufacture in a CMOS-photonics foundry. Directed logic circuits based on silicon microring switches including OR/NOR, AND/NAND, XOR/XNOR, encoder, decoder and half-adder have been proposed and demonstrated by our research group. Our recent research on directed logic circuits based on silicon microring resonators is reviewed and new development in this topic is introduced.

**Key words** integrated optics; directed logic; optical switch; microring resonator; directed logic circuit

**OCIS codes** 130.4815; 130.3750; 230.5750

## 1 引言

目前, 集成电路芯片的特征尺寸已经受到了量子隧穿效应的限制, 难以进一步减小, 大规模集成电路难

收稿日期: 2014-03-01; 收到修改稿日期: 2014-05-19; 网络出版日期: 2014-10-22

基金项目: 国家自然科学基金(61204061, 61235001, 61377067)、国家 863 计划(2012AA012202, 2013AA014203)、中国科学院科技创新“交叉与合作团队”资助课题

作者简介: 张凡凡(1990—), 男, 硕士研究生, 主要从事片上集成光子器件与系统等方面的研究。

E-mail: zhangff@semi.ac.cn

导师简介: 杨林(1973—), 男, 研究员, 主要从事用于光互连光计算的片上集成光子器件与系统等方面的研究。

E-mail: oip@semi.ac.cn

以继续按照摩尔定律发展,电子信息处理能力的进一步提升遇到了发展瓶颈。但是随着技术的发展,在数据中心、云计算、超级计算机等领域对信息处理能力提出了更高速、更高性能、更低功耗、海量计算等要求。因此,电子信息处理能力的瓶颈与应用领域对计算能力不断增长的要求之间的矛盾逐渐突出,研究更低功耗、更高速、更高性能的信息处理手段具有重要的意义,已经成为新的热门研究领域。

2007年,Hardy等<sup>[1]</sup>提出一种全新的布尔逻辑运算机制,称为导向逻辑器件<sup>[1-4]</sup>。导向逻辑的运算结果依赖于光网络拓扑结构设计,理论上该结构可以实现任何组合逻辑运算。导向逻辑的基本思想是依靠逻辑操作数控制电压改变光网络结构中光开关状态,从而控制光传播方向,最终在特定输出端口得到光学逻辑运算结果。因此,导向逻辑具有如下优势:1)逻辑操作数对光开关的控制是独立、同时完成的,有别于传统电学电路中顺序执行计算、后级电路等待前级计算结果;2)运算过程以光为传播介质,具有高带宽、低延迟等特点;3)导向逻辑器件不同输出端口可以一次性得到一个函数与该函数“非”运算两个结果。因此,基于导向逻辑的光计算成为一种非常有潜力的高性能计算解决方案。本文将回顾光学导向逻辑器件的实现方案,介绍各导向逻辑器件的基本原理,并给出最新的测试结果。

## 2 微环谐振器

导向逻辑器件(图1)的基本组成单元是光开关。首先将逻辑运算转换为基本逻辑运算的组合,如图1所示,输入光信号依次经过多级不同运算单元(虚线表示),可以得到各种组合逻辑运算结果。因此,导向逻辑最重要的是使用光开关实现各种基本逻辑运算器件。现有光开关种类很多,例如微环谐振器(MRR)<sup>[5-10]</sup>、马赫-曾德尔(M-Z)光开关等。因为微环谐振器具有结构紧凑、滤波性能优越、制备工艺成熟、可方便调谐等优势,已经广泛应用于光滤波器<sup>[6]</sup>、电光调制器<sup>[7-8]</sup>和光开关<sup>[9]</sup>等领域。同时,硅基材料具有较大的折射率差、C通信波段透明以及易于对光场形成强限制等优点,在制备工艺上与大规模应用的互补金属氧化物半导体(CMOS)工艺兼容,从而可实现光电器件单片集成。因此,硅基微环谐振器成为构建大规模集成光学回路的理想器件。

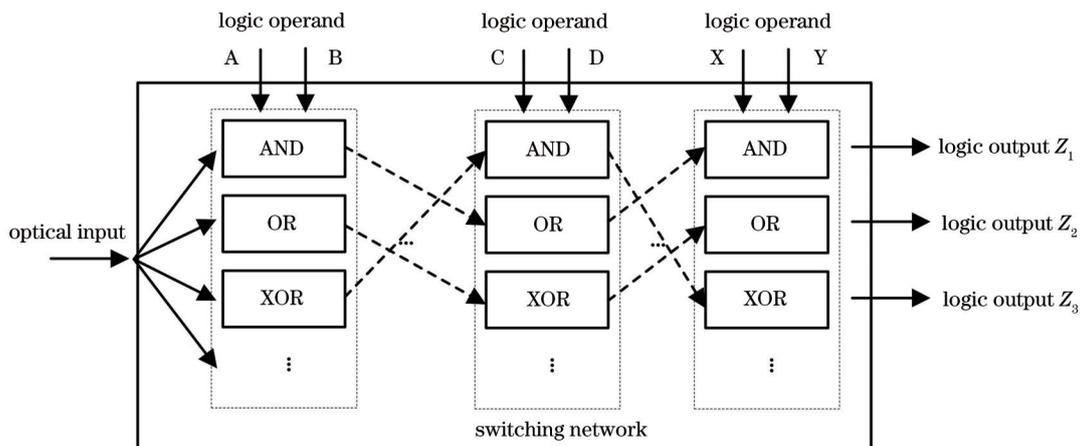


Fig.1 Principle of directed logic circuit composed of optical switches

微环谐振器属于光学干涉器件,其工作原理是:输入光波长 $\lambda_0$ 满足谐振条件 $m \times \lambda_0 = n_{\text{eff}} \times 2\pi \times R$  ( $m$ 为正整数, $n_{\text{eff}}$ 为MRR波导的有效折射率, $R$ 为MRR波导的半径)时,耦合到微环谐振腔的光信号发生相长干涉,微环谐振器储存的能量不断增加,输出端口没有光信号输出,微环谐振器处于谐振状态;输入光波长 $\lambda_0$ 不满足谐振条件时,耦合到微环谐振腔的光信号发生相消干涉,最终光信号在输出端输出,微环谐振器处于非谐振状态。因此,微环谐振器是一种波长选择型器件。

微环谐振器有两种不同结构,一种是单环单波导结构,另外一种单环双波导结构,如图2所示。图2(a)所示为单环单波导结构,又被称为全通结构,该结构由一个直波导和一个环形波导构成,直波导作为光输入输出的通道,环形波导起闭合环形谐振腔作用。这种结构常用于“非”运算,当输入端口的光波长等于微环谐振器的谐振波长时,该波长的光将会在环形波导中被耗散,在输出端无法得到该波长的光。当输入

端的光波长不等于微环谐振器的谐振波长时,该波长的光将通过直波导至输出端,输出端口将输出该波长的光。图2(b)是平行单环双波导结构,图2(c)是交叉单环双波导结构。单环双波导结构又被称为上载-下载结构,由两根直波导和一个环形波导构成,可以将输出端选择为 through-port 或 drop-port。当输入端光波长等于微环谐振器的谐振波长时,该波长的光通过环形波导下载到另外一个直波导上,然后从 drop-port 输出。当输入端光波长不等于微环谐振器的谐振波长时,该波长的光将通过直波导至 through-port 输出。这时,微环谐振器可以作为光开关应用于导向逻辑中。图2(c)结构中两根直波导相互垂直,存在一个波导交叉,这种结构在二维面上设计级联微环谐振器结构十分有用。

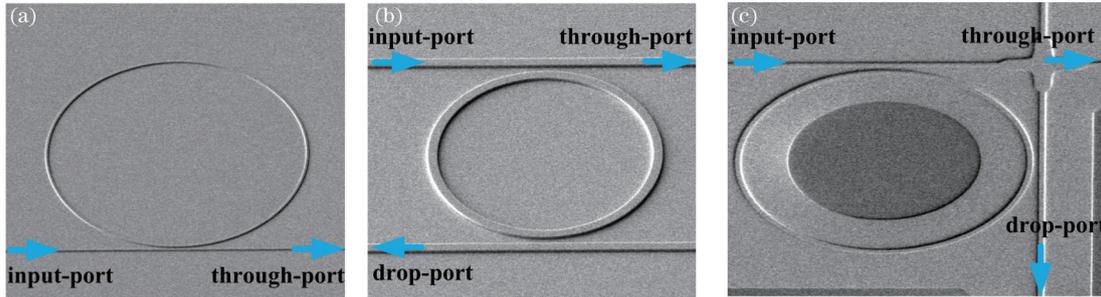


图2 微环谐振结构图。(a)单环单波导结构;(b)平行单环双波导结构;(c)交叉单环双波导结构

Fig.2 Structures of different kinds of microring resonators. (a) Microring resonator with one waveguide; (b) microring resonator with two parallel waveguides; (c) microring resonator with two cross waveguides

### 3 基于微环谐振器的光学导向逻辑器件

逻辑运算中“与/与非”、“或/或非”、“非”是最基本的逻辑运算单元,其他复杂组合逻辑都可以由最基本的逻辑运算单元通过组合实现。本课题组利用硅基微环谐振器制作光学导向逻辑器件,已经设计并制作了“或/或非”、“与/与非”、“异或/同或”逻辑单元以及编码器、译码器、半加器等各种逻辑器件,下面将详细介绍各种器件的谐振状态、工作原理和性能,不同器件的谐振状态定义不同。

#### 3.1 “或/或非”逻辑器件

“或/或非”逻辑器件<sup>[11-12]</sup>如图3(a)所示。首先,对微环谐振器的谐振状态定义如下:当运算操作数为逻辑“1”时相应的MRR在工作波长 $\lambda_w$ 处满足谐振条件;当运算操作数为逻辑“0”时相应的MRR在工作波长 $\lambda_w$ 处不满足谐振条件。光功率的高低分别用逻辑“1”和逻辑“0”表示。光从输入端口A输入到器件中。

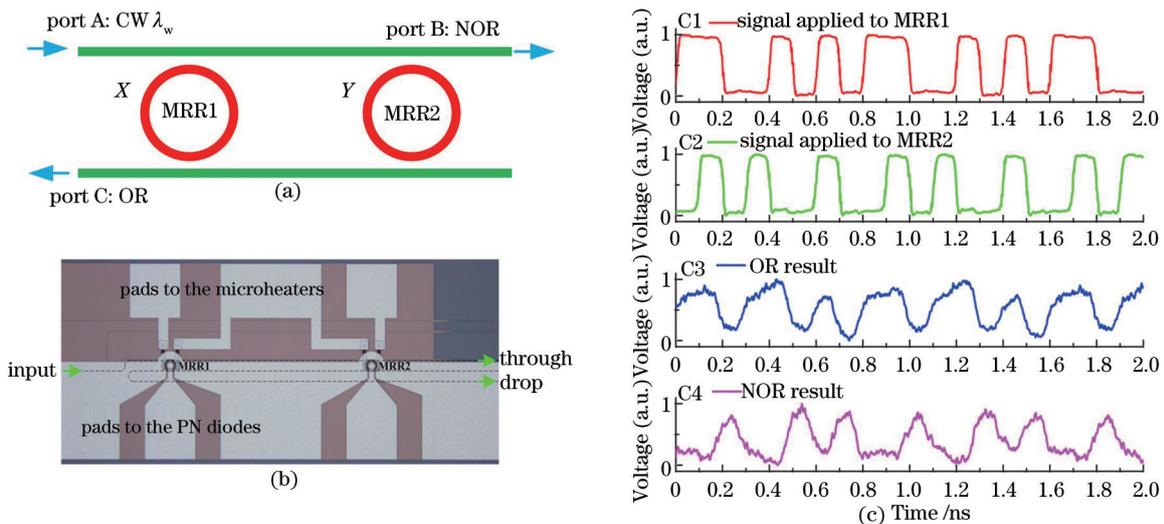


图3 “或/或非”(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.3 (a) Architecture; (b) micrograph and (c) dynamic result of OR/NOR gate

当 $X=0, Y=0$ 时, MRR1和MRR2在工作波长 $\lambda_w$ 处都不满足谐振条件,光从MRR2的直通端口输出,在工作波长 $\lambda_w$ 处端口B输出的光功率较高( $P_b=1$ )而端口C输出的光功率较低( $P_c=0$ )。同理,当 $X=0, Y=1$ 时,

MRR1 在工作波长  $\lambda_w$  处不满足谐振条件, MRR2 在工作波长  $\lambda_w$  处满足谐振条件, 光被 MRR2 下载至端口 C 输出, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。当  $X=1, Y=0$  时, MRR1 在工作波长  $\lambda_w$  处满足谐振条件, MRR2 在工作波长  $\lambda_w$  处不满足谐振条件, 光被 MRR1 下载至端口 C 输出, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。当  $X=1, Y=1$  时, MRR1 和 MRR2 在工作波长  $\lambda_w$  处都满足谐振条件, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。“或/或非”逻辑运算的真值表如表 1 所示。在端口 B 和端口 C 可以分别得到待运算数  $X$  和  $Y$  的“或非”和“或”。

表 1 “或/或非”逻辑运算真值表  
Table 1 Truth table of OR/NOR gate

$X$	$Y$	OR	NOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

该结构可以采用热光调制、PIN 结载流子注入调制和 PN 结载流子耗尽调制方式来实现。2011 年本课题组完成对该结构工作原理的验证<sup>[11]</sup>, 得到 10 kb/s 的动态测试结果, 并于 2014 年完成了 PN 结载流子耗尽调制方式, 实现了 10 Gb/s 的“或/或非”逻辑运算。该结构的显微镜照片如图 3(b) 所示, 输出端口的光强经过探测器与加载到两个级联微环谐振器的电压输入到多路示波器中, 可以得到最终的测试结果如图 3(c) 所示。

### 3.2 “与/与非”逻辑器件

“与/与非”逻辑器件<sup>[11,13]</sup>如图 4(a) 所示。首先, 对微环谐振器的谐振状态定义如下: 当运算操作数为逻辑“1”时相应的 MRR 在工作波长  $\lambda_w$  处不满足谐振条件; 当运算操作数为逻辑“0”时相应的 MRR 在工作波长  $\lambda_w$  处满足谐振条件, 该定义方式与“或/或非”逻辑器件相反。光功率的高低分别用逻辑“1”和逻辑“0”表示。光从输入端口 A 输入到器件中。

当  $X=0, Y=0$  时, MRR1 和 MRR2 在工作波长  $\lambda_w$  处都满足谐振条件, 在工作波长  $\lambda_w$  处端口 B 输出的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。同理, 当  $X=0, Y=1$  时, MRR1 在工作波长  $\lambda_w$  处满足谐振条件, MRR2 在工作波长  $\lambda_w$  处不满足谐振条件, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。当  $X=1, Y=0$  时, MRR1 在工作波长  $\lambda_w$  处不满足谐振条件, MRR2 在工作波长  $\lambda_w$  处满足谐振条件, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较低 ( $P_B=0$ ) 而端口 C 得到的光功率较高 ( $P_C=1$ )。当  $X=1, Y=1$  时, MRR1 和 MRR2 在工作波长  $\lambda_w$  处不满足谐振条件, 在工作波长  $\lambda_w$  处端口 B 得到的光功率较高 ( $P_B=1$ ) 而端口 C 得到的光功率较低 ( $P_C=0$ )。在端口 B 和端口 C 可以分别得到待运算数  $X$  和  $Y$  的“与”和“与非”, 如表 2 所示。

表 2 “与/与非”逻辑运算真值表  
Table 2 Truth table of AND/NAND gate

$X$	$Y$	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

该结构可以采用热光调制、PIN 结载流子注入调制方式来实现, 本课题组在 2011 年完成了“与/与非”结构工作原理的验证, 得到 10 kb/s 的动态测试结果<sup>[11]</sup>, 并于 2012 年实现了 100 Mb/s 的“与/与非”逻辑运算<sup>[13]</sup>。该结构显微镜照片如图 4(b) 所示, 输出端口的光强经过探测器与加载到两个级联微环谐振器的电压输入到多路示波器中, 可以得到最终的测试结果如图 4(c) 所示。

### 3.3 “异或/同或”逻辑器件

图 5(a) 中所示结构<sup>[14-17]</sup>可以实现“异或/同或”逻辑运算。首先, 对微环谐振器的谐振状态定义如下: 当

运算的操作数为逻辑“1”时相应的微环谐振器在工作波长 $\lambda_w$ 处处于谐振状态,当待运算的操作数为逻辑“0”时相应的微环谐振器在工作波长 $\lambda_w$ 处处于非谐振状态。光功率的高低分别用逻辑“1”和逻辑“0”表示。

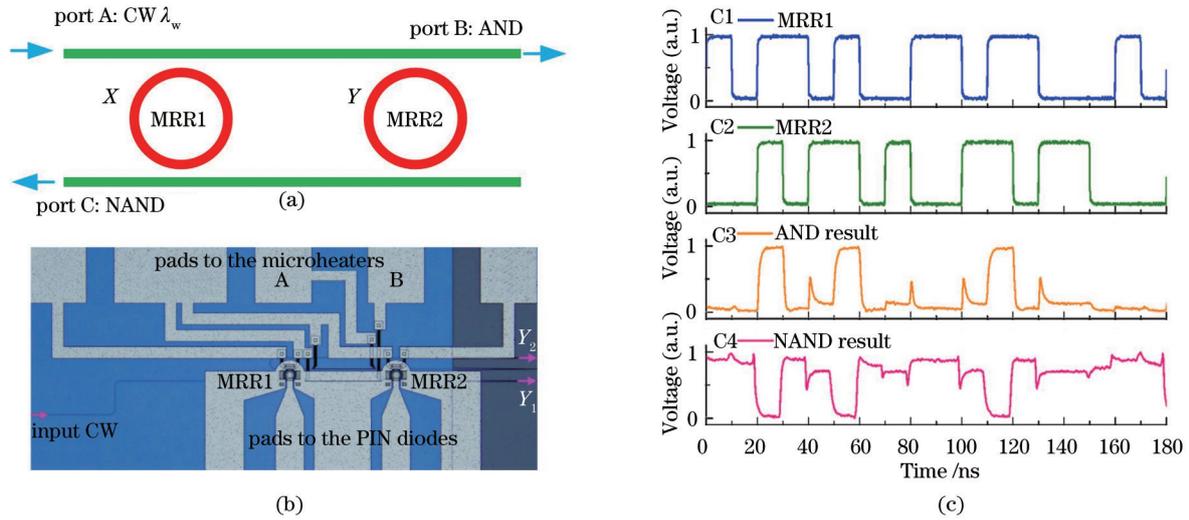


图4 “与/与非”(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.4 (a) Architecture; (b) micrograph and (c) dynamic result of AND/NAND gate

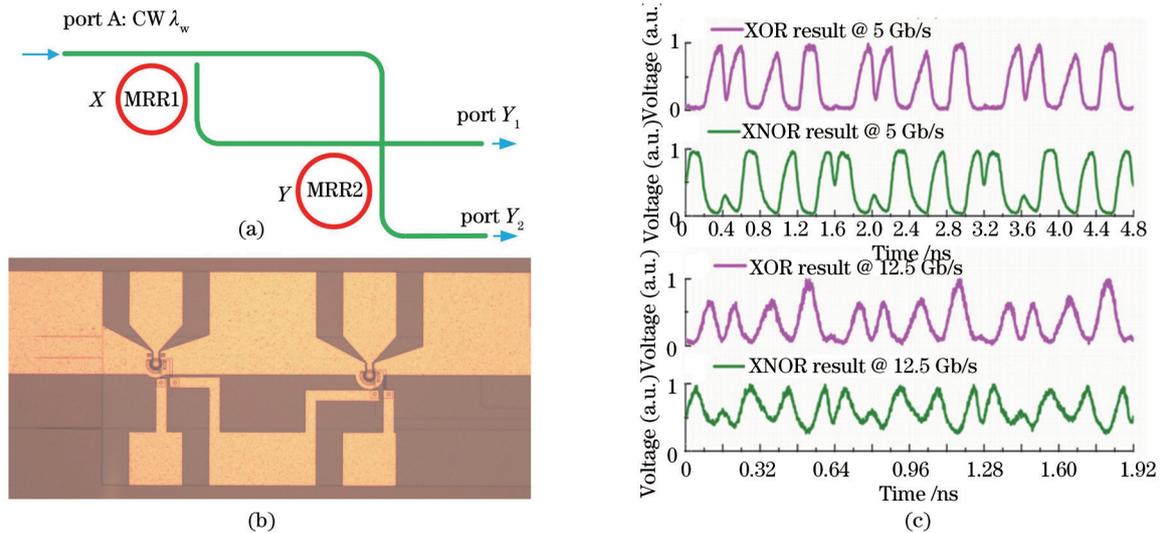


图5 “异或/同或”(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.5 (a) Architecture; (b) micrograph and (c) dynamic result of XOR/XNOR gate

当 $X=0, Y=0$ 时, MRR1和MRR2在工作波长 $\lambda_w$ 处都不谐振,在端口 $Y_2$ 得到的光功率较高( $P_{Y_2}=1$ ),在端口 $Y_1$ 得到的光功率较低( $P_{Y_1}=0$ )。同理,当 $X=0, Y=1$ 时, MRR1在工作波长 $\lambda_w$ 处不谐振, MRR2在工作波长 $\lambda_w$ 处谐振,在端口 $Y_1$ 得到的光功率较高( $P_{Y_1}=1$ ),在端口 $Y_2$ 得到的光功率较低( $P_{Y_2}=0$ )。当 $X=1, Y=0$ 时, MRR1在工作波长 $\lambda_w$ 处谐振, MRR2在工作波长 $\lambda_w$ 处不谐振,光信号从 $Y_1$ 输出,在端口 $Y_1$ 得到的光功率较高( $P_{Y_1}=1$ ),在端口 $Y_2$ 得到的光功率较低( $P_{Y_2}=0$ )。当 $X=1, Y=1$ 时, MRR1和MRR2都在工作波长 $\lambda_w$ 处谐振,光信号从 $Y_2$ 输出,在端口 $Y_2$ 得到的光功率较高( $P_{Y_2}=1$ ),在端口 $Y_1$ 得到的光功率较低( $P_{Y_1}=0$ )。在端口 $Y_1$ 和端口 $Y_2$ 可以分别得到待运算数 $X$ 和 $Y$ 的“异或”和“同或”,如表3所示。

该结构可以采用热光调制、PIN结载流子注入调制方式以及PN结载流子耗尽调制方式来实现,本课题组在2010年首次完成了对该结构工作原理的验证<sup>[14]</sup>,并于2014年最快实现了12.5 Gb/s的“异或/同或”逻辑运算<sup>[17]</sup>。该结构显微镜照片如图5(b)所示,输出端口的光强经过探测器与加载到两个级联微环谐振器的电压输入到多路示波器中,可以得到最终的测试结果如图5(c)所示。

表3 “异或/同或”逻辑运算真值表  
Table 3 Truth table of XOR/XNOR gate

X	Y	XOR	XNOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

能实现“异或/同或”逻辑的器件结构还有如下几种方式。图 6(a)为 U 对 U 的一种“异或/同或”结构<sup>[18-19]</sup>, 该结构可以根据微环谐振器谐振状态的不同, 输出“异或/同或”结果[图 6(c)]. 另外一种是利用电磁诱导透明(EIT)原理, 发现并实现了微环谐振器的耦合共振诱导透明(CRIT), 将级联微环谐振器用于“异或/同或”逻辑运算上<sup>[20]</sup>(图 7), 从而实现了一种结构的不同逻辑运算功能(“与/与非”, “或/或非”, “同或/异或”).

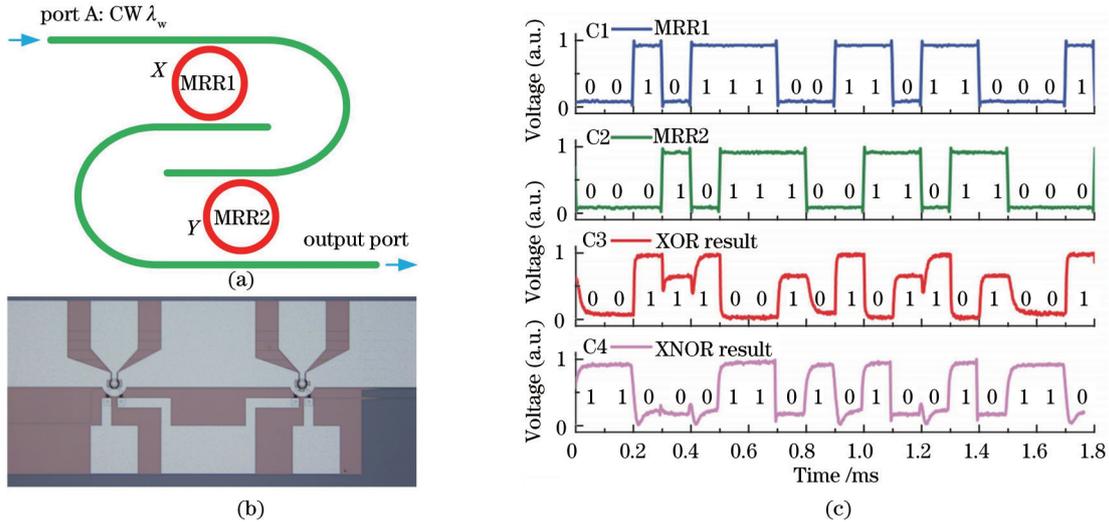


图 6 U 对 U 型“异或/同或”(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.6 (a) Architecture; (b) micrograph and (c) dynamic result of U-to-U XOR/NXOR gate

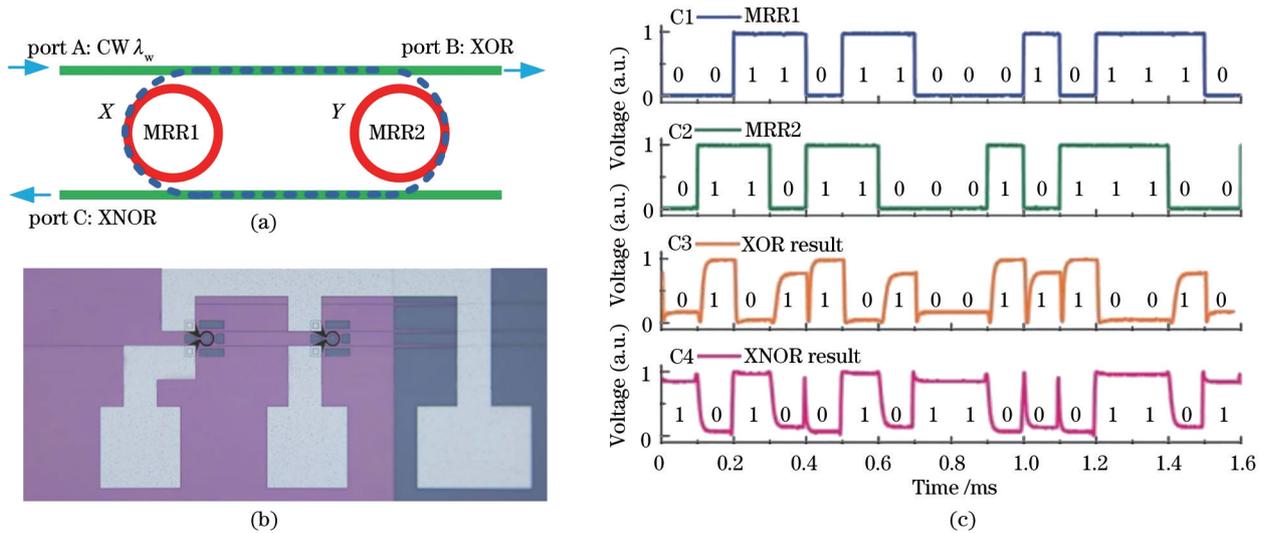


图 7 基于 CRIT 的“异或/同或”(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.7 (a) Architecture; (b) micrograph and (c) dynamic result of XOR/NXOR gate using CRIT.

### 3.4 编码器

编码器结构<sup>[21]</sup>如图 8(a)所示。首先,对微环谐振器的谐振状态定义如下:当运算的操作数为逻辑“1”时相应的微环谐振器在工作波长 $\lambda_w$ 处处于谐振状态,当待运算的操作数为逻辑“0”时相应的微环谐振器在工作波长 $\lambda_w$ 处处于非谐振状态。光功率的高低分别用逻辑“1”和逻辑“0”表示。 $I_1 \sim I_4$ 分别是加载到 MRR1~MRR4 的操作数。

当  $I_1=1, I_2=0, I_3=0, I_4=0$  时, MRR2, MRR3, MRR4 在工作波长  $\lambda_w$  处都不谐振, 光信号在端口 B 输出, 输出端口  $Y_1, Y_2$  的光功率较低 ( $P_{Y_1}=0, P_{Y_2}=0$ )。当  $I_1=0, I_2=1, I_3=0, I_4=0$  时, MRR2 在工作波长  $\lambda_w$  处谐振, MRR3, MRR4 在工作波长  $\lambda_w$  处都不谐振, 端口  $Y_2$  的光功率较高, 端口  $Y_1$  的光功率较低 ( $P_{Y_1}=0, P_{Y_2}=1$ )。当  $I_1=0, I_2=0, I_3=1, I_4=0$  时, MRR3 在工作波长  $\lambda_w$  处谐振, MRR2, MRR4 在工作波长  $\lambda_w$  处都不谐振, 端口  $Y_1$  的光功率较高, 端口  $Y_2$  的光功率较低 ( $P_{Y_1}=1, P_{Y_2}=0$ )。当  $I_1=0, I_2=0, I_3=0, I_4=1$  时, MRR4 在工作波长  $\lambda_w$  处谐振, MRR2, MRR3 在工作波长  $\lambda_w$  处都不谐振, 光信号功率一半被 MRR4 下载到  $Y_1$  端口, 另一半被下载到  $Y_2$  端口, 端口  $Y_1, Y_2$  的光功率都较高 ( $P_{Y_1}=1, P_{Y_2}=1$ )。在端口  $Y_1$  和端口  $Y_2$  可以得到  $I_1 \sim I_4$  的编码结果, 如表 4 所示。

表 4 编码器真值表

Table 4 Truth table of encoder

Electrical logic				Output logic	
$I_1$	$I_2$	$I_3$	$I_4$	$P_{Y_1}$	$P_{Y_2}$
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

该结构可以采用热光调制以及电光调制, 本课题组已经制备并实现了热光调制的编码器结构<sup>[21]</sup>, 其显微镜图如图 8(b) 所示, 动态实验结果如图 8(c) 所示。

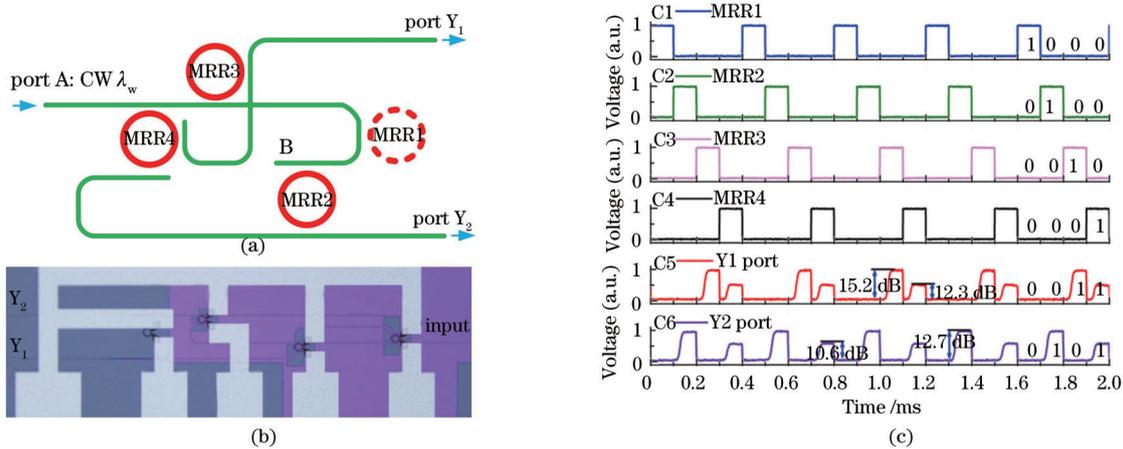


图 8 编码器 (a) 原理图; (b) 显微镜图和 (c) 动态测试结果

Fig.8 (a) Architecture; (b) micrograph and (c) dynamic result of encoder

### 3.5 译码器

译码器结构<sup>[22]</sup>如图 9(a) 所示。微环谐振器工作状态以及光功率定义与 3.4 节中编码器定义相同。

当  $I_1=0, I_2=0$  时, MRR1 和 MRR2 在工作波长  $\lambda_w$  处都不谐振, 在端口  $Y_1$  得到的光功率较高 ( $P_{Y_1}=1$ ), 在端口  $Y_2, Y_3, Y_4$  得到的光功率较低 ( $P_{Y_2}=P_{Y_3}=P_{Y_4}=0$ )。当  $I_1=0, I_2=1$  时, MRR1 在工作波长  $\lambda_w$  处不谐振, MRR2 在工作波长  $\lambda_w$  处谐振, 在  $Y_2$  端口得到的光功率较高 ( $P_{Y_2}=1$ ), 在端口  $Y_1, Y_3, Y_4$  得到的光功率较低 ( $P_{Y_1}=P_{Y_3}=P_{Y_4}=0$ )。当  $I_1=1, I_2=0$  时, MRR1 在工作波长  $\lambda_w$  处谐振, MRR2 在工作波长  $\lambda_w$  处不谐振。在  $Y_3$  端口得到的光功率较高 ( $P_{Y_3}=1$ ), 在端口  $Y_1, Y_2, Y_4$  得到的光功率较低 ( $P_{Y_1}=P_{Y_2}=P_{Y_4}=0$ )。当  $I_1=1, I_2=1$  时, MRR1 与 MRR2 在工作波长  $\lambda_w$  处都谐振, 在  $Y_4$  端口得到的光功率较高 ( $P_{Y_4}=1$ ), 在端口  $Y_1, Y_2, Y_3$  得到的光功率较低 ( $P_{Y_1}=P_{Y_2}=P_{Y_3}=0$ )。在端口  $Y_1 \sim Y_4$  可以得到  $I_1$  和  $I_2$  的译码结果, 如表 5 所示。

该结构可以采用热光调制, 本课题组已经制备并实现了热光调制的译码器结构<sup>[22]</sup>, 其显微镜图如图 9(b) 所示, 动态实验结果如图 9(c) 所示。

表5 译码器真值表  
Table 5 Truth table of Decoder

Electrical Logic			Output Logic		
$I_1$	$I_2$	$P_{Y_1}$	$P_{Y_2}$	$P_{Y_3}$	$P_{Y_4}$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

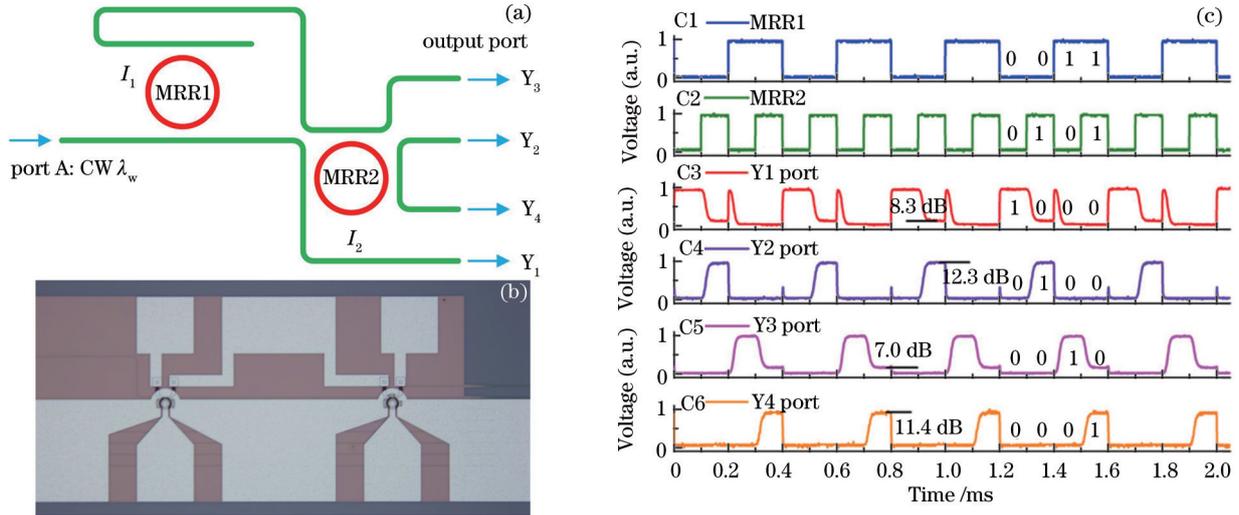


图9 译码器(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.9 (a) Architecture; (b) micrograph and (c) dynamic result of decoder

### 3.6 半加器

半加器的结构<sup>[23-24]</sup>如图10(a)所示,应用了2×1多模干涉耦合器(MMI)合束器。微环谐振器工作状态以及光功率定义与3.2节中“与/与非”定义相同。光功率的高低分别用逻辑“1”和逻辑“0”表示。

当 $X=0, Y=0$ 时, MRR1和MRR2在工作波长 $\lambda_w$ 处都谐振,光信号MRR1和MRR2依次下载,最终在端口B和输入端A输出,故在端口 $Y_1$ 和 $Y_2$ 输出的光信号的光功率较低( $P_{Y_1}=0, P_{Y_2}=0$ )。同理,当 $X=0, Y=1$ 时, MRR1在工作波长 $\lambda_w$ 处谐振, MRR2在工作波长 $\lambda_w$ 处不谐振,端口 $Y_1$ 输出的光信号的光功率较低,  $Y_2$ 输出的光信号的光功率较高( $P_{Y_1}=0, P_{Y_2}=1$ )。当 $X=1, Y=0$ 时, MRR1在工作波长 $\lambda_w$ 处不谐振, MRR2在工作波长 $\lambda_w$ 处谐振,端口 $Y_1$ 输出的光信号的光功率较低,  $Y_2$ 输出的光信号的光功率较高( $P_{Y_1}=0, P_{Y_2}=1$ )。当 $X=1, Y=1$ 时, MRR1和MRR2在工作波长 $\lambda_w$ 处都不谐振,端口 $Y_1$ 输出的光信号的光功率较高,  $Y_2$ 输出的光信号的光功率较低( $P_{Y_1}=1, P_{Y_2}=0$ )。在端口 $Y_1$ 和端口 $Y_2$ 可以分别得到待运算数 $X$ 和 $Y$ 的“进位”和“和”,如表6所示。

表6 半加器真值表  
Table 6 Truth table of Half adder

$X$	$Y$	$P_{Y_1}$	$P_{Y_2}$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

该结构可以采用热光调制、PIN结载流子注入调制来实现,其显微镜图如图10(b)所示。本课题组在2012年完成了半加器工作原理的验证<sup>[23]</sup>,并于2014年实现了100 Mb/s逻辑运算<sup>[24]</sup>[图10(c)]。

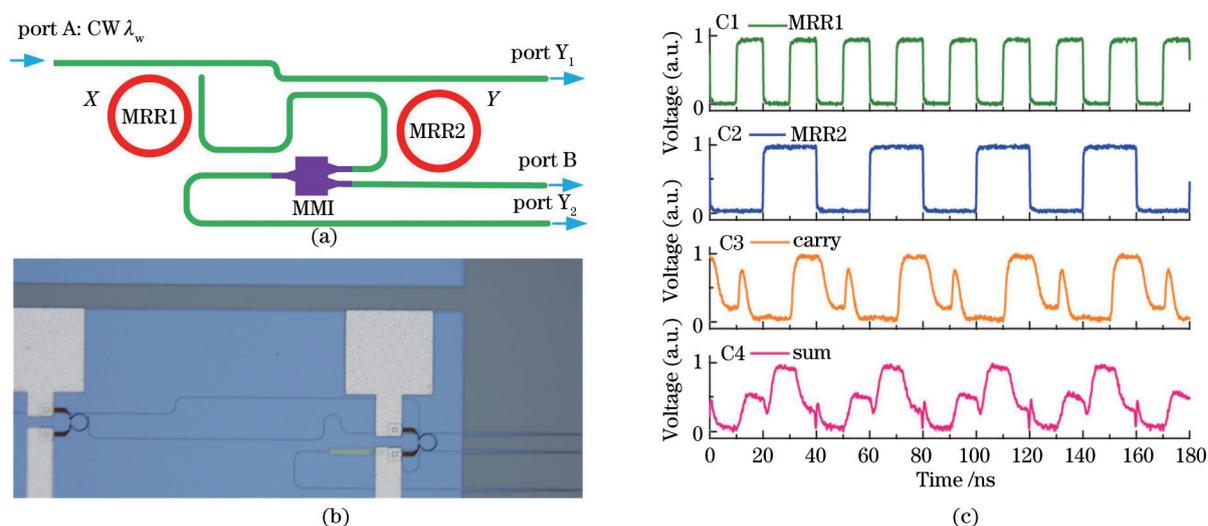


图 10 半加器(a)原理图;(b)显微镜图和(c)动态测试结果

Fig.10 (a) Architecture; (b) micrograph and (c) dynamic result of half adder

### 3.7 总结

采用 MRR 构建了“或/或非”、“与/与非”、“异或/同或”逻辑单元以及编码器、译码器、半加器等各种逻辑器件,完成了对所有器件的原理性验证,并对部分器件的性能优化得到 10 Gb/s 以上的运算速度。基于上述工作,对已完成光学导向逻辑器件优缺点总结如下:

优点:两个逻辑操作数对光开关的控制是独立、同时完成的;运算过程以光为传播介质,具有高带宽、低延迟等特点;导向逻辑器件不同输出端口可以一次性得到一个函数与该函数“非”运算两个结果。

缺点:采用谐振结构,光去下载端的群延时不能忽视,必然影响器件工作速度;对于器件谐振状态定义不统一;MRR 开关速度一致性影响了输出信号的质量。

## 4 结束语

综述了基于微环谐振器的光学导向逻辑器件的研究,光学导向逻辑器件,因为其功耗低、高带宽、速度快、集成度高等优势,将成为传统电学计算瓶颈的潜在解决方案。硅基微环谐振器因其结构紧凑、滤波性能优越、制备工艺成熟、可方便调谐等优势成为构建光学导向逻辑的理想器件。光学导向逻辑器件已经提出并实现了“或/或非”、“与/与非”、“非”、“异或/同或”逻辑和编码器、译码器、半加器等逻辑运算的原理验证,部分器件已使用 PN 结载流子耗尽调制方式实现了 10 Gb/s 以上的运算速度,并总结了以上器件的优缺点。单个逻辑器件目前均可以实现,集成到一个芯片中时,只能通过调制谐振波长是否处于工作波长处来实现,这种情况下出现了微环谐振器谐振状态不一致的情况。因此,解决该问题的办法有两种:1)继续研究寻找其他实现结构,使用与“或/或非”逻辑器件相同的定义方式,设计新型的“与/与非”等逻辑器件;2)通过可重构逻辑器件,可实现单芯片集成。可重构逻辑器件将利用 MRR 光开关构建多波长级联导向逻辑,将组合逻辑表达式转换为最小项表达式相加,然后每个波长进行一组最小项运算并将多波长信号耦合到输出端口中,从而实现了逻辑运算<sup>[25]</sup>。

光学导向逻辑器件下一步的发展趋势在于:1)提高现有的光学导向逻辑器件的工作速度,优化其性能,提高计算规模;2)实现并完善可重构光学导向逻辑器件,增加调整运算方案的灵活性;3)寻找实现时序逻辑的方案,从而具有实用价值。目前,Xu 等<sup>[3]</sup>已经提出了可重构光学导向逻辑,并实现了原理验证<sup>[25]</sup>,而微环谐振器的调制速度已达到 50 Gb/s<sup>[26-27]</sup>。可以预见,随着硅基光子学的不断发展,基于硅基微环谐振器的光学导向逻辑器件将不断提高信息处理能力,并丰富其运算功能,增加灵活性,在光信息处理等领域发挥巨大的应用价值。

### 参考文献

- 1 J Hardy, J Shamir. Optics inspired logic architecture [J]. Opt Express, 2002, 15(1):150 - 165.

- 2 H J Caulfield, R A Soref, C S Vikram. Universal reconfigurable optical logic with silicon-on-insulator resonant structures [J]. *Photonic Nanostruct*, 2007, 5(1): 14 - 20.
- 3 Q Xu, R A Soref. Reconfigurable optical directed-logic circuits using microresonator-based optical switches [J]. *Opt Express*, 2011, 19(6): 5244 - 5259.
- 4 R A Soref. Reconfigurable integrated optoelectronics [J]. *Advances in Optoelectronics*, 2011, 2011: 627802.
- 5 Q Xu, D Fattal, R G Beausoleil. Silicon microring resonators with 1.5- $\mu\text{m}$  radius [J]. *Opt Express*, 2008, 16(6): 4309-4315.
- 6 L Zhou, A W Poon. Electrically reconfigurable silicon microring resonator-based filter with waveguide-coupled feedback [J]. *Opt Express*, 2007, 15(15): 9194-9204.
- 7 C Li, L Zhou, A W Poon. Silicon microring carrier-injection-based modulators/switches with tunable extinction ratios and OR-logic switching by using waveguide cross-coupling [J]. *Opt Express*, 2007, 15(8): 5069-5076.
- 8 G Reed, G Mashanovich, F Y Gardes, *et al.* Silicon optical modulators [J]. *Nat Photonics*, 2010, 4(8): 518 - 526.
- 9 S Y Cho, R Soref. Interferometric microring-resonant 2 $\times$ 2 optical switches [J]. *Opt Express*, 2008, 16(17): 13304-13314.
- 10 J Shamir. Half a century of optics in computing—a personal perspective [J]. *Appl Opt*, 2013, 52(4): 600-612.
- 11 Y Tian, L Zhang, R Ji, *et al.* Proof of concept of directed OR/NOR and AND/NAND logic circuit consisting of two parallel microring resonators [J]. *Opt Lett*, 2011, 36(9): 1650-1652.
- 12 P Zhou, L Zhang, Y Tian, *et al.* 10 GHz electro-optical OR/NOR directed logic device based on silicon micro-ring resonators [J]. *Opt Lett*, 2014, 39(7): 1937-1940.
- 13 Y Tian, L Zhang, L Yang. Electro-optic directed AND/NAND logic circuit based on two parallel microring resonators [J]. *Opt Express*, 2012, 20(15): 16794-16800.
- 14 L Zhang, R Ji, L Jia, *et al.* Demonstration of directed XOR/XNOR logic gates using two cascaded microring resonators [J]. *Opt Lett*, 2010, 35 (10): 1620-1622.
- 15 L Zhang, J Ding, Y Tian, *et al.* Electro-optic directed logic circuit based on microring resonators for XOR/XNOR operations [J]. *Opt Express*, 2012, 20(11): 11605-11614.
- 16 L Zhang, R Ji, Y Tian, *et al.* Simultaneous implementation of XOR and XNOR operations using a directed logic circuit based on two microring resonators [J]. *Opt Express*, 2011, 19(7): 6532-6548.
- 17 L Yang, L Zhang, C Guo, *et al.* XOR and XNOR operations at 12.5 Gb/s using cascaded carrier-depletion microring resonators [J]. *Opt Express*, 2014, 22(3): 2996-3012.
- 18 Y Tian, L Yang, L Zhang, *et al.* Directed optical XOR/XNOR logic gates based on U-to-U shaped waveguides and two cascaded microring resonators [J]. *IEEE Photon Technol Lett*, 2013, 25(1): 18-21.
- 19 W Zhu, Y Tian, L Zhang, *et al.* Electro-optic directed XNOR logic gate based on U-shaped waveguides and microring resonators [J]. *IEEE Photon Technol Lett*, 2013, 25(14): 1305-1308.
- 20 Y Tian, L Zhang, Q Xu, *et al.* XOR/XNOR directed logic circuit based on coupled-resonator-induced transparency [J]. *Laser Photonics Rev*, 2013, 7(1): 109-113.
- 21 Y Tian, L Zhang, R Ji, *et al.* Demonstration of a directed optical encoder using microring-resonator-based optical switches [J]. *Opt Lett*, 2011, 36(19): 3795-3797.
- 22 Y Tian, L Zhang, R Ji, *et al.* Demonstration of a directed optical decoder using two cascaded microring resonators [J]. *Opt Lett*, 2011, 36(17): 3314-3316.
- 23 Y Tian, L Yang, L Zhang, *et al.* Directed optical half-adder based on two cascaded microring resonators [J]. *IEEE Photon Technol Lett*, 2012, 24(8): 643-645.
- 24 Y Tian, L Zhang, J Ding, *et al.* Demonstration of electro-optic half-adder using silicon photonic integrated circuits [J]. *Opt Express*, 2014, 22(6): 6958-6965.
- 25 C Qiu, X Ye, R A Soref, *et al.* Demonstration of reconfigurable electro-optical logic with silicon photonic integrated circuits [J]. *Opt Lett*, 2012, 37(19): 3942-3944.
- 26 D J Thomson, F Y Gardes, J M Fedeli, *et al.* 50 Gbit/s silicon optical modulator [J]. *IEEE Photon Technol Lett*, 2012, 24 (4): 234-236.
- 27 X Xiao, H Xu, Xi Li, *et al.* 60 Gbit/s silicon modulators with enhanced electro-optical efficiency [C]. *Optical Fiber Communication Conference/National Fiber Optic Engineers Conference*, 2013. OW4J.3.