

# SOI 波导与 InGaAs/InP 光电探测器的集成

崔荣 杨晓红 吕倩倩 尹冬冬 尹伟红 李彬 韩勤

中国科学院半导体研究所集成光电子学国家重点实验室, 北京 100083

**摘要** 成熟的 CMOS 技术可制备无源光学器件, 但高效光源和高性能光探测仍需要 III-V 族半导体材料。综述了近期 III-V 族外延片与 SOI(silicon-on-insulator)波导集成的键合技术, 按键合材料的不同分为无机和有机材料键合。着重分析了各种 InGaAs/InP 光电探测器与 SOI 波导集成的光耦合方案, 并对其优缺点进行对比。同时给出设计的一种倏逝波耦合的 InGaAs/InP 光电探测器, 用时域有限差分(FDTD)法对器件光学特性进行了模拟, 以 SOI 上有机键合的方式, 获得 95% 的探测器吸收效率, 表明该 SOI 波导集成的光电探测器可实现小体积、低损耗及高响应度的光探测, 符合片上光互连系统的要求。

**关键词** 探测器; InGaAs/InP 光电探测器; SOI(silicon-on-insulator)波导; 键合技术; 倏逝波耦合

**中图分类号** O475 **文献标识码** A **doi**: 10.3788/LOP51.110003

## InGaAs/InP Photodetector on SOI Circuitry

Cui Rong Yang Xiaohong Lü Qianqian Yin Dongdong

Yin Weihong Li Bin Han Qin

*State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*

**Abstract** CMOS technology can be used for the fabrication of passive optical functionality, but efficient light emission and high performance light detection still require Groups III-V semiconductors. Various kinds of bonding techniques for the integration of Groups III-V semiconductors onto SOI waveguide circuits are introduced, and they can be divided into inorganic material and organic material bonding in terms of bonding materials used. Emphatically, the integrated coupling methods of InGaAs/InP photodetector on SOI circuitry and the characteristics of different coupling methods are analyzed and compared. A design of an evanescently coupled InGaAs/InP photodetector on SOI circuitry is proposed and its optical properties are simulated using finite-difference time-domain (FDTD) method and using organic material as bonding agent, the absorption efficiency of 95% is obtained. The simulation results show that the photodetector on SOI circuitry with small size exhibits low excess loss and high responsivity, which can meet the requirement of optical interconnect on chips.

**Key words** detectors; InGaAs/InP photodetector; SOI (silicon-on-insulator) waveguide; bonding techniques; evanescent coupling

**OCIS codes** 040.5160; 230.0250; 040.6040; 230.7370

## 1 引言

随着电子集成芯片的集成度和性能逐渐接近极限, 摩尔定律的发展逐渐遇到电学瓶颈。光互连是解决电学瓶颈的一种途径, 采用将光源、调制、波导、逻辑及探测等功能混合集成在 CMOS 电路层上的方案, 可实现高速、低噪声、长距离、低功耗的信号传输<sup>[1-4]</sup>。SOI(silicon-on-insulator)作为一种可集成多种纳米光子

收稿日期: 2014-04-01; 收到修改稿日期: 2014-05-14; 网络出版日期: 2014-10-11

基金项目: 国家 973 计划(2012CB933503)、国家 863 计划(2012AA012202, 2013AA013401)、国家自然科学基金(61274069, 61176053)

作者简介: 崔荣(1988—), 女, 硕士研究生, 主要从事光电探测器的设计及制备等方面的研究。

E-mail: rongcui@semi.ac.cn

导师简介: 杨晓红(1973—), 女, 博士, 研究员, 主要从事高频高灵敏度高增益等极端新结构新材料探测器和器件物理方面的研究。E-mail: xhyang@semi.ac.cn

组件的多功能 Si 基平台, 自从 Soref 于 20 世纪 80 年代末提出硅光子后迅速发展<sup>[4-6]</sup>, 尽管集成中还存在散热、功耗和是否适于规模化生产等诸多科学和技术难题, 但其光明前景仍吸引着越来越多的人去探究<sup>[7-8]</sup>。

Si 在 1.31~1.55  $\mu\text{m}$  的通信波段是一种很好的光波导材料, 但在有源器件方面, 无法完成 III~V 族半导体材料的光发射及光探测功能。采用片上键合工艺, 可以将这些 III~V 族材料混合集成在硅平台上<sup>[7-11]</sup>, 制成实现光电信号转换的光电探测器, 目前主要有 Ge 和 III~V 族 InGaAs 探测器。集成在 SOI 上的锗光电探测器已有报道, 并且其制备与 CMOS 工艺兼容<sup>[12-18]</sup>, 但在工艺过程中, 易引入缺陷, 导致 Ge 探测器暗电流较大, 并且 Ge 材料在大于 1.3  $\mu\text{m}$  波长范围的吸收系数逐渐下降, 妨碍了其在 L 通信波段中的应用。而高质量的 III~V 族材料, 在光纤通信的宽波段内具有较大的吸收系数, 可与硅集成制备出高性能的探测器, 在 Si 基光电子集成芯片和光互连领域发挥重要的作用。

本文综述了近红外 III~V 族 InGaAs/InP 光电探测器与 SOI 波导混合集成的最新进展, 包括不同键合方式的比较及多种光耦合方式的分析, 给出一种与 SOI 波导混合集成的 InP 基倏逝波耦合光电探测器的设计。

## 2 Si 基 SOI 波导上 InGaAs/InP 探测器的研究进展

光探测波长主要应用于光通信的波段(1.31  $\mu\text{m}$  和 1.55  $\mu\text{m}$ ), Si 材料在此波段是透光的, 因此 SOI 上的 Si 波导将成为很好的导波介质。目前, SOI 波导可混合集成多种类型的 InGaAs/InP 探测器, 例如波导型 InGaAs PIN 光电探测器<sup>[19-22]</sup>、单载流子光电探测器(UTC-PD)<sup>[8]</sup>以及金属-半导体-金属(MSM)结构的光电探测器<sup>[7, 23]</sup>等。一般, III~V 族探测器与 SOI 波导集成的方式分为两大类, 一是直接在 SOI 上外延生长 III~V 族材料, 另一种是片上键合 III~V 族外延片。大的晶格常数失配及高热延展性系数使得用直接外延法来实现大规模集成变得非常困难, 而片上键合的方式不受晶格失配的影响, 因此成为当前主流的混合集成方式。同时, 光场从 SOI 波导向探测器吸收区的耦合方式也有多种。

### 2.1 SOI 与 III~V 族探测器键合技术

以片上键合方法制备 SOI 波导上的 InGaAs/InP 探测器的工艺流程如图 1 所示<sup>[20]</sup>, 未加工的 III~V 族外延片以键合方式混合集成在 SOI 波导片上。键合后, 去掉 InP 衬底, 以光刻技术完成 InGaAs 光电探测器的制备。其中, 裸片到晶圆键合的实现方法有多种, 本节将介绍两类用于 SOI 与 III~V 族探测器集成的低温片上键合技术, 两种技术均可实现高性能的 SOI 上 InGaAs/InP 光电探测器<sup>[7-8, 19-24]</sup>。基于不同的键合材料, 片上键合技术可分为无机材料键合和有机粘合剂键合。前者指  $\text{O}_2$  等离子体辅助片上键合和  $\text{SiO}_2$  共价键直接键合方式, 这种集成过程仅引入了无机材料; 后者指采用有机物作为粘合剂将 SOI 晶圆与 III~V 族外延片“粘贴”在一起的键合技术。

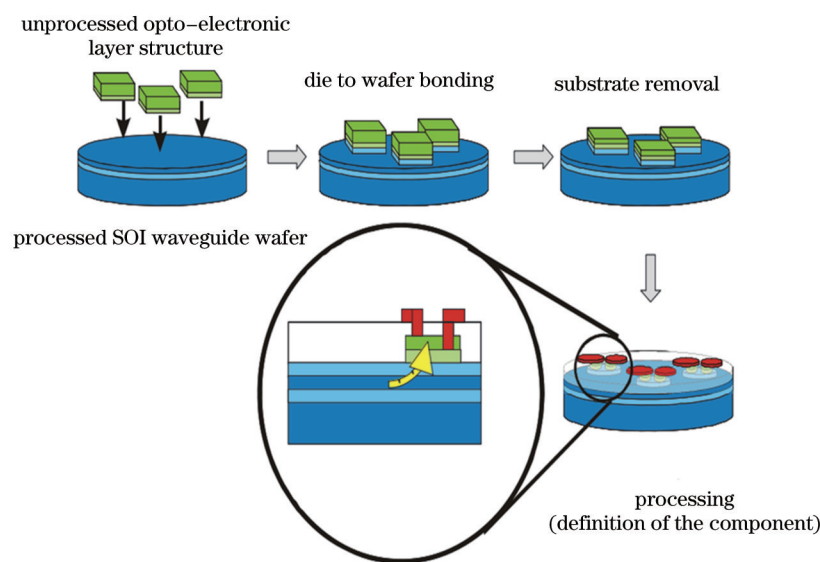


图1 III~V 族半导体与 SOI 波导混合集成的工艺流程图

Fig.1 Proposed process flow for heterogeneous integration of Group III-V semiconductors and SOI waveguide circuitry

### 2.1.1 O<sub>2</sub>等离子体辅助/SiO<sub>2</sub>共价键直接键合技术

O<sub>2</sub>等离子体表面处理可在低温(小于400 °C)退火情况下实现高键合强度,下文将讨论其键合机制。作为制备微电子级SOI晶圆的主导工序,SiO<sub>2</sub>共价键合是相对较老的方式,对其采用细致的表面处理,也可获得同样低温、高强度的键合标准。

图2所示为O<sub>2</sub>等离子体辅助和SiO<sub>2</sub>共价键合的工艺流程示意图<sup>[25]</sup>。严格清洗样品及显微镜检查后,用标准的HF及NH<sub>4</sub>OH(质量分数为39%)缓冲液分别去除SOI和InP片上的氧化物,获得干净且亲水性的片子表面。在O<sub>2</sub>等离子体辅助过程中,两种样品被放置在O<sub>2</sub>等离子体表面处理的环境中生长出一层极薄的等离子体氧化层(约15 nm)<sup>[26]</sup>,形成非常光滑的亲水性表面(均方根粗糙度小于0.5 nm)<sup>[27]</sup>。氧化物(SOI片上)的Si-O-Si键比在标准RCA-1中清洗或其他亲水性湿法化学处理下的传统氧化物更为顽固,容易断裂并形成新键<sup>[28]</sup>。O<sub>2</sub>高能离子轰击也可作为最终的清洁步骤,能够有效去除样品表面的碳氢化合物及一些亲水性物质。

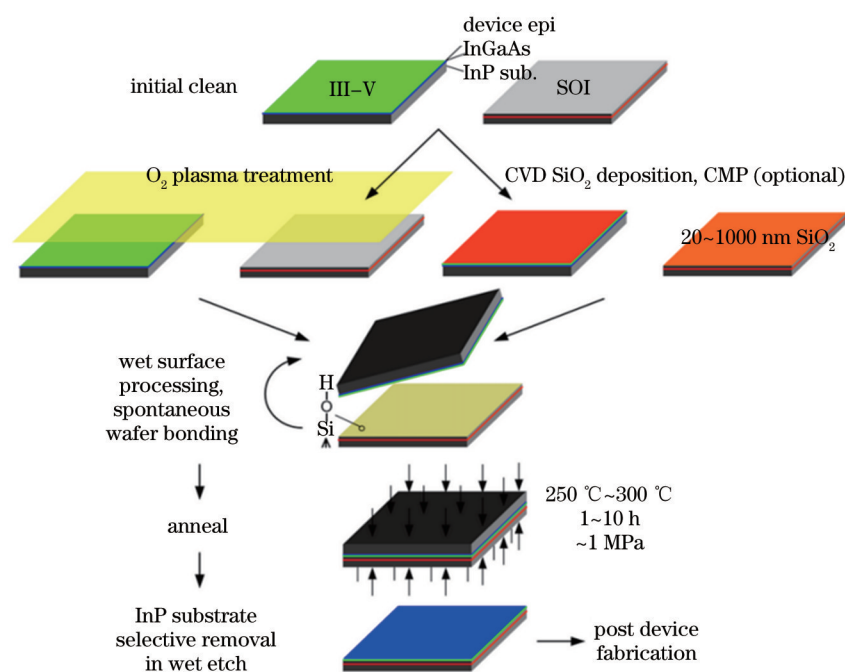


图2 O<sub>2</sub>等离子体辅助和SiO<sub>2</sub>共价键合的工艺流程示意图

Fig.2 Schematic process flow for O<sub>2</sub> plasma-assisted and SiO<sub>2</sub> covalent wafer bonding

对于SiO<sub>2</sub>共价键合,采用在两个样品表面沉积SiO<sub>2</sub>的方法获得干净的亲水性表面[例如采用等离子体增强型化学气相沉积(PECVD)SiO<sub>2</sub>]。若表面的均方根粗糙度超过1 nm,那便是承受普通光刻条件的键合强度所能容忍的最大表面粗糙度,可采用常规的化学机械抛光(CMP)改善表面形貌<sup>[29]</sup>。两种键合方式最终均需要一个激活步骤,用高浓度的极化羟基(-OH)钝化两个表面,在两个配合面之间建立搭桥键,从而在室温下形成自然键合。室温下快速的物理配合后,键合样品需在300 °C及同轴压强(1~2 MPa)下退火1 h或更长时间,形成强共价键。退火和冷却后,室温下采用体积分数为75%的HCL溶液选择性去除InP衬底,在Si上形成薄的InP基外延层。

### 2.1.2 有机键合技术

除上述直接键合方法外,有机键合也可用于将III-V族外延片集成在SOI波导上。常用的有机键合剂有聚酰亚胺、环氧树脂、旋涂玻璃(SOG)、光刻胶、SU-8、二乙烯基硅氧烷-双苯丙环丁烯以及热固性聚合物(DVS-BCB)等。本节将主要介绍DVS-BCB和SOG键合技术。

陶氏化学公司的DVS-BCB是一种可热固化的低聚物,可被旋转涂抹在片子表面,厚度可在1~25 μm内进行控制<sup>[30]</sup>,而且对于450~1550 nm波长的光,BCB是高度透明的<sup>[31]</sup>。其键合过程如图3所示<sup>[25]</sup>。首先将InP基的外延片解理成小片(通常尺寸在25~100 mm<sup>2</sup>之间),用热塑性粘合剂或热释胶带暂时安装在一个玻璃载体上。旋转涂抹BCB前,清洁SOI和InP基外延片至关重要,其细节描述在文献[25]中。清洁之后,在

SOI波导片上旋转涂抹附着力促进剂(AP-3000,陶氏化学),然后将DVS-BCB旋涂在III~V族外延片上。为了获得从SOI波导向III~V族探测器有源区的高效光耦合,键合区BCB厚度应尽量薄,可用均三甲苯稀释商用的DVS-BCB来获得所需的键合层厚度(小于150 nm)。一般情况下,SOI波导的刻蚀深度(220 nm)甚至比SOI波导与III~V族之间的键合层厚度还要大,采用BCB仍能获得很好的平坦化,如图4(a)所示<sup>[23]</sup>。旋涂完成后,SOI在150 °C下加热1 min蒸发掉残余的均三甲苯溶剂,避免在键合界面产生空隙。将III~V族外延片倒扣贴在SOI波导上,此步骤尽量在超净或真空环境下进行。150 °C下片子附着之后,对III~V族/DVS-BCB/SOI结构在250 °C下进行修正。显然,此过程并未引入副产品,可实现无间隙的键合。

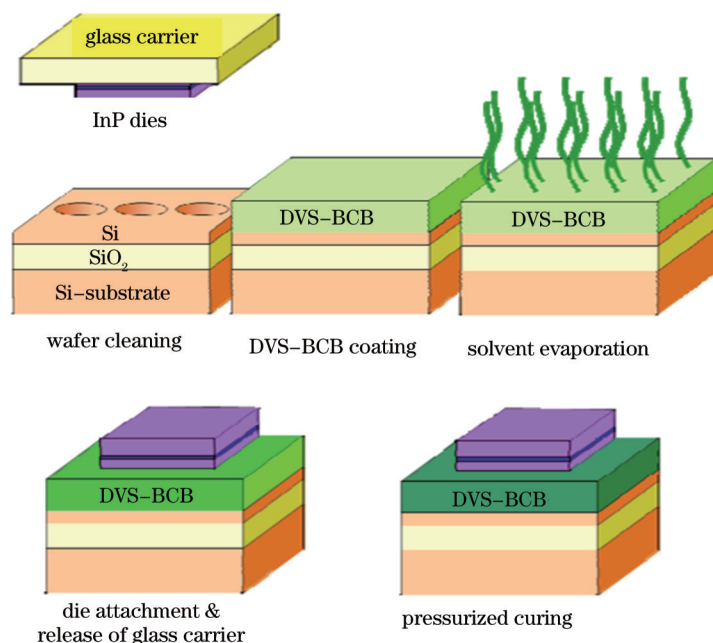


图3 裸片到晶圆的DVS-BCB键合工艺

Fig.3 Overview of the DVS-BCB die-to-wafer bonding process

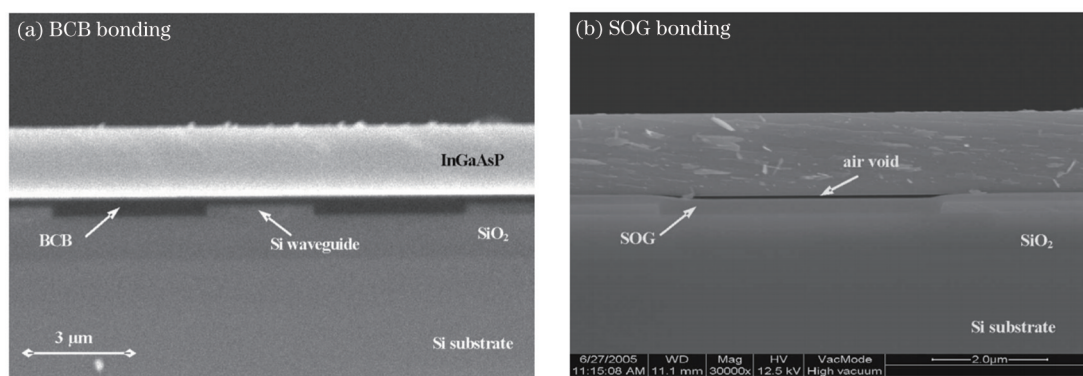


图4 (a) BCB键合和(b) SOG键合后的扫描电子显微镜(SEM)剖面图

Fig.4 SEM cross-section images of (a) BCB bonding and (b) SOG bonding

与DVS-BCB相比,SOG可用于获得更薄的键合层<sup>[32]</sup>,旋涂厚度可达到100~400 nm。比利时根特大学光子学研究组Brouckaert等<sup>[23]</sup>对SOG键合进行了报道,采用0.5 cm×0.5 cm大小的片子分别键合在Si样品和有波导结构的SOI样品上。在Si/SOI样品上旋涂了SOG后,在150 °C热板上加热5 min去除溶剂,然后将InP基外延片真空室温下键合在Si/SOI样品上,为了提高键合强度,将样品置于300 °C氮气环境2 h进行修正。去除衬底后,键合在Si上的III~V族外延片没有出现脱层或间隙,而键合在SOI上的样品重复性较差,如图4(b)所示,平坦化特性较差的SOG在键合层界面引入了间隙,此间隙会在去除衬底的过程中裂缝或脱层。图4(a)、(b)中,SOI样品的形貌和键合层厚度差不多,但BCB有较好的平坦化特性,因此,在有结构的

SOI上,BCB键合更具可重复性。

通过O<sub>2</sub>等离子体辅助/SiO<sub>2</sub>共价键直接键合技术和有机物键合技术分析得出,两种方法在低温条件下均可获得高强度、低应力及稳定的键合。表1总结了两种键合技术的特征<sup>[25]</sup>。相比直接键合,有机物键合不要求特殊的表面处理,并允许一些表面形貌,这使得键合过程简单化。而直接键合可实现非常临近的键合,有益于III~V材料与SOI光子集成平台间的光耦合和热传递,最小化或排除了除气问题。两种技术均可实现不同类材料的键合,且不改变材料的特性,选择哪种方式由具体的器件设计和应用决定。

表1 直接键合与有机物键合的基本键合特征

Table 1 Basic bonding characteristic of direct bonding and adhesive bonding

Bonding characteristic	Direct bonding	Adhesive bonding
Bonding strength(lower than 400 °C)	High	High
Process complexity	Medium	High
Tolerance to surface defects, roughness and contamination	Low	High~medium
Bonding-induced strain	Low	Low
Integration proximity	High	High~medium
Intrinsic outgassing problem	High	Low
Uniformity	High	High~medium
Stability	High	High
Scalability	High	High

## 2.2 SOI波导与III-V族探测器的光耦合方式

SOI波导与探测器的耦合方式包括垂直光耦合和倏逝波光耦合。垂直光耦合的探测器类似于传统的背入光探测器,键合过程较简单,但存在响应度带宽相互制约的问题;倏逝波光耦合探测器采用边入光方式,解决了响应度带宽的相互制约问题,提高响应度的同时亦可实现高速光探测。

### 2.2.1 垂直光耦合

比利时根特大学Roelkens等<sup>[20]</sup>提出了一种垂直光耦合SOI波导上的InGaAs/InP探测器,采用简单的耦合方式将光从纳米光波导耦合到键合在SOI上的探测器中,使用光栅将光引出SOI波导,通过键合层进入探测器。其立体示意图如图5所示<sup>[10]</sup>。此探测器采用了较厚的BCB键合层(大于1 μm),键合过程相对容易。10 μm×10 μm的探测器在偏压1 V时的暗电流为0.3 nA,测量的响应度在1550 nm为0.02 A/W,响应度偏低,一方面由于PIN探测器没有优化,若增加InGaAs吸收层厚度,可提高探测器的响应度;另一方面是由于厚的BCB层在BCB/InP和SiO<sub>2</sub>/Si界面形成了一个谐振腔,光向探测器耦合的同时,一部分向衬底发生耗散。

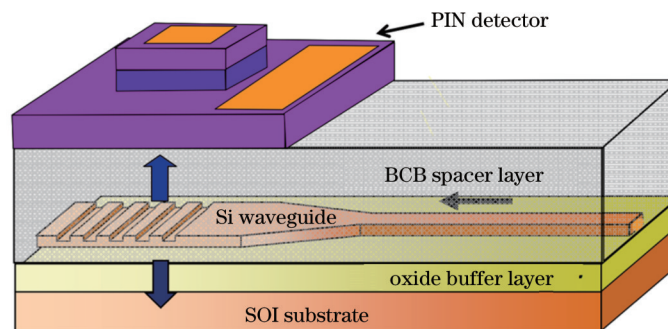


图5 与SOI波导集成的p-i-n探测器示意图

Fig.5 Schematic view of an SOI waveguide-integrated PIN detector

此方案键合层较厚,键合工艺易于实现,结构类似于传统的背入光探测器,大的吸收层厚度可提高探测器响应度,但也会增加载流子渡越时间,影响探测器的高速应用,存在响应度与带宽相互制约的问题,倏逝波光耦合探测器即可很好解决这一问题。

### 2.2.2 倏逝波光耦合

波导探测器在不牺牲效率及频带宽度的情况下可提高探测器的带宽,这是因为光传播路径与载流子输运路径相垂直,器件响应度是吸收区长度而非厚度的函数。光从SOI波导以倏逝波的形式,通过键合层,沿器件长度方向逐渐向探测器耦合。根特大学Brouckaert等采用基于本征模式扩张的三维矢量仿真软件对

不同BCB厚度下,倏逝波光耦合探测器吸收功率百分比随器件长度的变化进行了计算,如图6所示<sup>[23]</sup>,可以看出,BCB键合层越厚,光被完全吸收所需的器件长度就越大,因此,对于倏逝波耦合探测器,键合层越薄越好。下面将分析不同结构的倏逝波耦合探测器的光耦合机制。

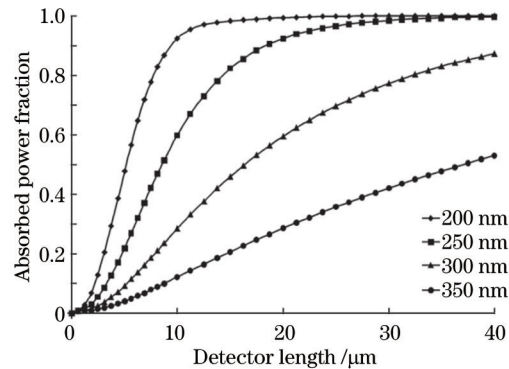


图6 不同键合层厚度下吸收功率随探测器长度变化的曲线

Fig.6 Absorption as a function of detector length for different bonding layer thicknesses

1) 直接将探测器对准制备在Si波导上,波导在探测器下水平穿过,如图7所示。日本东芝公司Ohira等<sup>[7]</sup>所报道的集成在Si波导上的InGaAs金属-半导体-金属光电探测器(MSM-PD)和根特大学Sheng等<sup>[21]</sup>所报道的Si波导上的PIN探测器均采用了此种光耦合结构。光直接以倏逝波的形式沿器件长度向InGaAs吸收层中耦合。Sheng等<sup>[21]</sup>所报道的探测器,对器件的P接触结构进行了优化,将P金属与P-InGaAs的中间部分去除,减小了光在P金属与P-InGaAs中的损耗,取得了10 pA的暗电流及40  $\mu\text{m}$ 长器件下1.1 A/W的响应度(不包含波导中的损耗),但由于P接触结构仅出现在器件的两边,中间的光生载流子生成区域电场较弱,载流子不能及时被收集,影响了器件的高速应用。此结构制备工艺较简单,对探测器结构进行优化可实现高响应度高速光探测。

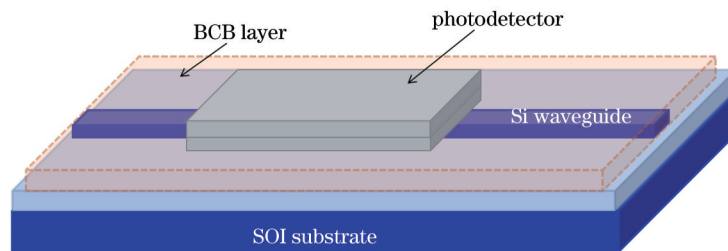


图7 与SOI波导直接耦合的探测器的三维示意图

Fig.7 Three-dimensional view of detector direct-coupled with SOI waveguide circuitry

2) 探测器与Si波导之间采用了锥形的耦合器。美国弗吉尼亚大学Beling等<sup>[8]</sup>报道了将SOI波导与InP基的修正单载流子光电探测器(MUTC-PD)集成的波导探测器。采用了2  $\mu\text{m}$ 宽的Si波导,在接近探测器前

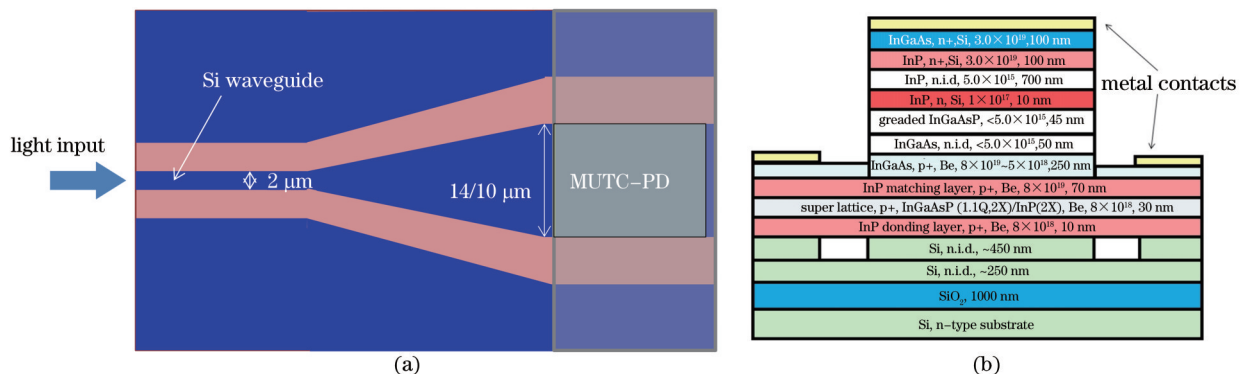


图8 SOI波导上的(a)MUTC-PD的俯视图和(b)端面层结构图

Fig.8 (a) Top and (b) cross-sectional views of MUTC-PD on SOI

端, Si波导以锥形的方式加宽至  $14(10) \mu\text{m}$ , 从而与 MUTC-PD 的有源区宽度相匹配。其俯视结构示意图和端面层结构图如图 8 所示<sup>[8]</sup>。此探测器采用了  $\text{O}_2$  等离子体辅助的键合方式, PD 区与波导区之间紧密贴合, Si 波导中的光强通过锥形耦合器被均匀分散在整个 PD 宽度范围内, 并被吸收区均匀充分地吸收, 采用较宽的 PD 可减小吸收区中的光峰强度, 从而提高了饱和电流。

3) 采用双步倏逝波耦合的方式实现 Si 波导与 PD 的光耦合。荷兰埃因霍温理工大学 Binetti 等<sup>[19]</sup> 采用了伸出的 InP 输入波导, 首先将光从 Si 波导耦合到 InP 波导中, 再通过 InP 波导向上耦合到探测器中, 其结构如图 9 所示, 此探测器采用了  $\text{SiO}_2$  共价直接键合, 实现了响应度为  $0.45 \text{ A/W}$  及带宽为  $33 \text{ GHz}$  的高性能 SOI 波导探测器。

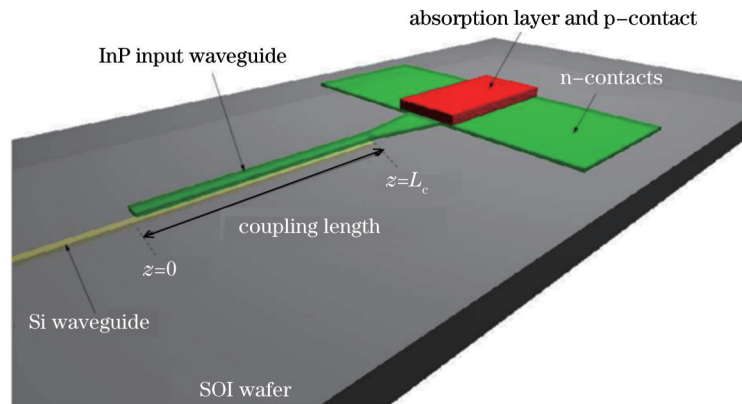


图9 采用 InP 输入波导将光从 SOI 波导耦合到光电探测器的耦合方案

Fig.9 Coupling scheme to couple light from an SOI waveguide to photodetector with a InP input waveguide

4) 采用对接光耦合的方式实现 SOI 波导向 InGaAs/InP 光电探测器的光耦合。比利时根特大学 Roelkens 等<sup>[24]</sup> 报道了 InGaAs/InP 的激光器与探测器集成在 SOI 波导上的研究, 探测器与激光器都采用了这种对接耦合的方式, 其三维结构如图 10 所示, 以 BCB 键合方式, 采用了理想绝热的倒锥形结构来达到良好的耦合效率及制造容差, 采用倒锥形绝热结构的目的是将 III-V 族有源区与聚合物波导对接耦合, 随着 Si 波导区域截面逐渐减小, 光从 SOI 波导耦合到聚合物波导中, 再由聚合物波导对接耦合进入 PD 吸收层中。聚合物波导在制作时与 III-V 族有源区自对准, 消除了由于波导未对准而引入的光损耗。Si 倒锥形结构埋在聚合物波导下, 倒锥尖应足够小, 从而使尖部的基本光模式与聚合物波导的光模式尽量相似<sup>[24]</sup>。此探测器在  $50 \mu\text{m}$  长度下获得了  $0.23 \text{ A/W}$  的响应度。

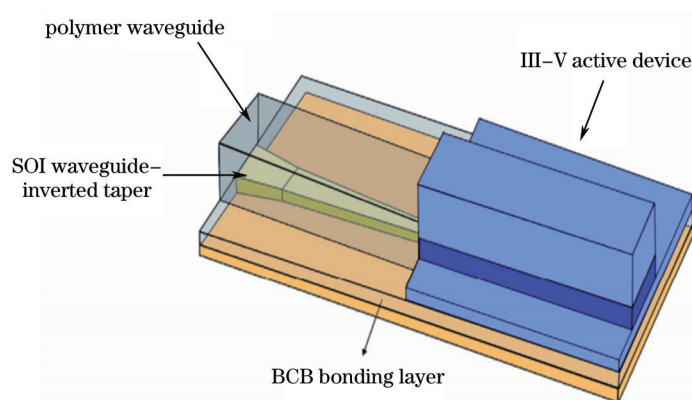


图10 以对接耦合方式实现光从 SOI 波导向 III-V 族有源器件耦合的结构示意图

Fig.10 Schematic view of coupling light from SOI waveguide to III-V active device using butt coupling scheme

本节介绍了最新的 SOI 波导与 III-V 族探测器集成的光耦合方式, 相比于垂直耦合, 倏逝波耦合方式具有突出优势, 光沿硅波导以倏逝波形式耦合到探测器吸收层中, 光传播路径与载流子输运路径垂直, 器件响应度是吸收区长度而非厚度的函数, 可在不牺牲效率及频带宽度的情况下提高探测器的带宽, 此外, 这种结构对准容差大, 工艺较简单。采用哪一种耦合方式要从工艺制备的复杂度与器件特性的需求两方面考虑,

从而实现与 CMOS 工艺相兼容、制备简单且具有良好特性的 SOI 波导上的 InGaAs/InP 探测器。

### 2.3 SOI 波导上倏逝波耦合的 InGaAs/InP 高效光电探测器

中国科学院半导体研究所 Liu 等<sup>[33]</sup>报道了一种 InP 基高性能倏逝波耦合的波导探测器,在此研究基础之上本文作者又采用 BCB 键合技术,将此 InP 基倏逝波耦合探测器倒扣集成在 SOI 波导上,理论上得到高效耦合的 InGaAs/InP SOI 集成探测器结构。

器件工艺中将生长的外延片以 100 nm BCB 键合在 SOI Si 波导衬底上,去掉衬底后以 III~V 族探测器的工艺流程完成整个器件的制备。其端面剖面图及侧向剖面图如图 11 所示。采用 SOI 上的光栅耦合器将光纤中的光信号耦合到 Si 波导中,光以倏逝波的形式从 Si 波导先耦合进入 InP 波导,再由 InP 波导传输,耦合进入探测器吸收层中。

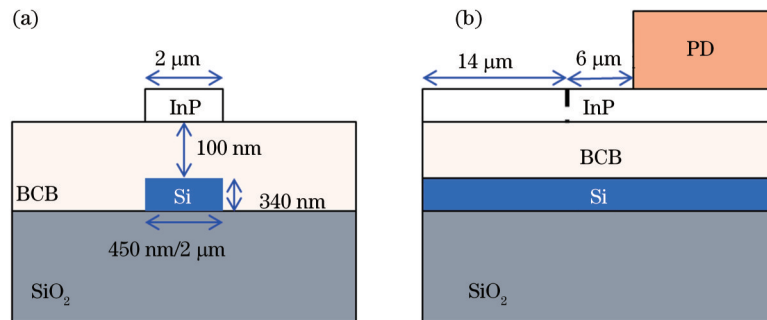


图 11 SOI 波导上 InGaAs/InP 探测器的(a)端面剖面图及(b)侧向剖面图

Fig.11 (a) Coupler cross-section and (b) coupler side views of the InGaAs/InP photodetector on SOI circuitry

图 12 为采用时域有限差分 (FDTD) 法计算模拟的 SOI 波导上探测器的光场分布图,示例中 InP 波导宽 2  $\mu\text{m}$ , PD 大小为 5  $\mu\text{m} \times 20 \mu\text{m}$ , Si 波导宽 450 nm, 厚 340 nm, 图 12(a) 为整个器件沿光传播方向的光场分布, 图 12(b)~(d) 分别为 Si 波导中、Si 波导与 InP 波导耦合处以及 PD 台阶处的端面光场分布图。从图 12 中光场分布可以看出, 光在 Si 波导中单模传输[图 12(b)], 到达 InP 波导时发生耦合[图 12(c)], 最终在 p-i-n PD 台阶处被吸收[图 12(d)], 光场减弱。

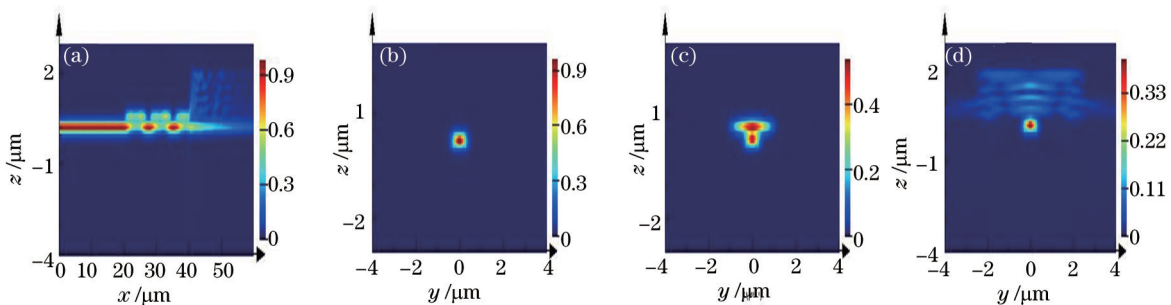


图 12 (a) 模拟的整个器件沿光传播方向的光场分布;(b)~(d) 分别为 Si 波导中、Si 波导与 InP 波导耦合处以及 PD 台阶处的端面光场分布

Fig.12 (a) Simulated optical intensity profile as light propagates through the whole device; (b)~(d) depict the simulated field intensity profiles in the Si waveguide, InP waveguide coupled from Si waveguide and PD mesa, respectively

对于 SOI 衬底上 Si 波导宽度为 450 nm 和 2  $\mu\text{m}$  的探测器进行模拟, 探测器宽度均为 5  $\mu\text{m}$ , 得到图 13 所示的器件光吸收率沿波导传输方向的分布图, 采用模式光源, 光从 Si 波导向 InP 波导中低损耗耦合传输, 进入探测器台面后, 光功率会逐渐减小, 器件光吸收效率逐渐增大。仿真结果显示, 两种器件分别在 20  $\mu\text{m}$  和 30  $\mu\text{m}$  长度下即可获得 95% 的高效吸收, 表明该 SOI 波导集成的光电探测器可实现小体积、低损耗及高响应度的光探测。此探测器正在制备与测试中。

## 3 结束语

综述了 SOI 波导上的 InGaAs/InP 光电探测器的相关研究, 包括 III~V 族外延片与 SOI 波导集成的不同键合方式的探测器, 从 SOI 波导向探测器吸收区的不同光耦合方式的分析, 并给出自行设计的一种倏逝波耦



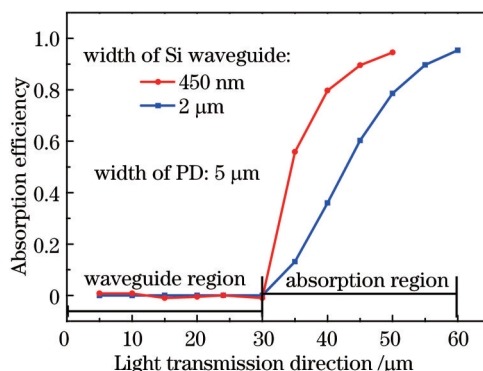


图13 不同Si波导宽度下(450 nm/2  $\mu\text{m}$ )光吸收效率沿光传输方向的分布

Fig.13 Simulated optical absorption efficiency distribution with different widths of Si waveguide (450 nm/2  $\mu\text{m}$ )

合的SOI波导集成的高效InGaAs/InP光电探测器。总之,人们试图采用最佳的光耦合方式,通过将高性能的InGaAs/InP光电探测器键合在SOI波导上,实现了高速、高响应度及低损耗的光接收器,提供了片上光子集成电路的一种实现途径,为实现与CMOS工艺相兼容的大规模甚至超大规模的硅光子集成提供了基础,从而推进了高可靠性、低损耗且低成本的高密度数据传输系统的发展。

### 参考文献

- 1 D A Miller. Optical interconnects to silicon [J]. IEEE J Sel Top Quantum Electron, 2000, 6(6): 1312-1317.
- 2 A Beling, H-G Bach, G G Mekonnen, *et al.*. Miniaturized waveguide-integrated pin photodetector with 120-GHz bandwidth and high responsivity [J]. IEEE Photon Technol Lett, 2005, 17(10): 2152-2154.
- 3 J Van Campenhout, P R Binetti, P R Romeo, *et al.*. Low-footprint optical interconnect on an SOI chip through heterogeneous integration of InP-based microdisk lasers and microdetectors [J]. IEEE Photon Technol Lett, 2009, 21(8): 522-524.
- 4 Dong Xiaye, Li Hongqiang, Chen Hongda, *et al.*. Design of a 2 $\times$ 2 MMI coupler based on SOI [J]. Laser & Optoelectronics Progress, 2012, 49(9): 090602.  
董夏叶, 李鸿强, 陈弘达, 等. 基于SOI的2 $\times$ 2 MMI耦合器的设计[J]. 激光与光电子学进展, 2012, 49(9): 090602.
- 5 R A Soref, J P Lorenzo. All-silicon active and passive guided-wave components for  $\lambda = 1.3$  and 1.6 microns [J]. IEEE Journal of Quantum Electronics, 1986, 22(6): 873-879.
- 6 M Salib, L Liao, R Jones, *et al.*. Silicon photonics [J]. Intel Technology Journal, 2004, 8(2): 143-161.
- 7 K Ohira, K Kobayashi, N Lizuka, *et al.*. On-chip optical interconnection by using integrated III-V laser diode and photodetector with silicon waveguide [J]. Opt Express, 2010, 18(15): 15440-15447.
- 8 A Beling, A S Cross, M Piels, *et al.*. InP-based waveguide photodiodes heterogeneously integrated on silicon-on-insulator for photonic microwave generation [J]. Opt Express, 2013, 21(22): 25901-25906.
- 9 M Kostrzewa, L Di Cioccio, M Zussy, *et al.*. InP dies transferred onto silicon substrate for optical interconnects application [J]. Sensors and Actuators A: Physical, 2006, 125(2): 411-414.
- 10 T Maruyama, T Okumura, S Arai. Direct wafer bonding of GaInAsP/InP membrane structure on silicon-on-insulator substrate [J]. Japanese Journal of Applied Physics, 2006, 45(11R): 8717.
- 11 G Roelkens, J Brouckaert, D Van Thourhout, *et al.*. Adhesive bonding of InP/InGaAsP dies to processed silicon-on-insulator wafers using DVS-bis-benzocyclobutene [J]. Journal of the Electrochemical Society, 2006, 153(12): G1015-G1019.
- 12 J Liu, J Michel, W Giziewicz, *et al.*. High-performance, tensile-strained Ge pin photodetectors on a Si platform [J]. Appl Phys Lett, 2005, 87(10): 103501.
- 13 I Christiaens, G Roelkens, K D Mesel, *et al.*. Thin-film devices fabricated with benzocyclobutene adhesive wafer bonding [J]. J Lightwave Technol, 2005, 23(2): 517-523.
- 14 A Jourdain, P De Moor, K Baert, *et al.*. Mechanical and electrical characterization of BCB as a bond and seal material for cavities housing (RF-) MEMS devices [J]. Journal of Micromechanics and Microengineering, 2005, 15(7): S89.
- 15 M Jutzi, M Berroth, G Wohl, *et al.*. Ge-on-Si vertical incidence photodiodes with 39-GHz bandwidth [J]. IEEE Photon

- Technol Lett, 2005, 17(7): 1510–1512.
- 16 L Chen, P Dong, M Lipson. High performance germanium photodetectors integrated on submicron silicon waveguides by low temperature wafer bonding [J]. Opt Express, 2008, 16(15): 11513–11518.
- 17 L Chen, M Lipson. Ultra-low capacitance and high speed germanium photodetectors on silicon [J]. Opt Express, 2009, 17(10): 7901–7906.
- 18 L Vivien, J Osmond, J–M Fédéli, *et al.*. 42 GHz pin germanium photodetector integrated in a silicon-on-insulator waveguide [J]. Opt Express, 2009, 17(8): 6252–6257.
- 19 P Binetti, X Leijtens, T De Vries, *et al.*. InP/InGaAs photodetector on SOI photonic circuitry [J]. IEEE Photonics Journal, 2010, 2(3): 299–305.
- 20 G Roelkens, J Brouckaert, D Taillaert, *et al.*. Integration of InP/InGaAsP photodetectors onto silicon-on-insulator waveguide circuits [J]. Opt Express, 2005, 13(25): 10102–10108.
- 21 Z Sheng, L Liu, J Brouckaert, *et al.*. InGaAs PIN photodetectors integrated on silicon-on-insulator waveguides [J]. Opt Express, 2010, 18(2): 1756–1761.
- 22 L Li, A Higo, R Takigawa, *et al.*. Silicon/III – V material active layer heterointegrated vertical PIN waveguide photodiode by direct bonding [C]. 16th International Solid-State Sensors, Actuators and Microsystems Conference, 2011. 2502–2505.
- 23 J Brouckaert, G Roelkens, D Van Thourhout, *et al.*. Thin-film III – V photodetectors integrated on silicon-on-insulator photonic ICs [J]. J Lightwave Technol, 2007, 25(4): 1053–1060.
- 24 G Roelkens, D Van Thourhout, R Baets, *et al.*. Laser emission and photodetection in an InP/InGaAsP layer integrated on and coupled to a Silicon-on-Insulator waveguide circuit [J]. Opt Express, 2006, 14(18): 8154–8159.
- 25 D Liang, G Roelkens, R Baets, *et al.*. Hybrid integrated platforms for silicon photonics [J]. Materials, 2010, 3(3): 1782–1802.
- 26 D Liang, D C Chapman, Y Li, *et al.*. Uniformity study of wafer-scale InP-to-silicon hybrid integration [J]. Appl Phys A, 2011, 103(1): 213–218.
- 27 D Liang, J Bowers, D Oakley, *et al.*. High-quality 150 mm InP-to-silicon epitaxial transfer for silicon photonic integrated circuits [J]. Electrochemical and Solid-State Letters, 2009, 12(4): H101–H104.
- 28 D Pasquariello, K Hjort. Plasma-assisted InP-to-Si low temperature wafer bonding [J]. IEEE J Sel Top Quantum Electron, 2002, 8(1): 118–131.
- 29 K Warner, D Oakley, J Donnelly, *et al.*. Layer transfer of FDSOI CMOS to 150 mm InP substrates for mixed-material integration [C]. International Conference on Indium Phosphide and Related Materials Conference, 2006.
- 30 D Chemicals. Processing procedures for CYCLOTENE 3000 series resin [J/OL]. <http://www.dow.com/cyclotene>.
- 31 Y–G Zhao, W–K Lu, Y Ma, *et al.*. Polymer waveguides useful over a very wide wavelength range from the ultraviolet to infrared [J]. Appl Phys Lett, 2000, 77(19): 2961–2963.
- 32 D Cengher, Z Hatzopoulos, S Gallis, *et al.*. Fabrication of GaAs laser diodes on Si using low-temperature bonding of MBE-grown GaAs wafers with Si wafers [J]. Journal of Crystal Growth, 2003, 251(1): 754–759.
- 33 S Q Liu, X H Yang, Y Liu, *et al.*. Design and fabrication of a high-performance evanescently coupled waveguide photodetector [J]. Chinese Physics B, 2013, 22(10): 108503.