

基于千兆以太网的 CCD 相机设计

门金瑞^{1,2} 姚大志^{1,2} 韦伟³

¹中国科学院紫金山天文台, 江苏 南京 210008

²中国科学院空间目标与碎片观测重点实验室, 江苏 南京 210008

³钟山职业技术学院, 江苏 南京 210049

摘要 基于目前国内科学级 CCD 相机普遍采用 USB2.0, 其传输速度较低, 传输距离较短的现状, 设计了一款基于千兆以太网接口的 CCD 相机。采用 Altera 公司的 Cyclone II 系列 FPGA 建立 NIOS II 软核做控制器, 采用物理层 (PHY) 芯片加数据链路层 (MAC) 芯片的结构建立千兆以太网传输系统。实验中传输速率最高可达 700 Mb/s, 传输距离可达 50 m, 从而解决了现存 CCD 相机存在的两大问题。

关键词 图像处理; 嵌入式; 千兆以太网; 物理层; 数据链路层

中图分类号 TB852 **文献标识码** A **doi**: 10.3788/LOP49.032203

Design of CCD Camera Based on Gigabit Ethernet

Men Jinrui^{1,2} Yao Dazhi^{1,2} Wei Wei³

¹Purple Mountain Observatory, Chinese Academy of Sciences, Nanjing, Jiangsu 210008, China

²Key Laboratory of Space Object and Debris Observation, Chinese Academy of Sciences, Nanjing, Jiangsu 210008, China

³Zhongshan Vocational Technology College, Nanjing, Jiangsu 210049, China

Abstract Domestic science-grade CCD camera generally uses USB 2.0 and its transmission speed is low. Thus, transmission distance is relatively short. In this paper, a CCD camera based on gigabit ethernet interface is designed. A NIOS II soft core system is established by using Altera Company's FPGA (Cyclone II series) as the control system, and a gigabit ethernet transmission system by using the physical layer chip and data link layer chip structure. The transmission speed of the system is up to 700 Mbit/s, and the transmission distance is up to 50 m, so the existing two problems of CCD camera can be overcome.

Key words image processing; embedded; gigabit ethernet; physical layer; data link layer

OCIS codes 220.4830; 040.5160; 100.2000; 110.2970

1 引言

电荷耦合器件 (CCD) 是一种半导体装置, 能够把光学影像转化为数字信号, 由于 CCD 具有良好的线性和饱和度, 采用 CCD 芯片制成的相机现在已被广泛应用到天文观测、军事侦察、医疗生化等领域。

千兆以太网利用原以太网标准所规定的全部技术规范, 其中包括 CSMA/CD 协议、以太网帧、全双工、流量控制以及 IEEE802.3 标准中所定义的管理对象, 其继承了以太网传输距离远 (点对点可达 100 m)、容易组网、容易扩展等特点, 同时提高了传输的带宽^[1]。

目前的 CCD 数据采集系统与计算机通讯接口一般是基于 PCI 总线, Camera link, USB2.0 总线, IEEE1394b 或者 RS232 串行总线。其中 USB2.0 总线使用最广泛, 许多科学级 CCD 制造商都采用 USB2.0 通讯协议, 且都是单通道传输数据。如 Apogee 公司 Alta U6 和 Andor Newton EMCCD, 这些相机的传输速率大都在 20 Mbyte/s, 相机的通讯距离大约 10 m。图像数据的传输距离受到了很大的限制, 也难以实现 PC 机同时控制多台 CCD。为了解决这一局限性, 本文研制了一款基于现场可编程门阵列 (FPGA) 的千兆以太

收稿日期: 2011-09-21; 收到修改稿日期: 2011-10-14; 网络出版日期: 2012-01-10

作者简介: 门金瑞 (1984—), 男, 工程师, 主要从事 CCD 相机研制方面的研究。E-mail: menjinrui@gmail.com

网科学级 CCD 相机, 并对在 CCD 相机中嵌入千兆以太网模块进行了阐述。

2 千兆以太网 CCD 相机总体设计

完整的千兆以太网 CCD 相机系统包括机械设计、真空制冷模块、光学镜头、CCD 芯片、CCD 时序驱动电路、图像数据采样模块、千兆以太网数据传输模块等, 其主要的数字系统模块如图 1 所示。

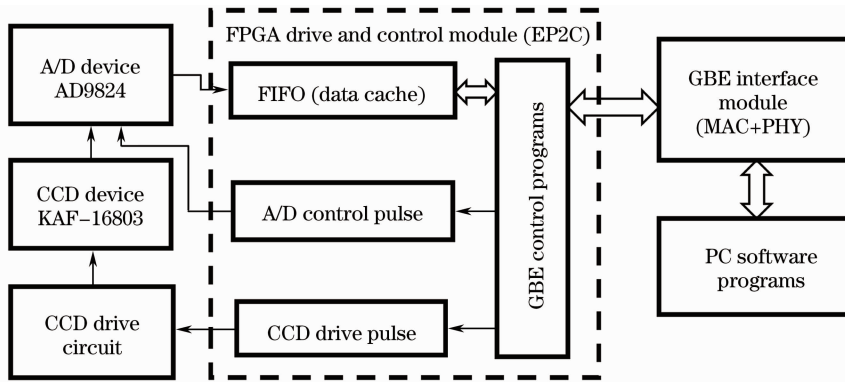


图 1 千兆以太网 CCD 相机系统框图

Fig. 1 Structure of gigabit ethernet CCD camera system

在图 1 中可见 FPGA 为系统的主控模块, 其采用 Altera 公司 cyclone II 系列的 EP2C20F484C8 芯片, 可以在系统中生成 NIOS II 软核, 采用 Verilog HDL 语言编写 CCD 芯片、AD9824 和 AX88180 的驱动 IP 核, 并由 NIOS II 软核进行控制, NIOS II 软核控制程序采用 C 语言编写管理各个模块协调工作。CCD 芯片采用柯达公司的 KAF-16803 芯片, 其分辨率为 $4096(H) \text{ pixel} \times 4096(V) \text{ pixel}$ ^[2]。A/D 转换模块采用 ADI 公司专门用于 CCD 数据采集的芯片 AD9824, 其采样精度为 14 位^[3]。千兆以太网接口传输模块采用物理层 (PHY) 芯片加数据链路层 (MAC) 芯片的结构, 其中 MAC 采用台湾亚信电子的 Non-PCI 千兆以太网控制芯片 AX88180, PHY 采用迈威科技的千兆以太网物理层芯片 88E1111。整个系统通过网络变压器及 RJ45 接口用五类双绞线与上位机千兆网卡相连。

系统的工作过程为: FPGA 接收到上位机的控制信号, 首先发出快门驱动信号打开快门, 使得 CCD 图像传感器感光, CCD 芯片在驱动电路的时序控制下将模拟信号送至 A/D 转换器转换为数字信号, 数字信号经过 FIFO 缓冲后, 通过千兆以太网控制器发送至网络, 最后上位机接收到图像信息并显示。

3 千兆以太网 CCD 相机关键模块设计

3.1 CCD 时序及 AD9824 采集控制

CCD 芯片采用柯达公司的 KAF-16803 芯片, 其像素为 $4096(H) \text{ pixel} \times 4096(V) \text{ pixel}$, 两相驱动读出, 最大支持 10 MHz 的采样频率, 既可用于光谱分析, 又可用于成像观测, CCD 的像素时序如图 2 所示^[2]。其中 RG (Reset Gate) 连接 CCD 芯片的 RG 输入端口, 其作用是每次行转移时将转移像素电荷清空; H1, H2 为两个行转移信号, 其控制 CCD 芯片一行的像素按顺序读出送入

AD 转换器转换为数字信号; V_{OUT} 为 CCD 像素输出信号, 每一个 H1(H2) 时钟周期输出一个像素的模拟量, 其通过 AD 转换为数字信号。CCD 芯片所需的行转移信号、列转移信号及复位信号由 FPGA 按照时序逻辑发出, 先送给驱动芯片, 再经过稳压器后产生 CCD 芯片的驱动信号。CCD 芯片输出的是光感的模拟量信号, 需将其转换为数字量。系统中采用的 A/D 转换芯片是 AD9824, 它是面向 CCD 应用的完善的低功耗单通道模拟信号处理器, 片内含有最高 30 MS/s 相关双采样电路 (CDS)、像素增益放大器、可编程增益放大器、14 位精度最高采样率为 30MS/s 的 A/D 转换器等。使用时可在外部对输入量进行调节, 使其在最大线

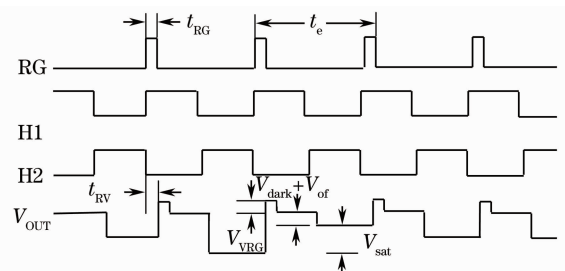


图 2 KAF-16803 像素时序图

Fig. 2 Pixel timing diagram of KAF-16803

性范围内。图像数据的数字化转换原理如图 3 所示^[3]。图中 SHP,SHD 为 AD9824 双关相采样的驱动信号,在其驱动下 AD9824 每一个时钟周期将一个像素的 CCD 信号转换数字信号。

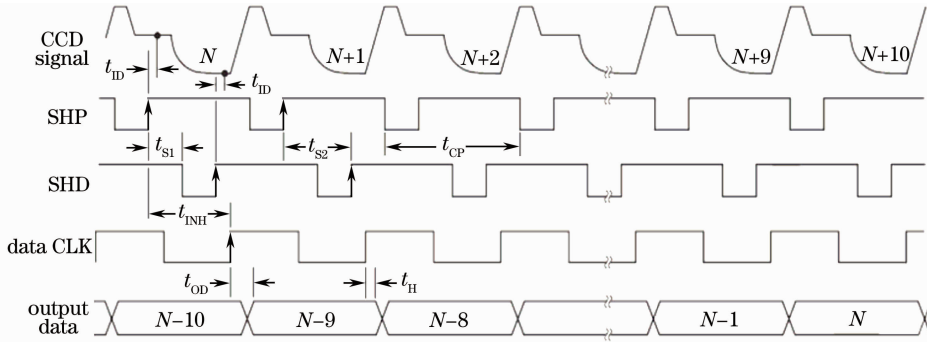


图 3 AD9824 转换时序图

Fig. 3 Timing diagram of AD9824

3.2 千兆以太网接口设计

3.2.1 千兆以太网接口硬件设计

千兆以太网接口模块是本系统的数据传输模块,其采用 MAC 芯片加 PHY 芯片的结构设计。其中 MAC 芯片采用的 AX88180,其适用于多种需要的高速接入网络的嵌入式系统,内置 10/100/1000 Mb/s 的以太网数据链路层(MAC)控制器,符合 IEEE 802.3/IEEE 802.3u/IEEE 802.3ab 协议。PHY 芯片采用 88E1111,其是一款包含三种传输速度 10/100/1000 Mb/s 的自适应型物理层传输芯片^[4]。

AX88180 内置以太网媒体存取控制器,其与 PHY 之间采用 RGMII 接口,通过数据输入/输出管理接口(MDIO)对 PHY 进行管理。内置的主机接口控制器,可以与 16/32 位主机方便连接,寻址方式与 SRAM 相同,主机可以对其内置的 64 Kb SRAM 网络封包缓存器及配置寄存器进行操作,其中 256 字节作为配置寄存器空间,32 Kb 用于从 PHY 接收数据包,31 Kb 用于主机发送数据包到 PHY,其余空间保留,内置的 EEPROM 接口,用于存储配置信息、物理地址和 IP 地址等。内置的 IP/TCP/UDP 效验和自动计算功能大大减少微控制器的运算负载,改善传输反应时间。图 4 为 MAC 芯片 AX88180 与 PHY 芯片 88E1111、控制主机芯片 FPGA 的连接图^[5]。

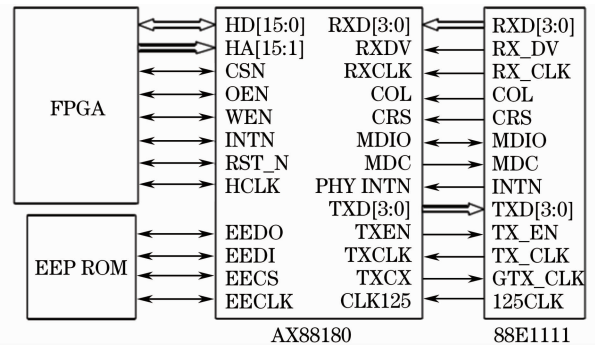


图 4 FPGA、MAC、PHY 的连接图

Fig. 4 Connection diagram of FPGA MAC and PHY

3.2.2 千兆以太网接口嵌入式软件设计

整个系统由 FPGA 作为主控制芯片,控制千兆以太网的初始化、数据传输和 CCD 数据采集,所有控制通过在 FPGA 中建立 NIOS II 软核系统完成。

要使千兆以太网接口以千兆模式工作,首先要初始化 AX88180 和 88E1111,因为 AX88180 有对 88E1111 进行操作的接口 MDC/MDIO 和相应的控制寄存器,所以实际对 88E1111 的初始化都可以通过对 AX88180 的初始化完成。

首先用 Verilog HDL 语言编写 AX88180 基于 NIOS II 总线接口(Avalon 总线)的 IP 内核,然后通过 C 语言程序对 AX88180 进行初始化,初始化即是对 AX88180 内置 256 字节的配置寄存器进行配置,参考亚信电子相关资料进行初始化^[5,6]。封包、解包程序也可以用 C 语言程序编程,但是由于 C 语言的代码效率比较低,所以不适合编写高速传输的程序,而千兆以太网相机需要将大量的图像数据高速传输到 PC 机,所以需要采用高效率的 HDL 语言编写封包程序。

封包程序将图像数据封为包含 1024 字节有效图像数据和 2 个字节图像行编号的 UDP 数据包,当计算机收到数据包时根据图像行编号信息将数据放入相应的内存中即可组合成一幅完整的图像。采用行编号的

形式还可以防止某一两个数据包丢失后导致整幅图像都无法显示的问题。封包程序的编写参考 TCP/IP 协议。

3.3 PC 端千兆以太网程序设计

由于大量的图像数据通过千兆以太网接口高速传输至 PC 机,用 SOCKET 的方式来获取数据包会变得比较困难,丢包率会比较高。本系统 PC 端软件采用 Wincap 类库编写程序来捕获来自网络的数据包,这样可以有效地减少丢包率,实验中未出现数据包丢失现象。软件流程如图 5 所示。

Wincap(windows packet capture)是 windows 平台下一个免费、公共的网络访问系统。Wincap 的主要功能在于独立于主机协议(如 TCP-IP)而发送和接收原始数据包。也就是说,Wincap 不能阻塞、过滤或控制其他应用程序数据包的发收,它仅仅只是监听共享网络上传送的数据包。因为 Wincap 对网卡数据包仅仅是抓取,而没有阻塞,所以其效率要比用 SOCKET 编程高,而且更易于控制^[7]。另外普通的 SOCKET 编程中,对双网卡编程是无法操作的,而当主机为双网卡时,用 Wincap 可分别获得两张网卡各自的描述结构及地址,然后可以对它们分别进行操作,这一特点为以后多千兆以太网嵌入系统实验做好了准备。这也是用 Wincap 编程的原因之一。

4 千兆以太网 CCD 相机性能

实验中千兆以太网的传输速率最高可达 700 Mb/s,传输距离在 50 m 点对点能够高速准确传输。本相机采集图像质量和本单位基于的 USB 的 CCD 相机图像质量相当^[8,9],其采集一帧图像如图 6 所示。CCD 相机参数如表 1 所示,由于 CCD 芯片本身读出速度限制,千兆以太网的传输效率没有完全体现,但是在 CCD 拼接技术中将会充分发挥千兆以太网的速度优势。

表 1 千兆以太网 CCD 相机的性能参数

Table 1 Parameters of gigabit ethernet CCD camera

CCD chip max pixel	Readout speed /MHz	System noise	Quantum efficiency /%	Working temperature (TE mode) /°C	Transmit distance /m	GBE max speed /(Mb/s)
KAF-16803 4000×4000	4	8e-RMS	50~60	-25	50	700

5 结 论

将千兆以太网嵌入 CCD 相机可以通过网口将图像数据高速地、实时地传送至 PC 机,在保证图像质量的前提下,解决了原有 CCD 图像数据传输速度慢、传输距离短的缺陷。同时嵌入式千兆以太网可以多口嵌入 CCD 相机,从而提高图像的传输速度,为以后 CCD 相机的高速、高分辨率发展留有技术支持空间。

千兆以太网 CCD 不仅可以用于天文望远镜,使观测室远离望远镜圆顶仍能正常观测,也可以用于 X 光机等医疗成像仪器,使观测室可以远离 X 光机等,从而消除辐射对医务人员的影响。本系统中的千兆以太网模块不仅可以用于 CCD 相机,对于各种数据采集系统均可适用,使数据采集系统所采集的数据可以高速地传输至远距离的控制端。

参 考 文 献

- 1 Zhan Junpeng, Li Peng. Design method of tripe speed Ethernet based on Altera FPGA[J]. *Electronic Design Engineering*,

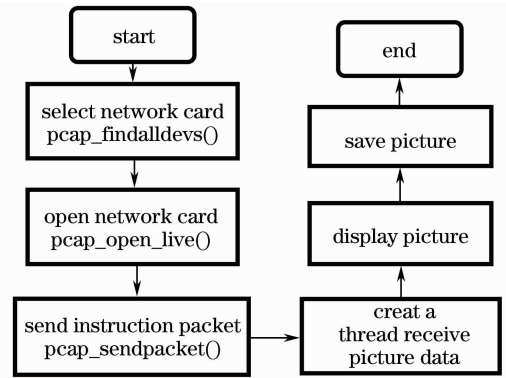


图 5 PC 端软件流程图

Fig. 5 Software flow diagram for PC

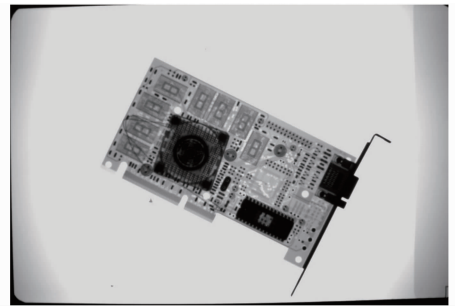


图 6 图像采集示例

Fig. 6 Image acquisition

- 2009, **17**(2): 50~52
- 詹俊鹏, 李 鹏. 基于 Altera FPGA 的千兆以太网实现方案[J]. 电子设计工程, 2009, **17**(2): 50~52
- 2 Eastman Kodak Company. KAF-16803 4096(H)X4096(V) pixel Full-Frame CCD Image Sensor[EB]. 2006
- 3 Analog Devices, Inc.. Complete 14-bit 30 MSPS CCD Signal Processor (AD9824)[EB]. 2002
- 4 Marvell Semiconductor, Inc.. 88E1111(Integrated 10/100/1000 Ultra Gigabit Ethernet Transceiver) Product Brief[EB]. 2009
- 5 ASIX Electronics Corporation. High-Performance Non-PCI 32-bit 10/100/1000M Gigabit Ethernet Controller[EB]. 2007
- 6 ASIX Electronics Corporation. AX88180 Software Programming Guide[EB]. 2005
- 7 WinPcap Documentation[EB/OL]. 2002. <http://www.winpcap.org>
- 8 Liu Wei, Yao Dazhi, Huang Dianli *et al.*. System design of high-speed CCD camera[J]. *Infrared Technology*, 2008, **30**(5): 289~293
- 刘 伟, 姚大志, 黄典礼 等. 高速 CCD 相机系统设计[J]. 红外技术, 2008, **30**(5): 289~293
- 9 Liu Wei, Yao Dazhi, Hua Yuanyuan *et al.*. The design of TDI CCD camera system[J]. *Infrared Technology*, 2010, **32**(9): 505~508
- 刘 伟, 姚大志, 华园园 等. TDI CCD 相机系统设计[J]. 红外技术, 2010, **32**(9): 505~508