

超高速摄影机转镜的高精度速度测量研究

翁寅生¹ 翁方煜² 吴国俊¹ 何俊华¹(¹中国科学院西安光学精密机械研究所, 陕西 西安 710119)²深圳航盛电子股份有限公司, 广东 深圳 518103

摘要 为了精确获取分幅摄影机的拍摄频率和条纹摄影机的扫描速度,必须精确测量转镜在拍摄期间的速度。提出一种基于数字信号处理器(DSP)与现场可编程门阵列(FPGA)相结合的高精度数字测量方法。DSP与FPGA采用高速串行外设接口(SPI)通信,DSP根据转镜转速的变化,自动对FPGA预置适当的时间闸门,FPGA计数缓冲后将测速数据发送给DSP处理,再经DSP串行口发送给计算机进行实时显示。FPGA的逻辑单元采用32位而且预置时间闸门可变,有效防止了数据的溢出,提高了转速的范围和精度;高速DSP提高了数据处理的速度,保证了实时性。系统仿真结果和实际工程使用情况表明此设计是可行的,测速精度可达0.0001%,测速范围为 $3\sim 3\times 10^8$ r/min。

关键词 遥感;测量;转镜速度;高精度测量;超高速摄影;数字信号处理器;现场可编程门阵列

中图分类号 TB853.1+7

文献标识码 A

doi: 10.3788/LOP48.061202

High Precision Measurement of Rotating Mirror's Speed of High-Speed Photography

Weng Yinsheng¹ Weng Fangyu² Wu Guojun¹ He Junhua¹

(¹*Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an, Shaanxi 710119, China*)
²*Shenzhen Hangsheng Electronic Co., Ltd., Shenzhen, Guangdong 518103, China*)

Abstract The speed of rotating mirror must be measured in shooting period precisely in order to obtain the shooting frequency of framing cameras or scanning speed of steak cameras. A high precision digital measurement method based on digital signal processing (DSP) and field programmable gate array (FPGA) is put forward. DSP and FPGA are communicated by high-speed serial peripheral interface (SPI). Time gate for FPGA is preset by DSP according to the change of rotating mirror's speed. The measured data is transmitted to DSP for disposing after FPGA's counting and buffering and to computer for showing in real time. It prevents the overflow of the data and improves the range of rotating speed by adopting 32 bit logic unit for FPGA. High-speed DSP improves the process speed of the data and ensures the real time. The design is feasible by the simulated result of the system and the engineering practice. The precision of speed measurement is up to 0.0001%, and the range is from 3 to 3×10^8 r/min.

Key words remote sensing; measurement; speed of rotating mirror; high precision measure; high-speed photography; digital sigital processing; field programmable gate array

OCIS codes 120.0120; 280.0280; 110.0110

1 引言

转镜式超高速摄影测试技术用于实现对高速流场的记录,为流场实验提供直观、准确的图像资料,具有良好的时空分辨率,与拍摄目标可以准确同步、使用可靠、操作简单,是研究高速运动过程的重要手段之一。因此它在高速摄影仪器中占据重要的地位,被广泛应用于爆炸力学、高压物理、等离子体、火花放电以及新型激光光源和激光光谱学的研究^[1~3]。为了比较精确地获取分幅摄影机的拍摄频率和条纹摄影机的扫描速度,以提供研究分析被摄事件发展过程的时间空间数据,则必须精确地测量转镜在拍摄期间的速度或测量拍摄时转镜旋转1周的时间^[4]。以往的超高速摄影机的转镜速度测量大多采用两种方法^[4]:一种是示波比较

收稿日期:2010-10-21;收到修改稿日期:2011-02-14;网络出版日期:2011-05-07

作者简介:翁寅生(1979—),男,硕士,助理研究员,主要从事光电探测及控制等方面的研究。E-mail: 6488904@163.com

法,即通过观察阴极射线管屏幕上的波形这种模拟的方法;另一种是时间间隔测量法,但当时的方法采用电子管和晶体管等分立元件组成,不合适宽范围测量,精度差,不易与计算机通信。传统旋转运动的转速测量一般采用时间间隔测量法,且多采用单片机和可编程逻辑器件(CPLD)来测量^[5,6],处理速度慢,计数器经常溢出,精度较低,所以上述测速方法都无法满足要求。基于此,本文采用现场可编程门阵列(FPGA)和数字信号处理器(DSP)相结合的数字测量方法,FPGA与DSP的通信采用高速串行外围设备接口(SPI)总线,DSP根据被测速度自动设置FPGA的门控时间和数据处理,FPGA完成计数和缓存,从而完成宽范围的转速测量。

2 转镜测速原理

本转镜系统由高速电机经过10倍增速机构后驱动转镜^[4],在转镜的中心轴径向方向打一通孔,通孔两侧分别装红外光电二极管和光敏二极管,转镜旋转1周时光敏二极管上就产生2个电脉冲。所以转镜测速实际上最终还是转化成测转镜的频率,它由3部分组成:1)红外光电二极管、光敏二极管及放大整形电路组成的前端信号调理单元;2)FPGA及DSP为核心的测速单元;3)计算机通信单元。

测量原理如图1所示。给定一个频率较高的时钟信号作为标准频率信号 F_b ,并保证测量的闸门时间为被测速度脉冲信号 F_x 的整数倍,在闸门时间里同时对信号 F_b 和信号 F_x 进行计数。

在测量过程中,FPGA根据转镜实际的转速预置门控信号的高电平时间(预置闸门时间) T_0 ,在预置闸门信号的上升沿到来时,系统并没有开始计数,一直等到信号 F_x 的上升沿到来时,才开始用2个计数器分别对信号 F_b 和信号 F_x 的脉冲个数进行计数。在预置闸门信号的下降沿到来时,计数器继续计数,需等到信号 F_x 的上升沿到来时,才停止计数,同时读取此时2个计数器的计数值。这样,实际的计数闸门时间为 T_x 。设信号 F_b 的频率为 f_b ,在 T_1 时间内信号 F_b 和信号 F_x 的脉冲个数分别是 N_b 和 N_x ,则被测速度信号 F_x 的频率 f_x 可以表示为

$$f_x = \frac{N_x f_b}{N_b} \quad (1)$$

再根据信号 F_x 每个脉冲对应转镜旋转0.5周,可知转镜的转速 n_x 可以表示为

$$n_x = 60 \times 0.5 f_x = 30 f_x \quad (2)$$

由于计数器总是在速度脉冲信号的上升沿到来时开始或停止计数,这就保证了实际测量的闸门时间为被测信号的整数倍,从而实现了信号在频率测量范围内的测量精度相等,所以该测量方法同时实现了宽频带和高精度测量的要求。

3 测速系统设计

3.1 测速系统总体设计

测速系统总体框图如图2所示。DSP采用TI公司的TMS320F2812芯片,FPGA采用Xilinx公司的XC3S400芯片。DSP自带串行口,能与计算机方便地实现串行通信,从而在软件界面上实时显示所测频率。DSP作为系统的主控单元,即要与FPGA进行SPI通信来设置可变的时间闸门宽度并处理读取的测速数据,处理完毕后发送给计算机进行实时显示。FPGA根据DSP设置的门控时间,完成计数和缓冲后将数据送往DSP处理。外部被测信号 F_x 经过放大整形的信号调理电路以后同标准频率信号 F_b 一起输入给FPGA的测频计数模块,再经过数据缓冲锁存后,分别输出给DSP处理。由于被测信号的频率不确定,所以最初的预置时间闸门较长,而后随着被测信号频率的升高,预置时间闸门长度可以不断缩短。

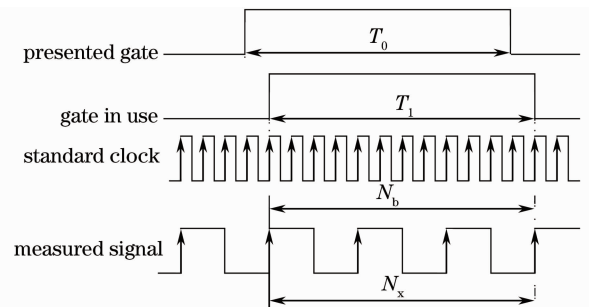


图1 测量原理图

Fig. 1 Schematic diagram of high precision measure

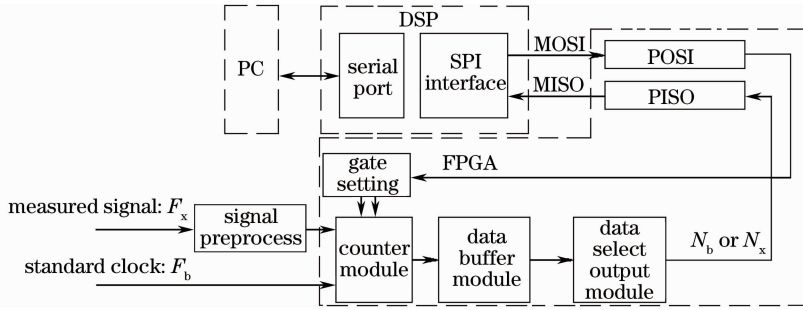


图 2 测速系统总体框图

Fig. 2 Block diagram of speed measure system

3.2 测速系统具体实现

测速的硬件电路包括计算机与 DSP 的 422 通信电路、DSP 与 FPGA 的 SPI 通信电路、DSP 与 FPGA 选通与控制电路。SCK、LOADn、SSn、SPI 总线主输出/从输入 (MISO) 及 SPI 总线主输入/从输出 (MOSI) 构成 DSP 与 FPGA 进行 SPI 通信的信号，DSP 作为主 SPI 设备，提供时钟频率给从 SPI 设备 FPGA。F_INT、EN、SEL_NXNBn、GATE 构成 DSP 与 FPGA 选通与控制电路的信号，F_INT 为每次 FPGA 测频完 1 个周期后产生一个中断信号，以供 DSP 读取测频数据，EN 为使能 FPGA 测频，SEL_NXNBn 为选择读取 FPGA 中锁存的是 N_x 还是 N_b 数据。F_CLX 为外部经过调理后的被测输入信号，它输入到 FPGA 中进行处理。

基于 FPGA 的速度测量的电路结构如图 3 所示。反相器 INV、移位寄存器 Shifter32、触发器 DFF32 及并入串出转换器 (PISO、POSI) 组成 FPGA 的 SPI 通信单元。

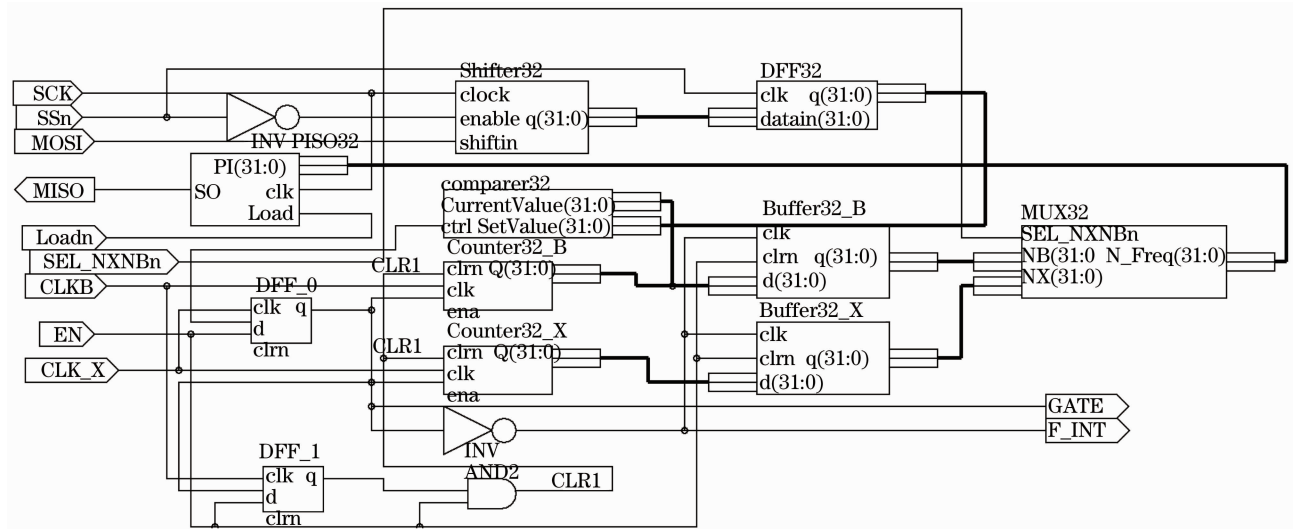


图 3 基于 FPGA 的速度测量的电路结构图

Fig. 3 Block diagram of speed measure system based on FPGA

输入端口 CLKB、CLKX 分别为输入标准脉冲和待测的速度脉冲信号 (经过整形放大以后的信号)，计数器 Counter32_B 和 Counter32_X 分别对标准脉冲信号 CLKB 和待测信号 CLKB 进行计数，锁存器 Buffer32_B 和 Buffer32_X 分别对 Counter32_B 和 Counter32_X 的计数值进行保存。设 DSP 经过 SPI 总线发送给 FPGA 的预置闸门时间为 $T_{SetValue}$ ，则它是比较器 Comparer32 的一个输入信号，预置闸门时间 T_0 可以表示为

$$T_0 = T_{SetValue} / f_b. \quad (3)$$

在电路刚开始工作时，使能信号 EN 无效对所有的计数器、锁存器和触发器清零。此时，Counter32_B 的计数值 N_b 的初值为 0，故此时 $T_{SetValue} > N_b$ ，Comparer32 输出为 1，但此时触发器 DFF_0 的输出 GATE 仍保持此初值 0，由于 GATE 作用在 Counter32_B 和 Counter32_X 的使能端，此时计数器没有开始计数，直到信号 CLKX 的上升沿到来后，DFF_0 的输出 GATE 才翻转为 1，允许 2 个计数器计数。随着计数值的增

加,当 $N_b > T_{\text{SetValue}}$ 时, Comparer32 输出等于 0, 不过此时 2 个计数器仍在计数, 直到信号 CLKX 的又一上升沿到来后, GATE 为 0, 2 个计数器都停止计数, 利用 GATE 的下降沿 (F_INT 的上升沿) 将此时的计数值 N_b 和 N_x 分别通过 Buffer32_B 和 Buffer32_X 锁存起来。然后利用此时 GATE 为 0, 经触发器 DFF_1 延时到信号 CLKB 的上升沿到来后, 对 Counter32_B、Counter32_X 清零。延时清零是为了避免锁存器锁存数据与计数器清零同时进行, 从而使存储数据出错。但由于延时清零, 使实际门控信号的上升沿比速度信号 CLKB 的上升沿滞后, 滞后时间为信号 CLKB 的 1 个周期。为使检测结果准确, 将 Counter32_B 的计数值 N_b 加 1 即可, 故(1)式应修正为

$$f_x = \frac{N_x f_b}{N_b + 1}. \quad (4)$$

GATE 实质上就是实际门控信号。当 F_INT 信号的下降沿 (即 GATE 的上升沿) 到来时, DSP 产生中断, 从 FPGA 中读出 N_b 和 N_x , 则转镜的转速 n_x 可表示为

$$n_x = \frac{30 N_x f_b}{N_b + 1} \quad \text{or} \quad f_x = \frac{N_x f_b}{2(N_b + 1)}. \quad (5)$$

在设计电路时, 为了提高测量范围, 计数器和缓冲器都采用 32 位, 不过在电机转速很慢的情况下, 2 个速度脉冲信号的时间间隔较长, 这使实际闸门时间变得很长, 在该段时间内, Counter32_B 可能会出现溢出情况。在该情况下, 可通过最初的预置时间参数使得时间闸门设置足够长, 而后当所测得的频率大于一定的频率后, 重新设置时间闸门。这样可以根据被测信号的频率实时预置时间闸门, 不会造成计数器溢出。

4 仿真结果及分析

在 Modelsim6.5 下, 电路的仿真结果如图 4 所示。为了便于观察和计算, 设置参数如下: $T_{\text{SetValue}} = 100$, 标准时钟 CLKB 为 10 MHz, 输入被测信号 CLKX 的频率为 2.5 MHz 进行验证。在 GATE 的上升沿 DSP 产生中断, 读取 $N_b = 103$ 、 $N_x = 26$, 记录并根据(4)式计算得到 $F_x = 2.5$ MHz, 与实际测量信号频率一致。在输入被测信号的频率变化时, 经过多次软件仿真结论都符合要求, 而且实际的硬件电路测量的结果 (在计算机上的实时显示) 与实际被测信号的频率也一致, 说明此测速系统完全可行。

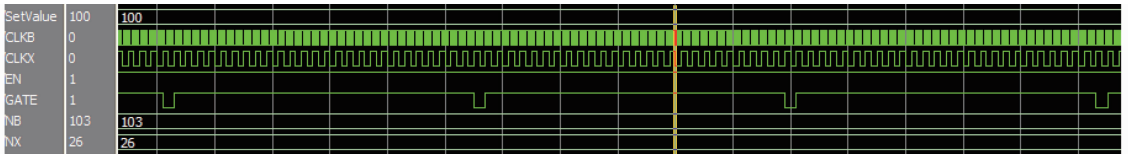


图 4 测速系统的仿真

Fig. 4 Simulation diagram of speed measurement system

从测量结果可以看出, 频率测量的最大误差由标准时钟信号的周期 T_b 和频率计数的闸门时间 T_{gate} 决定, T_b 越小、 T_{gate} 越大, 测量误差越小, 即测量精度越高。

由于 T_b 定时和 N_x 计数同时开始, N_x 无误差。当 N_b 变化 ± 1 时, 得测速的分辨率 Q 为

$$Q = 30 N_x f_b \left(\frac{1}{N_b} - \frac{1}{N_b + 1} \right) = \frac{30 N_x f_b}{N_b (N_b + 1)} = \frac{n_M}{N_b}, \quad (6)$$

转镜转速的相对误差 δ_{max} 为

$$\delta_{\text{max}} = \frac{\frac{30 N_x f_b}{N_b + 2} - \frac{30 N_x f_b}{N_b + 1}}{\frac{30 N_x f_b}{N_b + 1}} = \frac{1}{N_b + 2}. \quad (7)$$

由(7)式可知: 当标准信号采用 CLKB 为 100 MHz 信号源时, $T_b = 10$ ns, 这时只要选取 $T_{\text{gate}} \geq 10$ ms, 就可使测量的最大相对误差不大于 10^{-6} , 即达到百万分之一的测量精度。该方法的测频范围 0.1 Hz ~ 10 MHz, 根据(2)式的换算关系可知实际可测得的转镜速度范围可达 $3 \sim 3 \times 10^8$ r/min。

5 结 论

采用 DSP 及 FPGA 相结合的数字式高精度测量方法对转镜速度进行测量。仿真结果表明,该方法的有效性,而且在实际工程应用中能实时准确地测量转速,可测的转速范围为 $3\sim 3\times 10^8$ r/min,测速精度可达 0.0001%。该方法具有测量精度高、范围宽和实时性高的优点,具有较强的工程实用价值。

参 考 文 献

- 1 L. K. Landre. Time resolution of streak camera equipped with rotating mirror sweeping-image camera cameras[C]. Proceedings of the 3rd International Congress on High-Speed Photography, 1957. 319~323
- 2 Man Guangming, Ye Yutang, Wu Yunfeng *et al.*. Measurement of rotation speed of high-speed rotating mirror camera[J]. *High Power Laser and Particle Beams*, 2006, **18**(1): 11~14
满光明,叶玉堂,吴云峰等. 高速转镜相机转速测量的同步传感系统[J]. *强激光与粒子束*, 2006, **18**(1): 11~14
- 3 Tan Xianxiang. Test Technique for Optical High Speed Photography[M]. Beijing: Science Press, 1990. 1~3
谭显祥. 光学高速摄影测试技术[M]. 北京: 科学出版社, 1990. 1~3
- 4 Xu Jialong. Rotating High-Speed Photography[M]. Beijing: Science Press, 1985. 287~293
许家隆. 转镜式高速摄影[M]. 北京: 科学出版社, 1985. 287~293
- 5 Kavanagh, C. Richard. Performance analysis of M/T-type digital tachometers[C]. Instrumentation and Measurement Technology Conference, 2000, **1**: 447~452
- 6 Liu Tingxia, Jia Runqiang, Yu Yi *et al.*. The methods for speed digital measurement based on CPLD[J]. *Journal of Changchun University of Science and Technology*, 2004, **27**(3): 64~65
刘廷霞,姜润强,余毅等. 基于 CPLD 的全数字测速法[J]. *长春理工大学学报*, 2004, **27**(3): 64~65