

# 140 万像素高清数字摄像机电路设计

莫思特

(四川大学电气信息学院, 四川 成都 610065)

**摘要** 介绍 140 万像素、每秒 7.5 帧高清高速数字摄像机的电路设计方案。该设计主要由 SONY 的 CCD ICX205AK, Analog Devices 模拟前端电路 AD9923A 以及 Xilinx 的 FPGA XC3S1200E, TOKYO 的 JPEG 压缩芯片 TE3310RPF 和 ATMEL 的 ARM 芯片 AT91RM9200 等组成。模拟前端电路 AD9923A 实现 CCD 水平和垂直时序的产生, CCD 的放大, CCD 信号的模数转换三大功能; CCD ICX205AK 输出信号经模拟前端电路 AD9923A 进行放大和模数变换后, 输入到 FPGA 进行数据格式处理, 生成 YUV 信号输入到压缩芯片进行 JPEG 压缩, 然后由 ARM 通过网络将压缩数据传送到客户端。实验结果表明, 该设计方案每秒可以采集、压缩、传输 140 万像素图像 7.5 帧。

**关键词** 光电子学; 数字摄像机; 设计; CCD

中图分类号 TP202; TN386.5 OCIS 250.5300 110.5200 文献标识码 A

## Circuit of 1.4 Mega Pixels Digital Video Camera

Mo Site

(School of Electrical Engineering and Information, Sichuan University, Chengdu, Sichuan 610065, China)

**Abstract** A circuit of high-resolution digital video camera, supporting 1.4 mega pixels and 7.5 frames per second was presented. ICX205AK is used as CCD sensor, AD9923A is used as the analog front end, and other chips include XC3S1200E and TE3310RPF. The AD9923A converts CCD analog signal to digital signal, and the digital signals are sent to XC3S1200E which converts Bayer signals to YUV signals. The YUV signals are input to TE3310RPF to generate JPEG data. AT91RM9200 sends the JPEG data to network. The testing results show that image can be collected, compressed, and transmitted with 1.4 mega pixels image 7.5 frames per second by this design.

**Key words** optoelectronics; digital video camera; design; CCD

## 1 引言

数字视频采集系统已广泛应用于公共安全、工业控制、科学研究等领域。由于集成电路设计技术以及制造工艺的不断进步, 各种应用对数字视频的图像质量提出了越来越高的要求, 很多应用场合需要 140 万像素甚至更高像素的数字视频信号。针对这一新的应用需求, 本文提出了一种 140 万像素高清数字摄像机的硬件电路设计方案, 并给出了本项研究的测试结果。

## 2 硬件电路设计方案

硬件电路由 CCD 控制电路、CCD 时序控制与模数转换电路、FPGA 控制电路、JPEG 图像压缩控制电路、嵌入式 ARM 控制电路、电源控制电路六个电路模块组成<sup>[1]</sup>, 电路模块组成结构如图 1 所示。其中, CCD 控制电路采用 SONY 公司设计生产的 ICX205AK, 时序与模数转换电路采用 Analog Devices 公司设计生产的 AD9923A, FPGA 采用 Xilinx 公司设计生产的 XC3S1200E, 图像压缩芯片采用 TOKYO 公司设计生产的 TE3310RPF, ARM 主芯片采用 ATMEL 公司设计生产的 AT91RM9200。

收稿日期: 2009-03-16; 收到修改稿日期: 2009-05-29

基金项目: 国家自然科学基金重点项目(60736046)和国家 863 计划(2006AA12A104)资助课题。

作者简介: 莫思特(1969—), 男, 硕士, 讲师, 主要从事精密仪器设计和通信工程等方面的研究。E-mail: mosite@scu.edu.cn

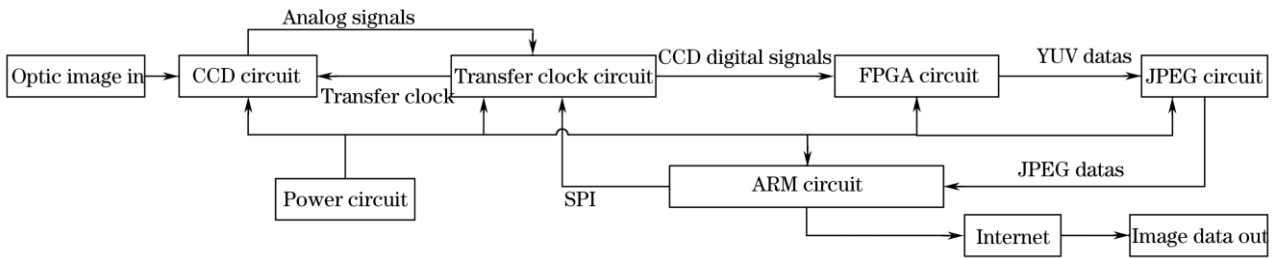


图 1 系统结构图

Fig.1 Diagram of system

## 2.1 CCD 控制电路

CCD 控制电路的主要作用是将像素的光信号转换为电信号。CCD 控制电路的主芯片为 SONY 公司的 ICX205AK。ICX205AK 是一款 1/2 英寸、145 万有效像素的 CCD 传感器，每秒可输出 145 万有效像素图像 7.5 帧。ICX205AK 的关键参数如下<sup>[2]</sup>：水平驱动频率为 14.318 MHz，感光区尺寸为 1/2 英寸，有效像素为 1392(H)×1040(V)，全像素输出帧率为 7.5 frame/s。

基于 ICX205AK 以上特征，ICX205AK 适合应用于高清晰度高速数字摄像机的设计。CCD 控制电路原理图如图 2 所示。图 2 中，CCDV1, CCDV2A, CCDV2B 和 CCDV3 为垂直时序控制信号，CCDH1, CCDH2 为水平时序控制信号，CCDASUB 为电子曝光控制信号，CCDARG 为电荷清零时序。ICX205AK 在输入的垂直时序、水平时序、曝光控制时序、电荷清零时序控制下，依次输出各点像素的电荷，并将各像素的电荷量转换为模拟电压值输出到模数转换电路。

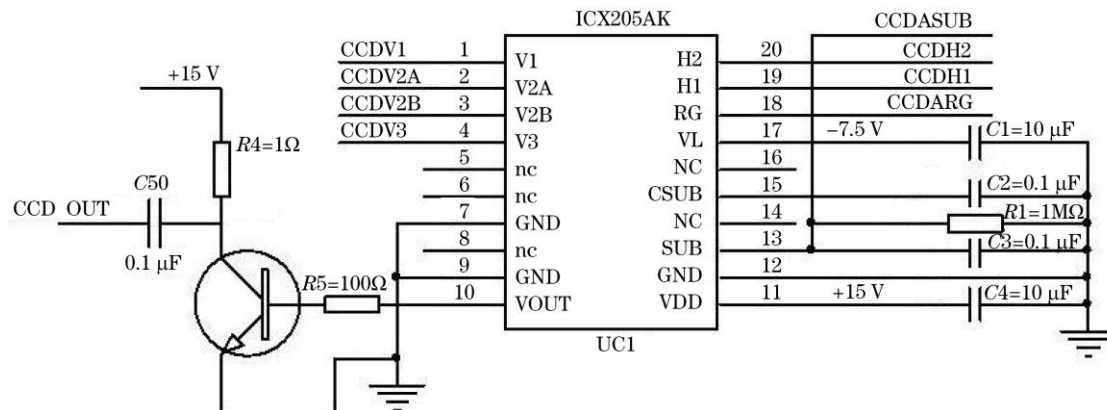


图 2 CCD 控制电路原理图

Fig.2 CCD control circuit schematic

## 2.2 时序与模数转换控制电路

时序与模数转换控制电路主要有三大功能：产生 CCD 的垂直时序、水平时序、电子曝光时序、电荷清零时序；放大模拟信号；将 CCD 输出的模拟信号转换为数字信号。时序与模数转换电路主芯片为 Analog Devices 公司生产的 AD9923A。AD9923A 是 Analog Devices 公司设计生产的针对 CCD 数码相机和数字摄像机的前端设备，带有时序控制器，模数转换器。其主要性能如下<sup>[3]</sup>：12 位 36 MHz 模数转换器，集成时序控制器，6~42 dB 可变增益放大器，相关双采样控制电路。

AD9923A 的控制电路原理图如图 3 所示。ARM 通过串行接口控制 AD9923A 输出相关时序信号，由时序信号控制 CCD 的电荷输出，并将 CCD 送来的模拟信号经模数转换后得到的数字信号送给 FPGA，经模数转换后的数字视频信号为 Bayer 格式。

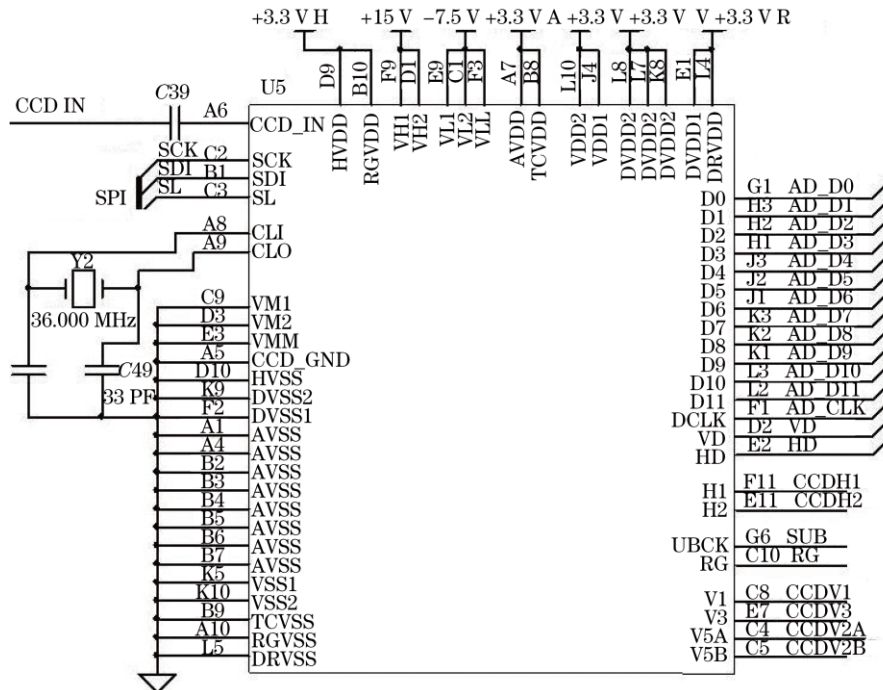


图 3 AD9923 的控制电路原理图  
Fig.3 AD9923 control circuit schematic

## 2.3 FPGA 控制电路

FPGA 的主要功能是接收模数转换器的 Bayer 格式数字视频信号, 将 Bayer 视频信号转换生成 RGB 视频信号, 再将 RGB 视频信号转换为 YUV 视频信号, YUV 视频信号输送到图像压缩电路。FPGA 选用 Xilinx 公司设计生产的 XC3S1200E。XC3S1200E 属于 Xilinx 公司的 SPARTAN-3E 系列 FPGA, 采用 90 nm 工艺, 是针对消费市场的高容量、低价格的 FPGA。XC3S1200E 的主要参数如下<sup>[4]</sup>: 系统门为 1200 千门, 等效逻辑单元数为 19512, 可分配的 RAM 容量为 136 kbit, 最多可编程 I/O 脚数为 304。

## 2.4 图像压缩控制电路

140 万像素每秒 7.5 帧的原始 RGB 数据流为 31.5 Mbyte, 这个数据量不经过压缩直接在网络上传输, 非常占用传输信道资源, 网络传输最好是经压缩后的数字视频数据。本设计中的压缩单元采用 TOKYO 公司的高速 JPEG 图像压缩集成电路 TE3310RPF<sup>[5]</sup>。TE3310RPF 接收由 FPGA 传来的 YUV 数字视频信号, 经过芯片的压缩处理, 将 JPEG 压缩数据传送给 ARM 控制电路。

## 2.5 ARM 控制电路

ARM 控制电路通过串行接口控制 AD9923 输出 CCD 的时序控制信号, 控制 FPGA 算法运算的相关参数, 通过并行总线控制 TE3310RPF 压缩参数, 并接收 TE3310RPF 压缩后的 JPEG 数据, 然后将 JPEG 数据通过以太网传输给客户端。

ARM 主芯片采用 ATMEL 生产的 AT91RM9200, AT91RM9200 的主要特征为<sup>[6]</sup>: 在 180 M 内核时钟下, CPU 运行速度为每秒 200 万条指令; 带内存管理单元; 10/100 M 以太网 MAC; SDRAM, NAND FLASH 无缝连接; 支持主从式 SPI 接口。

## 3 ICX205AK 驱动时序控制

ICX205AK 时序控制如图 4 所示。ICX205AK 驱动时序由 AD9923 进行控制。在 AD9923 的控制寄存器中, 与垂直驱动时序相关的寄存器有: VPAT\_NUM, VSEQ\_NUM, V-pattern groups, V-sequences, FIELDS, MODE; 与水平驱动时序控制相关的控制寄存器有: HIPOSLOC, H1NEGLOC, H1H2POL,

H3POSLOC, H3NEGLOC, H3H4POL, HLPOSLOC, HLNEGLOC, HLPOL, H1DRV, H2DRV, H3DRV, H4DRV, HLDREV. 根据图 4 的时序要求, 合理设置垂直寄存器和水平寄存器的值, 就可控制 ICX205AK 输出 Bayer 格式的模拟视频数据。

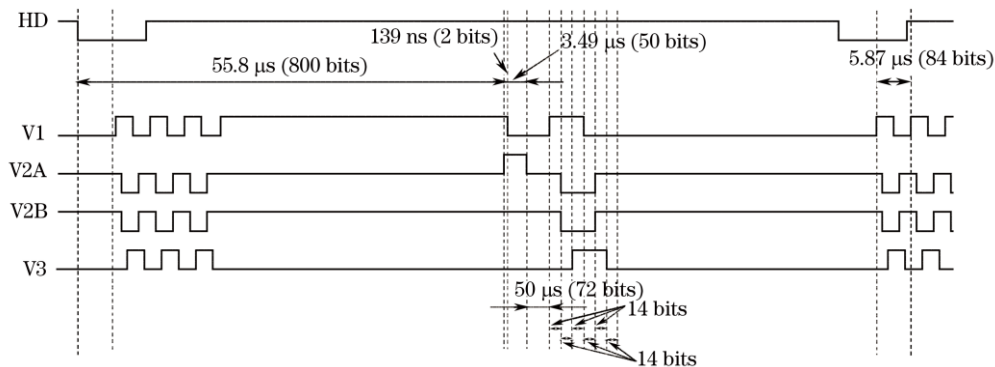


图 4 ICX205AK 时序控制  
Fig.4 Clock timing of ICX205AK

#### 4 设计效果测试

将设计的摄像机和客户端连接到局域网, 在客户端连接摄像机的 IP, 启动数据传输。客户端接收摄像机的 JPEG 数据格式, 解压数据并显示图像。采用 X-rite 公司生产的标准多光源对色灯箱 JudgeII 的 6500K 白光为光源, 以 ISO12233 标准分辨率测试卡为拍摄对象拍摄的图如图 5 所示。利用 Imatest LLC 公司设计的图像处理软件 Imatest V3.1 Master 对图 5 作锐度分析, 分析结果如图 6 所示。从图 6 的 Edge profile 参数可以看出, 在原始图片下标准判断距离内单位影像高度所容纳的像素为 312.8, 加入锐化可以达到 456.4。MTF50 参数在原始图片下为 327 LW/PH, 若加入锐化, 则为 384 LW/PH。

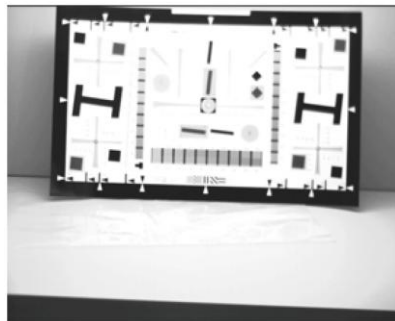


图 5 ISO12233 分辨率测试卡成像效果图  
Fig.5 Images of ISO12233 Chart

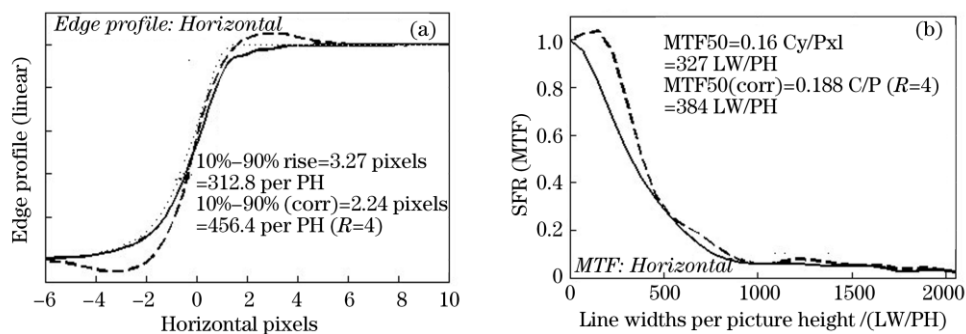


图 6 锐度分析  
Fig.6 Sharpness

## 5 结 论

测试结果表明, 该硬件电路设计合理, 提出的关键问题解决方法正确。图像分辨率 140 万像素, 采集传输速率为 7.5 frame/s。用 Imatest 软件对图像测试表明图像质量较好。要进一步提高图像质量, 还需仔细调整相关双采样的采样时刻, 加入白平衡算法, 研究曝光时间与模拟前端放大器的各级放大倍数与成像质量的关系。

## 参 考 文 献

- 1 Mo Site, Wu Zhihong. Design of 2.0 mega pixels digital video camera and key technology[J]. *Opto-Electronic Engineering*, 2009, **36**(5):117~121  
莫思特, 吴志红. 200万像素数字摄像机设计及关键技术研究[J]. 光电工程, 2009, **36**(5): 117~121
- 2 Diagonal 8 mm (Type 1/2) Progressive Scan CCD Image Sensor with Square Pixel for Color Cameras:ICX205AK[Z]. SONY corporation
- 3 CCD Signal Processor with V-Driver and Precision Timing Generator:AD9923A [EB/OL].<http://www.analog.com>
- 4 Spartan-3E FPGA Family:Complete Data Sheet[EB/OL]. <http://www.xilinx.com>
- 5 TE3310RPF High Speed JPEG Encoder[Z]. Tokyo Electron Device Limited.2007
- 6 ARM920T-Based Microcontroller :AT91RM9200[EB/OL].// <http://www.atmel.com/literature>