

# 基于异构加速的 $\Phi$ -OTDR 实时信号处理系统

盛庆华<sup>1</sup>, 俞钊<sup>1</sup>, 卢斌<sup>2\*</sup>, 李竹<sup>1\*\*</sup>, 叶青<sup>2,3</sup>, 张泽鑫<sup>1</sup>

<sup>1</sup>杭州电子科技大学电子信息学院, 浙江 杭州 310018;

<sup>2</sup>中国科学院上海光学精密机械研究所空间激光信息传输与探测技术重点实验室, 上海 201800;

<sup>3</sup>中国科学院大学材料与光电研究中心, 北京 100049

**摘要** 针对相位敏感光时域反射计( $\Phi$ -OTDR)信号处理复杂、计算量大、实时性要求高的特点,提出一种基于现场可编程门阵列(FPGA)异构加速计算技术的 $\Phi$ -OTDR实时信号处理系统。对外差探测式 $\Phi$ -OTDR信号处理流程进行分析与分解,提出基于FPGA的滑动窗数据帧分割、多通道并行快速傅里叶变换(FFT)计算、频域滤波、短时能量求和等一系列加速计算方法。该系统最终实现在40 km光纤传感距离、2 kHz重复频率与1 m采样间隔下的长时间、实时扰动信号解调与显示,并且具有80%的帧重叠率。该FPGA系统作为异构加速器,能够减轻计算机数据处理压力,保证传感系统高重复频率下的运算实时性,为系统可靠性和稳定性提供了有效保障。

**关键词** 光计算; 并行处理; 异构加速计算; 相位敏感光时域反射计; 现场可编程门阵列; 短时能量

中图分类号 TP332.1

文献标志码 A

doi: 10.3788/CJL202047.0104002

## Real-Time Phase-Sensitive Optical Time-Domain Reflectometry Signal Processing System Based on Heterogeneous Accelerated Computing

Sheng Qinghua<sup>1</sup>, Yu Zhao<sup>1</sup>, Lu Bin<sup>2\*</sup>, Li Zhu<sup>1\*\*</sup>, Ye Qing<sup>2,3</sup>, Zhang Zexin<sup>1</sup>

<sup>1</sup>School of Electronics and Information, Hangzhou Dianzi University, Hangzhou, Zhejiang 310018, China;

<sup>2</sup>Key Laboratory of Space Laser Communication and Detection Technology, Shanghai Institute of Optics and Fine Mechanics, Chinese Academy of Sciences, Shanghai 201800, China;

<sup>3</sup>Center of Materials Science and Optoelectronics Engineering, University of Chinese Academy of Sciences, Beijing 100049, China

**Abstract** A real-time phase-sensitive optical time-domain reflectometry ( $\Phi$ -OTDR) signal processing system is proposed based on the heterogeneous accelerated computing technology of field programmable gate array (FPGA) with respect to the characteristics of complexity, large-amount computation, and high real-time requirements of the  $\Phi$ -OTDR signal processing system. Firstly, the heterodyne-detection-type  $\Phi$ -OTDR signal processing flow is analyzed and decomposed. Subsequently, a series of accelerated computing methods based on FPGA, such as sliding window data frame segmentation, multichannel parallel fast Fourier transform calculation, frequency-domain filtering, and short-term energy summation, are proposed. Finally, the system implements long and real-time disturbance signal demodulation and display using a fiber sensing distance of 40 km, a repetition rate of 2 kHz, and a sampling interval of 1 m with a frame overlap of 80%. The FPGA system acts as a heterogeneous accelerator to mitigate the computer data processing pressure and ensure real-time operation of the sensing system at a high repetition frequency, effectively ensuring the system reliability and stability.

**Key words** optics in computing; parallel processing; heterogeneous accelerated computing; phase-sensitive optical time-domain reflectometry; field programmable gate array; short-term energy

**OCIS codes** 200.4960; 060.2370; 070.2465

收稿日期: 2019-06-25; 修回日期: 2019-07-30; 录用日期: 2019-08-22

基金项目: 国家重点研发计划(2017YFC0307503)、浙江省装备电子研究重点实验室(2019E10009)、上海市自然科学基金(19YF1453400)、中国科学院促进发展局项目(KFJ-ST-S-QYZD-084)

\* E-mail: lubin@siom.ac.cn; \*\* E-mail: lz1126@hdu.edu.cn

# 1 引 言

相位敏感光时域反射计( $\Phi$ -OTDR)是一种基于相干瑞利散射的分布式光纤传感技术,该技术不仅具有光纤传感器抗电磁干扰、体积小、质量小、隐蔽性好等特点,同时能够实现对光纤沿线物理量的长距离、分布式动态检测,在周界安防、油气勘探、裂缝检测等领域有着广泛的应用<sup>[1-2]</sup>。 $\Phi$ -OTDR 传感系统最早由 Taylor 等<sup>[3]</sup>提出,此后相关技术得以迅速发展,其核心指标传感距离<sup>[4]</sup>、信噪比<sup>[5]</sup>、探测带宽<sup>[6]</sup>、空间分辨率<sup>[7]</sup>等均获得重要突破。

$\Phi$ -OTDR 信号处理需要对扰动信号进行时域和频域分析,需采用大量、复杂的数据处理步骤。在数十千米的传感尺度和米级的采样间隔下,重复频率为千赫兹量级时,该信号处理系统每秒需要处理的数据量达到数百兆字节。目前工程应用中的传感系统,受限于信号处理系统的性能,在长距离(数十千米)的传感距离下其重复频率仅能达到百赫兹量级,且多采用数字采集卡采集原始数据,由上位机的中央处理器进行处理<sup>[4-6,8-9]</sup>。受制于采集卡的缓存容量、接口带宽以及上位机性能,系统无法实现实时的长距离与高带宽扰动传感,未能充分发挥  $\Phi$ -OTDR 的频率探测能力。提高频率探测带宽对提高  $\Phi$ -OTDR 的事件探测能力和识别精度具有重要意义,如何实现大量数据的实时处理和传输成为该技术亟需解决的瓶颈问题之一。

现场可编程门阵列(FPGA)、数字信号处理器(DSP)与图形处理器(GPU)是当前异构处理器的典型代表。目前已有采用 GPU 进行  $\Phi$ -OTDR 数据处理<sup>[10-11]</sup>,但是 GPU 并非专用数字信号处理器,虽然具有较高的计算性能,但存在较高的延时与功耗问题。DSP 是当前数字信号处理的主力解决方案,具有较强的信号处理能力,但是 DSP 芯片一般无法直接实现数据采集,需要使用 FPGA 进行扩展,这就导致设计的复杂化。FPGA 片上集成了丰富的资源,例如大量的可编程逻辑单元、DSP 单元、高速通信接口等,能够在单芯片上实现数据的高速采集、并行处理与高带宽通信,大大简化了系统的设计。目前 FPGA 已经广泛应用到雷达信号处理、5G 通信、神经网络加速等前沿领域<sup>[12-14]</sup>,引入 FPGA 可以解决  $\Phi$ -OTDR 系统的大量数据采集、处理与传输问题。

本文针对  $\Phi$ -OTDR 信号处理复杂、计算量大、实时性要求高的特点,提出一种基于 FPGA 异构计

算技术的  $\Phi$ -OTDR 实时信号预处理系统,对其传感信号进行实时强度解调,从而计算短时能量。该系统最终实现了在 40 km 光纤传感距离、2 kHz 重复频率与 1 m 采样间隔下的长时间、实时扰动短时能量信号的解调与显示。该系统作为异构加速器,大大减轻了计算机的数据处理压力,为后续更高指标与高级模式识别功能的引入打下基础。

## 2 $\Phi$ -OTDR 系统的原理

### 2.1 $\Phi$ -OTDR 探测的基本原理

$\Phi$ -OTDR 的原理为:基于光在光纤中的瑞利散射因光纤自身以及光纤周围环境的变化而变化这一特性,根据光脉冲的往返时间差进行定位。基于外差探测的定量化  $\Phi$ -OTDR 系统实验装置如图 1 所示<sup>[1]</sup>。窄线宽连续激光光源经过光纤耦合器(OC),分成本振参考光和探测光两部分;探测光经过声光调制器(AOM)斩波成脉冲光,并产生频移  $\Delta\omega$ ;脉冲光经过掺铒光纤放大器(EDFA)进行放大,并通过环行器注入待测光纤(FUT)。光纤中散射光与本振参考光通过一个 3 dB 耦合器进行拍频;拍频后的信号经过双平衡探测器(BPD)转换为电信号;BPD 输出的电信号通过  $I/Q$ ( $I$ :同相, $Q$ :正交)信号<sup>[1]</sup>解调器与本振信号进行外差解调后输入到信号处理器中进行信号处理。

BPD 输出的交流电信号输入到外差探测模块。其中, $\Delta\omega$  是  $\Phi$ -OTDR 系统中 AOM 引入的频移,此处选择为 160 MHz。本地本振信号源产生一个同频的正余弦信号,与 BPD 输出的交流电信号通过乘法器相乘,获得频率分量含有  $2\Delta\omega$  和低频成分的信号。

$$U_{\text{BPD}} = A \sin(\Delta\omega t + \phi), \quad (1)$$

$$I_r = U_{\text{BPD}} \cos(\Delta\omega t) = A [\sin(2\Delta\omega t + \phi) + \sin \phi], \quad (2)$$

$$Q_r = U_{\text{BPD}} \sin(\Delta\omega t) = A [-\cos(2\Delta\omega t + \phi) + \cos \phi], \quad (3)$$

式中: $U_{\text{BPD}}$  为 BPD 输出的交流电压信号; $A$  为待解调的幅度信息; $\phi$  为待解调的相位信息; $I_r$  和  $Q_r$  分别为  $I/Q$  解调后的两个正交分量。

对上述信号进行低通滤波,得到  $\Phi$ -OTDR 的  $I/Q$  信号,使用模数转换器(ADC)对  $I/Q$  信号进行数字化。由  $I/Q$  信号可以计算得到脉冲光的幅值和相位信息。本文主要基于幅度信息进行事件定位和频率分析等。

$$I = A \sin \phi, \quad Q = A \cos \phi, \quad (4)$$

$$A = \sqrt{I^2 + Q^2}. \quad (5)$$

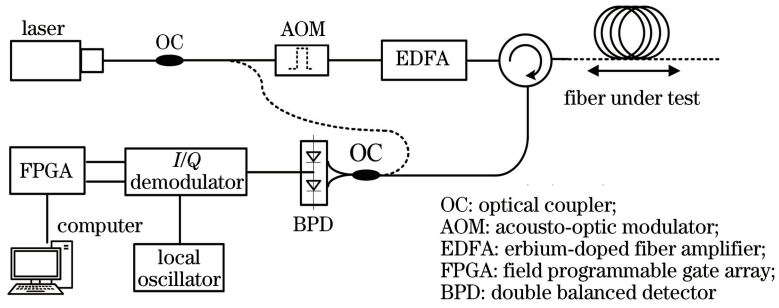


图 1  $\Phi$ -OTDR 实验装置示意图

Fig. 1 Schematic of  $\Phi$ -OTDR experimental system

## 2.2 $\Phi$ -OTDR 信号处理算法

$\Phi$ -OTDR 系统通过检测探测光脉冲在光纤中产生的后向瑞利散射光的强度,得到外界扰动的信息,当有外界扰动加载在传感光纤上时,后向瑞利散射的强度变化就记录下外界扰动的信息。经过多个探测光脉冲周期后,对后向瑞利散射曲线中对应扰动位置处的时域信号进行傅里叶变换,就能得到扰动的频率信息。

通过对扰动的频谱求取积分,就能得到扰动的短时能量。短时能量大小客观地反映出光纤是否有振动发生,可将其用作评判光纤振动信号的时域特征<sup>[15]</sup>。光纤传感器在未受外界信号影响的情况下,散射光的短时能量很小;而当有外界信号引起光纤振动时,散射光的幅值和频率均会增加,此时短时能量将会变大。

对光纤链路上各个点获得的  $I/Q$  解调幅值进行短时能量变换,其计算过程如下:

1) 获取光纤链路某点  $k$  在时间窗口  $\tau$  内的幅值变化信号。对该信号进行快速傅里叶变换(FFT)后求取模值,得到光纤  $k$  点在时间窗内的频谱  $P_{\text{freq}}$ ,表达式为

$$P_{\text{freq}}(k, f) = |F[A(k, \tau)]|, \quad (6)$$

式中: $A$  为传感时域信号; $f$  为频率分量; $F$  为傅里叶变换算符。

2) 选取频域起始频点  $f=r_{\text{start}}$  与终止频点  $f=r_{\text{end}}$ ,对区间内频率幅值的平方进行求和,获得光纤  $k$  点的短时能量值  $S$ 。 $S$  表示为

$$S(k) = \sum_{f=r_{\text{start}}}^{r_{\text{end}}} P(k, f)^2. \quad (7)$$

3) 计算光纤链路上各个点的短时能量值,获得光纤在该时间段内的短时能量分布情况。重复周期滑动时间窗口  $\tau$ ,实时计算各点的短时能量并显示和保存。本文采用重叠率为 80% 的帧格式设计,设

定帧长为 500 次脉冲采样,滑动窗在数据流中滑动,每次滑动 100 行数据,其帧格式如图 2 所示,每一格代表  $100(\text{rows}) \times 1(\text{columns})$  数据, $N$  代表行计数。

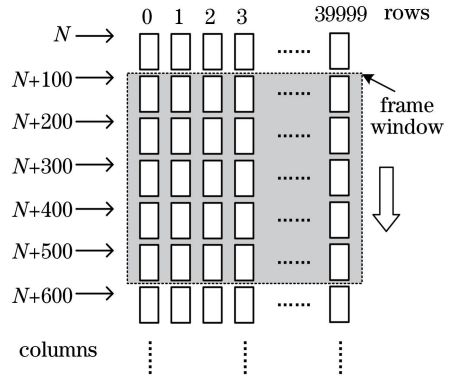


图 2 数据帧格式

Fig. 2 Format of data frame

本文的  $\Phi$ -OTDR 系统重复频率为 2 kHz,即对每个探测点的采样频率为 2 kHz。根据奈奎斯特采样定律,本系统能够探测到 1 kHz 以下的扰动。由于探测频段落入音频频段,且传感光纤对外界环境十分敏感,因此外界的低频段声音如天气等成为  $\Phi$ -OTDR 系统的背景噪声<sup>[16]</sup>。同时,探测系统本身也存在各种噪声<sup>[17-18]</sup>,例如光外差探测中光电探测器产生的散粒噪声以及暗电流,激光器的低频相位噪声,模拟-数字转换中放大器与 ADC 引入的直流、谐波噪声等。

由于这些噪声与系统外部环境与内部组件相关,因此本文引入一种频域滤波算法,对  $\Phi$ -OTDR 的频谱进行滤波。由于实验室环境与实际运行环境具有较大差别,因此该滤波器作为可选、可配置的计算步骤。通过对实际运行过程中噪声信号的分析,掌握其频率规律,启用并配置频域滤波算法,实现对一部分噪声的过滤。

## 2.3 $\Phi$ -OTDR 信号处理流程

$\Phi$ -OTDR 系统的处理步骤如图 3 所示,系统开

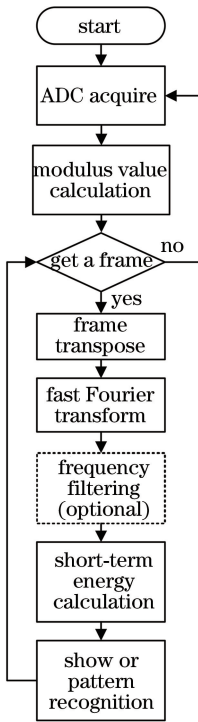


图 3  $\Phi$ -OTDR 系统信号处理步骤

Fig. 3 Signal processing steps of  $\Phi$ -OTDR system

始运行后,ADC 采集  $\Phi$ -OTDR 输出的  $I/Q$  两路模拟信号,并按照(5)式对采集到的信号求取模值。在采集到一帧数据后,首先对数据矩阵进行转置变换;然后对转置后的数据矩阵求取 FFT;之后根据配置对 FFT 结果进行滤波,并计算短时能量;得到的短时能量用于显示或进一步的模式识别。

### 3 FPGA 异构加速系统关键技术与系统设计

#### 3.1 FPGA 总体框图

图 4 展示了  $\Phi$ -OTDR 系统 FPGA 异构加速器的整体硬件及 FPGA 实现的架构。该系统由  $\Phi$ -OTDR 系统、FPGA 加速器、ADC、DDR3 随机存储器(DDR3 SDRAM)和工控计算机组成。其中, $\Phi$ -OTDR 系统的  $I/Q$  正交模拟信号输出与双通道 ADC 相连接;ADC 数据输出和  $\Phi$ -OTDR 系统触发的信号输出连接 FPGA 加速器,FPGA 加速器接收并计算数据,将结果发送给工控计算机;DDR3 存储器作为 FPGA 加速器的私有存储器,用于缓存数据。

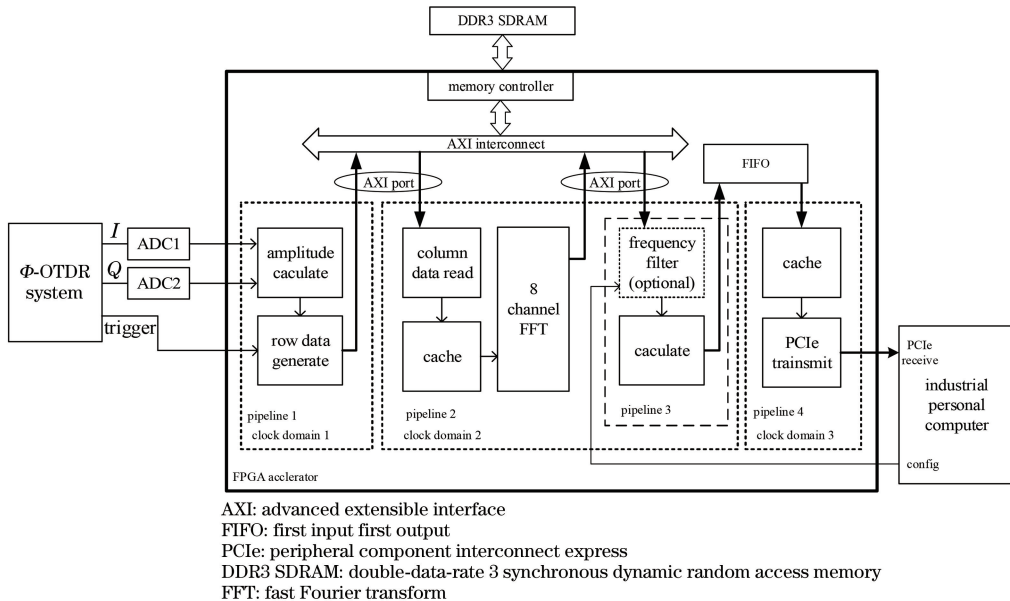


图 4 FPGA 总体框图

Fig. 4 Schematic of FPGA implementation

$\Phi$ -OTDR 系统输出的双通道  $I/Q$  模拟信号由两路 14 bit/(MSa $\cdot$ s<sup>-1</sup>) ADC 进行采集,根据理论计算,其每个采样点对应 1 m 的光纤物理距离点。ADC 数据在幅值计算模块中计算信号的模值。行数据产生模块在  $\Phi$ -OTDR 系统输出的触发信号控制下产生行数据,在本设计中每行有 40000 个数据,对应 40 km 光纤传感距离,触发信号频率为 2 kHz,

对应 2 kHz 的重复频率,同时行数据产生模块将数据按行写入 DDR3 存储器中。

列数据读取模块、缓存模块和 8 通道 FFT 模块共同完成了对数据的滑动按帧读取与 FFT 计算。帧长为 500 次触发得到的数据,帧矩阵大小为 500(lines) $\times$ 40000(points)。本文的帧重叠率为 80%,因此数据帧的前 400 行为旧数据,后 100 行为

新数据。短时能量计算的过程包含对数据帧的列向 FFT。为加快计算速度、简化设计复杂度,每个数据帧需要做 40000 次列向 512 点 FFT,得到 512(lines)×40000(points)大小的 FFT 结果数据帧。FFT 结果数据帧经过可选的频域滤波器后计算短时能量,短时能量在先入先出队列(FIFO)中缓存后,结果通过 PCIe 接口以 DMA(直接内存访问)方式发送至工控计算机。

$\Phi$ -OTDR 系统重复频率为 2 kHz,因此 ADC 每秒采集 2000 行数据,产生 20 个数据帧,每秒进行  $8 \times 10^5$  次 FFT,每个数据帧的处理延时时必须小于 50 ms,才能达到实时处理的要求。

### 3.2 流水线加速计算

根据前文描述,整个  $\Phi$ -OTDR 系统信号处理流程包含多个步骤,如大型矩阵转置、大量 FFT 计算、大型矩阵求和等,这些步骤均复杂且耗时,同时引入滑动窗计算,增大了计算数据的规模。

在本文中,ADC 时钟(100 MHz)和 PCIe 时钟(125 MHz)性能相对于 FPGA 器件(Artix-7)性能来说偏低,因此本文关键信号的处理使用 DDR3 时钟(200 MHz)。本文设计中存在三个不同的时钟,彼此间使用 DDR3 存储器和 FIFO 存储器进行跨时

钟域的数据传输,如图 5(a)所示。

时钟域被分割之后,在数据处理过程中引入流水线(pipeline)处理技术,流水线技术的引入使数据处理的每一个流水化步骤可以同时执行,且可在仅仅付出初始处理延迟的代价下实现并行处理。将一个执行时间过长的任务进行分解,实现流水化处理,同时只要每个流水化步骤都满足执行时间要求,流水线的级间就不会发生反压与干扰,系统整体就能满足处理时间的要求。

AXI 接口是 ARM 公司推出的一种支持高带宽片内总线接口,采用 AXI 接口的 DDR3 内存控制器支持连续突发传输、多端口共享等多种功能,本文通过对每一个步骤的执行时间进行分析,在时钟域分割引入的三个流水线后对 FFT 计算与滤波计算进行再次分解,通过存储器的 AXI 内部互联和片上 FIFO 引入多个存储器读写端口,实现 4 级流水线和流水线的级间交互,解决了  $\Phi$ -OTDR 系统信号处理流程耗时过长的问题。同时,本文也在 FFT 计算中引入流水线技术,FFT 运算单元只需引入初始的计算延时就可以持续不断地输入数据和输出结果,如图 5(b)所示的数据帧 A、B、C 在 FFT 内部不同阶段的流水线处理过程。

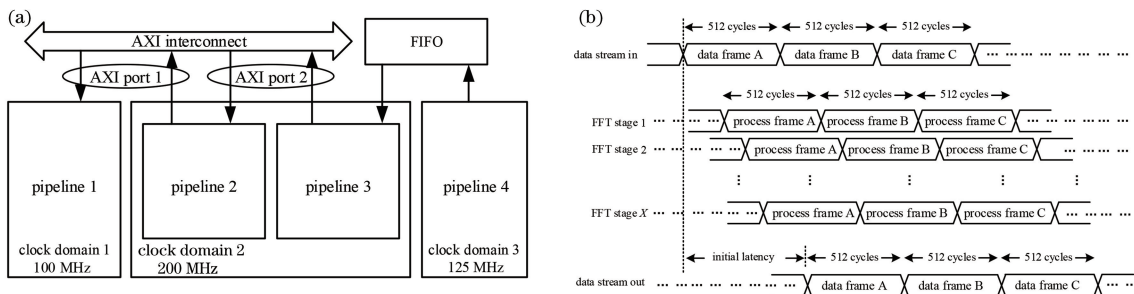


图 5 流水线在系统中的应用。(a)系统流水线结构;(b)FFT 流水线处理时序

Fig. 5 Pipeline using in system. (a) Structure of pipeline; (b) timing of FFT pipeline process

### 3.3 滑动窗口数据处理

为了实现重叠率为 80% 的数据帧,本文在 DDR3 存储器中实现一个具有 2000 行存储深度的循环 FIFO。帧长为 500 次触发得到的数据,帧矩阵大小为 500(lines)×40000(points)×16(bits),数据帧的前 400 行为旧数据,后 100 行为新数据。如图 6 所示, FIFO 的写入端持续向内写入行数据,读取端以滑动窗口模式读取,在写入端写入初始第 0~499 行数据后,形成第一个数据帧,在读取端开始列向读取第一个数据帧。在写入端继续写入第 500~599 行数据,与前 100~499 数据组成第二个数据帧,当读取端处理完第一帧数据后开始处理第二帧

数据,之后的数据帧依次类推。在写入端写入到 FIFO 的最后一行之后,写入位置回到第 0 行,因此系统若要保证数据的完整性,后方数据处理单元必须要达到两个性能要求:

1) 写入端写入位置与读取端读取位置的距离不超过 2000 行,在 2 kHz 重复频率的条件下,写满 2000 行需要 1 s,因此读取端延迟只需不超过 1 s 即可满足要求;

2) 读取端数据处理一帧的时间不超过 100 行采样时间,在 2 kHz 重复频率的条件下,采集 100 行需要 50 ms,因此读取端数据处理一帧时间需要满足不超过 50 ms 的要求。

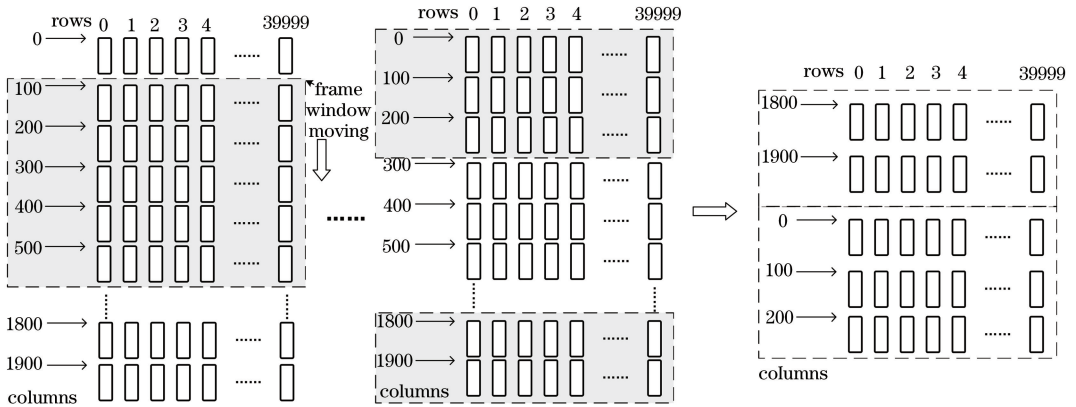


图 6 数据帧滑动读取与组合

Fig. 6 Sliding read and combination of data frame

### 3.4 矩阵转置与 FFT 计算的加速

短时能量计算的核心就是对每个传感点进行频域能量计算,其计算压力最大的部分就是对数据帧进行列向 FFT 计算。在本文中每个数据帧需要进行 40000 次列向 512 点 FFT,由于数据帧列向为 500 行,因此需要补 0 到 512 行。

FFT 计算单元采用 Xilinx 提供的流水化 FFT IP,根据图 5(b)描述,该 FFT 计算单元的计算时间为固定的启动延时与帧长度之和,根据实际测试,其固定启动延时约为 1150 cycles,因此其总计算时间为  $1150 + 512 \times N_{frames}$  (cycles),其中  $N_{frames}$  为数据帧数量,系统时钟 200 MHz 下 1 cycle 等于 5 ns。若使用单个 FFT 计算单元,一帧的计算时间约为 102.4 ms,计算时间达不到要求,因此本文在对 FPGA 资源进行评估后引入 8 通道 FFT 计算单元,其计算时间消耗缩短到 12.8 ms。

由于数据帧是按行存储于 DDR3 存储器中,因此要对数据进行列向读取。DDR3 存储器在进行单次读写多个连续数据(burst)的情景下具有较高的效率,而进行跳跃读取数据(矩阵转置)时,将消耗大

量读延迟时间。根据实际测试,FPGA 读取 DDR3-800 Mbit/s 存储器的读延迟大约为 250~500 ns,8 通道 FFT 模块访问 DDR3 一帧数据需要读取 2500000 次,至少需要消耗 625 ms 时间用于等待 DDR3 数据读出,这个时间是不可接受的。为了解决 DDR3 读延时过大的问题,在 DDR3 存储器与 FFT 计算模块之间引入一个 FPGA 片上静态存储器 BRAM,用于缓存 32 列数据,由于对静态存储器的读写操作没有延时,只需消耗从存储器到 FFT 计算单元的传输时间,因此具有较高的效率。静态存储器的引入使 DDR3 存储器访问操作减少 1/4,读取一帧数据需要访问存储器的次数减少到 78125 次,需消耗 19.5 ms 读延迟时间,这个时间在可接受的范围内。

计算过程如图 7 所示,500 (lines) × 40000(points)数据存储于 DDR3 中,将数据帧分割成 1250 部分,每部分包含 500 (lines) × 32pt(points)数据,将这部分子帧数据缓存至 FPGA 片上 BRAM 之后,将每 8 个数据(PT)按列读取,送入 8 通道 FFT 计算单元,得到 FFT 结果矩阵。

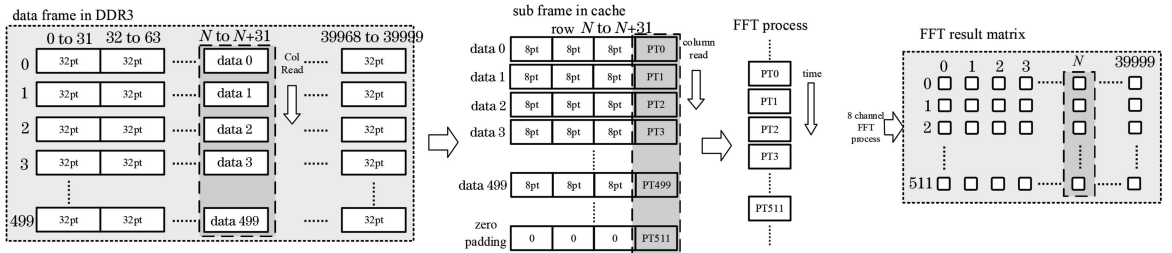


图 7 FFT 计算过程

Fig. 7 Process of FFT calculation

### 3.5 滤波与短时能量的计算

根据前文的描述,数据帧经过 FFT 计算单元后

得到一个 FFT 结果数据帧,其大小为  $40000(\text{points}) \times 512(\text{lines})$ ,其物理意义为光纤中

每个采样点在 250 ms 时间窗口中的频谱,这个频谱中包含系统本底噪声、环境噪声以及外部扰动的强度、频率等信息。短时能量体现的是信号在某个时间段内的强弱程度,通过计算频谱的面积即可得到短时能量。

系统或环境中存在的噪声将会对扰动的识别产生干扰。本文采用一种频域滤波技术滤除系统中的固有噪声,其处理方法为:用户配置是否需要滤波处理,并设置滤波器的起始与终止滤波频点;然后在频域中进行滤波,此功能为可选计算步骤,默认状态下可不执行。滤波过程如图 8 所示,通过可配置的滤波频带( $Y_m$ ,  $Y_n$ )实现对特定频谱的滤波,通过 DDR3 存储器实现两级流水线处理,使 FFT 计算与滤波、短时能量计算相互隔离,互不影响。

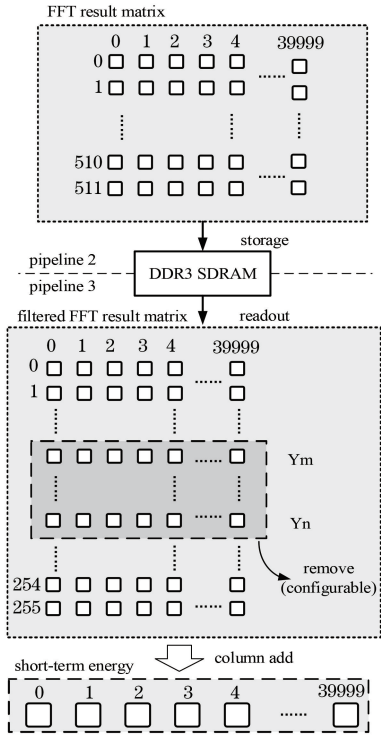


图 8 滤波计算过程

Fig. 8 Process of filtering calculation

## 4 实际测试与性能分析

### 4.1 FPGA 资源消耗

采用的 FPGA 器件型号为 Xilinx Artix-7 XC7A200T。该器件拥有 133800 LUTs、365 个 Block RAM、740 个 DSP 模块、内存控制器硬核与 PCIe 硬核。表 1 为本文 FPGA 资源利用情况,由于本文采用多路并行 FFT 计算与数据多级缓存架构,因此 BRAM 与 DSP 模块占用量较高。

表 1 FPGA 资源消耗

Table 1 Resource utilization of FPGA

Resource	Usage	Availability	Utilization / %
LUT	39177	133800	29.28
LUTRAM	9079	46200	19.65
FF	60621	267600	22.65
BRAM	250.50	365	68.63
DSP	450	740	60.81
IO	153	400	38.25
MMCM	3	10	30
PLL	1	10	10
PCIe	1	1	100

Note: FF-Flip Flop; MMCM-Mixed Mode Clock Manager; PLL-Phase Locked Loop.

### 4.2 FFT 精度与速度分析

在 FPGA 上实现完全的浮点 FFT 计算将会耗费大量的资源与计算时间。在 FPGA FFT 内核中使用高精度的定点 FFT,能够实现与完整浮点 FFT 类似的噪声性能,同时能够显著减少资源消耗。图 9 显示出各种计算模型和双精度 MATLAB FFT 之间计算结果数据集峰值幅度的方均根(RMS)差异,其中包含单精度 MATLAB FFT 和 FPGA FFT,相位因子宽度选择 24 位与 25 位的噪声性能。FPGA FFT 中的相位因子宽度与资源消耗相关。通过图 9 的结果曲线可以得知:相位因子越宽, FPGA FFT 的计算精度越高;25 位相位因子的 FPGA FFT 具有与单精度 MATLAB FFT 接近的计算精度。本文在 FPGA 资源允许的情况下选择 25 位宽的相位因子。

本文测试了扰动频率为 700 Hz 的 FPGA 与 MATLAB 两者计算结果,如图 10 所示,在 700 Hz 处具有扰动的峰值,频谱中还包含直流分量与低频干扰。FPGA 与 MATLAB 两者计算结果基本相同。

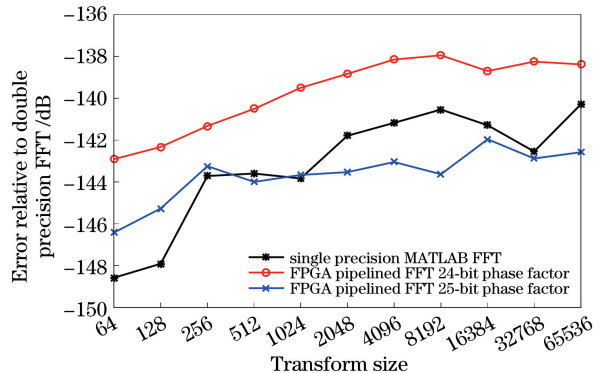


图 9 FFT 计算精度

Fig. 9 Accuracy of FFT calculation

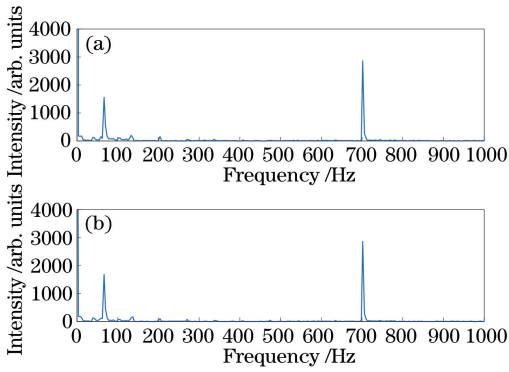


图 10 实际计算结果。(a) FPGA 计算的 FFT;  
(b) MATLAB 计算的 FFT

Fig. 10 Actual calculation results. (a) FPGA FFT;  
(b) MATLAB FFT

表 2 FPGA 与 Matlab 计算 FFT 的时间差异

Table 2 Time differences of calculating FFT between FPGA and Matlab

Environment	Specification	FFT number				
		10,000	20,000	30,000	40,000	50,000
FPGA Atrix-7	200 MHz, 1 core	25.8 ms	51.7 ms	77.6 ms	103.4 ms	129.3 ms
FPGA Atrix-7	200 MHz, 8 cores	3.24 ms	6.47 ms	9.70 ms	12.93 ms	16.16 ms
MATLAB Core i7	4.6 GHz, 4 cores, 8 threads	74.5 ms	146 ms	198 ms	265 ms	363 ms
MATLABRyzen 5	4.0 GHz, 6 cores, 12 threads	73.1 ms	138 ms	206 ms	274 ms	353 ms
MATLABPentium	3.3 GHz, 2 cores, 2 threads	155 ms	300 ms	451 ms	607 ms	757 ms

### 4.3 实时性测试

本系统的目标是能够实现长时间的稳定运行,因此系统的稳定性测试非常有必要。本系统是一个流水线运行的系统,只要每一级流水线的运行时间满足要求,就不会出现数据丢失和流水线死锁的问题。本文对系统进行了时间长度为 6 h 的稳定性测试,测试平台为 Core i7 CPU 搭配 16 G DDR3 内存的工控计算机,Φ-OTDR 系统重复频率为 2 kHz,传感光纤长度为 40 km, FPGA 运行频率为 200 MHz。表 3 为 6 h 运行之后第 1、2、3、4 级流水线最极端情况下的运行参数,即原始数据帧与 FFT 数据帧的读端口与写端口之间的数量差异、FFT 计

算需要消耗的时钟数、PCIe 端口 FIFO 的占用深度,表 3 同时给出了限制参数,若最极端情况下的运行参数超过了限制参数,则表明系统不稳定。通过表 3 可知,系统具有较好的实时性,能够满足长时间稳定运行。其中第 1、3、4 级流水线均有 65% 以上的时间余量,第 2 级的余量较小,为 7.4%。

表 4 为第二级流水线的时钟消耗数目分析。第二级流水线主要包含两个步骤,数据读写与 FFT 计算,其中数据读写占用 72.1% 的时钟数。数据读写时间与 DDR3 存储器的性能密切相关,提高 DDR3 存储器的运行频率与数据位宽能够提升其读写性能。

表 3 实时性测试结果

Table 3 Real-time test results

Performance	Data frame write to read	FFT process	FFT frame write to read	PCIe FIFO depth
Worst	592(lines)	9259732(cycles)	1(frame)	15106
Limit	2000(lines)	10000000(cycles)	3(frames)	65535
Headroom / %	70.4	7.4	66.7	76.9

表 4 第二级流水线的时间分析

Table 4 Time analysis of secondary pipeline

Process	Data read	FFT calculate	All
Clock consume	6674732(cycles)	2585000(cycles)	9259732(cycles)
Utilization / %	72.1	27.9	100



#### 4.4 滑动差分演示

本文搭建了一个具有 40 km 光纤的传感系统，并在 38.6 km 处加入压电陶瓷 (PZT) 用于模拟加入扰动。由于本文采用帧重叠率为 80% 的帧格式，因此能够实现扰动的过渡显示。图 11 为在大约 38.6 km 处加入扰动的瀑布图， $\Phi$ -OTDR 系统重复频率为 2 kHz，可以看到扰动在 0.25 s 加入与 1.25 s 消除的过渡显示。图 12 为在 38.6 km 处加入的扰动以及扰动点放大的图像。

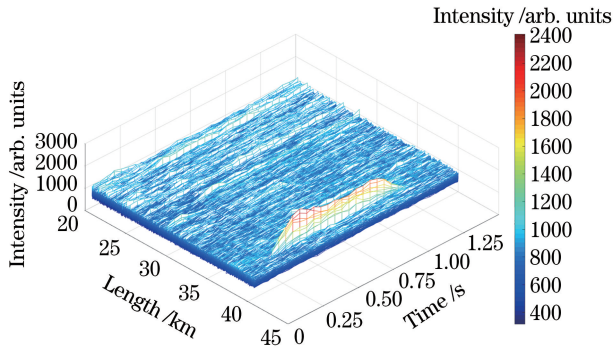


图 11 扰动的过渡显示

Fig. 11 Transition display of disturbance

#### 4.5 可选滤波器测试

本文搭建了一个具有 10 km 光纤的传感系统，

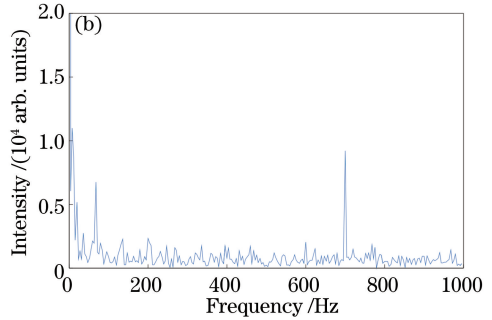
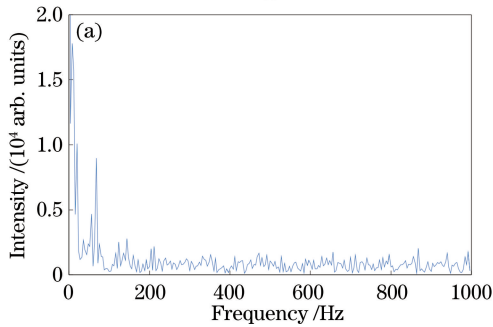


图 13 频谱分析。(a) 无扰动点的频谱；(b) 扰动点的频谱

Fig. 13 Frequency spectrum analysis. (a) Frequency spectrum without disturbance point; (b) frequency spectrum with disturbance point

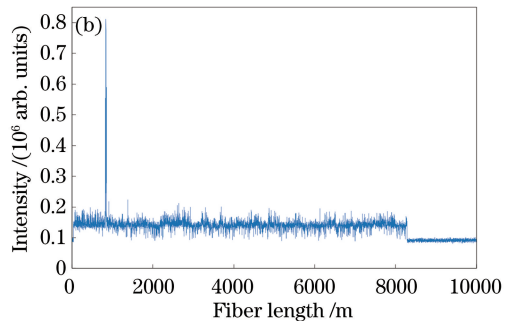
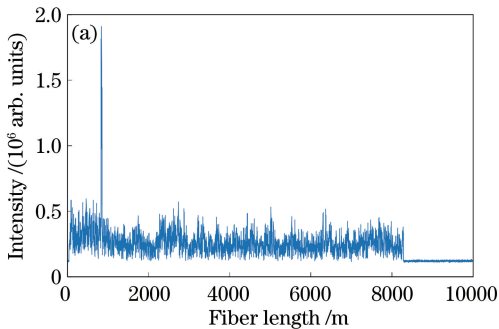


图 14 滤波结果。(a) 滤波前的结果图像；(b) 滤波后的结果图像

Fig. 14 Results of filtering. (a) Result before filtering; (b) result after filtering

用于测试与验证可选滤波器。系统在 800 m 处加入压电陶瓷 (PZT)，由信号发生器驱动， $\Phi$ -OTDR 系统重复频率为 2 kHz，因此该系统能够探测到 1 kHz 以下的扰动。信号发生器产生 700 Hz 正弦波，以驱动 PZT 产生模拟扰动信号。由图 13 可知，每一个传感点的频谱中包含直流分量和低频噪声，其中直流分量由 ADC 直流偏置引入，低频噪声由环境噪声与系统噪声共同引入。

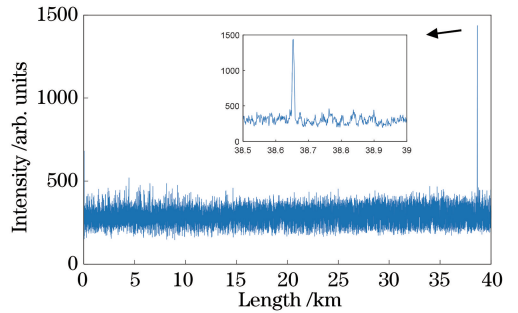


图 12 扰动以及扰动点放大的图像

Fig. 12 Disturbance and magnified image of disturbance point

图 14 为应用滤波器前后的扰动计算结果图，滤波器滤除了 100 Hz 以下的低频噪声，而图 14(b) 具有更低的噪声水平。

## 5 结 论

针对相位敏感光时域反射计信号处理复杂、计算量大、实时性要求高的特点,提出一种基于 FPGA 异构加速计算技术的  $\Phi$ -OTDR 实时信号处理系统,对其传感信号进行实时强度解调并计算短时能量。对外差探测式  $\Phi$ -OTDR 信号处理流程进行分析与分解,提出基于 FPGA 的滑动窗数据帧分割、多通道并行 FFT 计算、频域滤波等一系列加速计算方法。该系统最终实现了在 40 km 光纤传感距离、2 kHz 重复频率与 1 m 分辨率下的扰动短时能量解调与显示,具有 80% 的帧重叠率,在实时性与计算量之间取得较好的平衡。该 FPGA 系统作为异构加速器,大大减轻了计算机的数据处理压力,保证了传感系统在高重复频率下的运算实时性,保障了系统可靠性和稳定性,为后续更高指标与高级模式识别功能的引入打下基础。

## 参 考 文 献

- [1] Ye Q, Pan Z Q, Wang Z Y, et al. Progress of research and applications of phase-sensitive optical time domain reflectometry [J]. Chinese Journal of Lasers, 2017, 44(6): 0600001.  
叶青, 潘政清, 王照勇, 等. 相位敏感光时域反射仪研究和应用进展 [J]. 中国激光, 2017, 44(6): 0600001.
- [2] Wu Y H, Zhu S, Xu W, et al. Progress in distributed optical fiber crack sensing engineering [J]. Laser & Optoelectronics Progress, 2018, 55(9): 090002.  
吴永红, 朱莎, 许蔚, 等. 分布式光纤裂缝传感工程应用研究进展 [J]. 激光与光电子学进展, 2018, 55(9): 090002.
- [3] Taylor H F, Lee C E. Apparatus and method for fiber optic intrusion sensing: US5194847 [P/OL]. 1993-03-16 [2019-06-24]. <https://patents.glgoo.top/patent/US5194847A/en>.
- [4] Rao Y J, Luo J, Ran Z L, et al. Long-distance fiber-optic  $\Phi$ -OTDR intrusion sensing system [J]. Proceedings of SPIE, 2009, 7503: 75031O.
- [5] He H J, Shao L Y, Li H C, et al. SNR enhancement in phase-sensitive OTDR with adaptive 2-D bilateral filtering algorithm [J]. IEEE Photonics Journal, 2017, 9(3): 6802610.
- [6] Pan Z Q, Liang K Z, Ye Q, et al. Phase-sensitive OTDR system based on digital coherent detection [C] // Optical Sensors and Biophotonics, November 13-16, 2011, Shanghai, China. Washington, D.C.: OSA, 2011: 83110S.
- [7] Lu B, Wang Z Y, Zheng H R, et al. High spatial resolution long distance distributed fiber optic vibration sensing system [J]. Chinese Journal of Lasers, 2017, 44(10): 1015001.  
卢斌, 王照勇, 郑汉荣, 等. 高空间分辨率长距离分布式光纤振动传感系统 [J]. 中国激光, 2017, 44(10): 1015001.
- [8] Juarez J C, Maier E W, Choi K N, et al. Distributed fiber-optic intrusion sensor system [J]. Journal of Lightwave Technology, 2005, 23(6): 2081-2087.
- [9] Song M P, Yin C, Lu Y, et al. Four-channel detecting phase demodulation  $\Phi$ -OTDR based on  $3 \times 3$  Michelson interferometer [J]. Acta Optica Sinica, 2018, 38(8): 0806001.  
宋牟平, 尹聪, 陆燕, 等. 基于  $3 \times 3$  迈克耳孙干涉仪的四路检测相位解调  $\Phi$ -OTDR [J]. 光学学报, 2018, 38(8): 0806001.
- [10] Hui X N, Ye T H, Zheng S L, et al. Space-frequency analysis with parallel computing in a phase-sensitive optical time-domain reflectometer distributed sensor [J]. Applied Optics, 2014, 53(28): 6586-6590.
- [11] Sha Z, Feng H, Shi Y, et al. Phase-sensitive optical time domain reflectometer with ultrafast data processing based on GPU parallel computation [J]. Applied Optics, 2018, 57(10): 2679-2685.
- [12] Cui A X, Zhu D Y, Jin W W. Space-borne SAR imaging processing technique based on FPGA [J]. Modern Radar, 2018, 40(8): 40-45, 59.  
崔爱欣, 朱岱寅, 金微微. 基于 FPGA 的星载 SAR 成像信号处理技术 [J]. 现代雷达, 2018, 40(8): 40-45, 59.
- [13] Farhadi-Beldachi A, Huques-Satas E, Tzanakaki A, et al. Experimental demonstration of 5G fronthaul and backhaul convergence based on FPGA-based active optical transport [C] // 2018 European Conference on Optical Communication (ECOC), September 23-27, 2018, Rome, Italy. New York: IEEE, 2018: 18265036.
- [14] Lu L Q, Liang Y, Xiao Q C, et al. Evaluating fast algorithms for convolutional neural networks on FPGAs [C] // 2017 IEEE 25th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM), April 30-May 2, 2017, Napa, CA, USA. New York: IEEE, 2017: 101-108.
- [15] Zhu C H, Wang J P, Li Q Y, et al. Recognition and localization of intrusion vibration signal based on time-frequency characteristics in optical fiber perimeter security [J]. Chinese Journal of Lasers,

- 2016, 43(6): 0610001.
- 朱程辉, 王建平, 李奇越, 等. 基于时频特征的光纤周界入侵振动信号识别与定位[J]. 中国激光, 2016, 43(6): 0610001.
- [16] Xu C J. Research on signal processing technology of distributed optical fiber sensing system [D]. Hangzhou: Zhejiang University, 2017.  
徐铖晋. 分布式光纤传感系统的信号处理技术研究[D]. 杭州: 浙江大学, 2017.
- [17] Wu H J, Xiao S K, Li X Y, et al. Separation and determination of the disturbing signals in phase-sensitive optical time domain reflectometry ( $\Phi$ -OTDR) [J]. Journal of Lightwave Technology, 2015, 33(15): 3156-3162.
- [18] Liang S, Sheng X Z, Lou S Q, et al. Combination of phase-sensitive OTDR and Michelson interferometer for nuisance alarm rate reducing and event identification[J]. IEEE Photonics Journal, 2016, 8(2): 6802112.