

文章编号: 0258-7025(2009)Supplement 1-0356-04

# 具有波长选择功能的单片集成 Si 基长波长光探测器

黄 辉 任晓敏 吕吉贺 黄永清 王 琦 蔡世伟

(北京邮电大学 光通信与光电子学研究院, 北京 100876)

**摘要** 报道了一种 Si 基长波长、窄线宽光探测器。该探测器采用异质外延生长技术,首先在 Si 衬底上生长高质量的 GaAs 基滤波器,接着生长 InP 基 PIN 光探测结构。其中的 GaAs/Si 异质外延生长,采用中间刻槽工序实现了高质量、无裂纹的 GaAs 基外延层。制备的集成器件,在波长 1573.2 nm 处,获得了 1.1 nm 的光谱线宽以及 9% 的量子效率,其中吸收层厚度为 300 nm。

**关键词** 光电子学; 光探测器; 异质外延; GaAs/Si; 波长选择; 光电子集成

中图分类号 O436 文献标识码 A doi: 10.3788/CJL200936s1.0356

## Monolithically Integrated Si-Based Wavelength-Selective Photodetector Operating at Long Wavelength

Huang Hui Ren Xiaomin Lü Jihe Huang Yongqing Wang Qi Cai Shiwei

(Institute of Optical Communication and Optoelectronics, Beijing University of Posts and Telecommunications, Beijing 100876)

**Abstract** A monolithically integrated wavelength-selective photodetector operating at long wavelength was reported in this paper. The photodetector, which consists of an GaAs-based Fabry-Pérot filter and an InP-based p-i-n absorption structure, was grown on a Si substrate by heteroepitaxy technology. A crack-free and high-quality GaAs epilayer was obtained by using mid-patterned growth. The photodetector with a spectral linewidth of 1.1 nm (FWHM) and a quantum efficiency of 9.0% was demonstrated, and its absorption layer thickness is 300 nm.

**Key words** optoelectronics; photodetector; heteroepitaxy; GaAs/Si; wavelength selective; optoelectronic integration

### 1 引 言

在一种材料衬底上生长各种不同的材料体系(即异质外延),能够集各种材料的优异性能为一体,是实现光电子集成的理想途径之一。目前异质外延还主要面临着晶格失配问题和热失配等问题。例如,对于 GaAs/Si 异质外延,由于 GaAs 和 Si 的晶格失配度高达 4.1%,这导致了外延层中缺陷密度高达  $10^8 \text{ cm}^{-2}$ <sup>[1~4]</sup>;同时其热失配也很大,二者的热膨胀系数分别为  $6.0 \times 10^{-6} \text{ K}^{-1}$  和  $2.3 \times 10^{-6} \text{ K}^{-1}$ <sup>[1,2]</sup>。

对于主要由晶格失配引起的位错密度可以通过循环热退火<sup>[1]</sup>、快速热退火<sup>[2]</sup>、应变超晶格缓冲层<sup>[3]</sup>、以及组分渐变 GeSi 缓冲层<sup>[4]</sup>等方法来有效降低。

GaAs/Si 异质外延的研究表明:退火过程中的热应力有助于位错的迁移、合并与消除,并且随着外延

层厚度的增加,会进一步降低位错密度<sup>[1,2]</sup>。但是,当生长厚度超过某个临界值时(约 3.5  $\mu\text{m}$ ),过大的热应力会使得外延层中出现裂纹<sup>[4,5]</sup>。由于热失配裂纹只能释放薄膜边缘处(约两倍膜厚度大小)的热应力,因此热失配裂纹呈密集阵列分布<sup>[4,5]</sup>。对于 5  $\mu\text{m}$  厚的 GaAs 外延层,裂纹密度约为  $100 \text{ cm}^{-1}$ <sup>[4]</sup>,随着膜厚增加到 7  $\mu\text{m}$ ,裂纹密度增加到  $600 \text{ cm}^{-1}$ <sup>[5]</sup>。

对于垂直腔光电子器件而言,通常需要生长很厚的外延层。热失配裂纹的出现,会给器件制备带来极大的困难。为了避免出现热失配裂纹,国际上通常采用两种方法来释放热应力,即选区外延<sup>[6]</sup>和图形衬底外延<sup>[2]</sup>。其中的选区外延,需要用  $\text{SiO}_2$  等作为掩模,但在生长 (Al)GaAs 材料时, $\text{SiO}_2$  上通常会有多晶材料沉积,多晶材料会与窗口区的材料联结在一起,无

**基金项目:** 国家 973 计划(2003CB314901)、国家 863 计划(2006AA03Z416,2007AA03Z418)和新世纪优秀人才支持计划(NCET-05-0111)资助课题。

**作者简介:** 黄 辉(1974—),男,博士,副教授,主要从事半导体光电子学方面的研究。E-mail: huihuang@bupt.edu.cn

法达到释放应力的目的。而图形衬底外延是在生长前对 Si 衬底进行刻槽,然后生长 GaAs 层,这样的确能释放台面边缘处的热应力,但是边缘处(111)面的生长,会导致外延层表面不平,而且由于过早释放热应力导致在台面边缘处产生许多额外的缺陷。采用图形衬底外延,对于面积大于  $461\ \mu\text{m} \times 266\ \mu\text{m}$  的台面,仍然无法避免热失配裂纹的产生<sup>[5]</sup>,因此该方法存在局限性。

本文提出了一种 GaAs 层分两个阶段生长、中间插入刻槽工序(mid-pattern)的 GaAs/Si 异质外延技术,成功地实现了更大面积( $800\ \mu\text{m} \times 700\ \mu\text{m}$ )、更大厚度( $13.86\ \mu\text{m}$ )、无裂纹、表面平坦的 GaAs/Si 异质外延。通过先在 Si 衬底上生长一层较厚(约  $2\ \mu\text{m}$ )的 GaAs 预生长层,然后进行刻槽,接着继续生长 GaAs 系材料。与图形衬底外延相比,刻槽前的预生长层,能引入适中的热应力,可以通过热退火来最大限度的降低位错密度,并且外延层表面平坦光滑,同时刻槽能释放后续生长过程中引入的热应力,使得热应力维持大小适中,避免了裂纹的产生。我们结合中间刻槽工序的 GaAs/Si 异质外延技术和 InP/GaAs 异质外延技术,成功实现了 InP/GaAs/Si 的异质外延,并制作出了单片集成的 Si 基长波长、窄线宽光探测器。

## 2 GaAs/Si 异质外延生长

外延生长是在 Thomas Swan 公司的 CCS-MOCVD 设备上进行的,具体实验步骤如下所述:

1) 首先在清洗好的带倾角的 Si(100)衬底上,在温度  $450\ ^\circ\text{C}$  下生长 AlGaAs 低温缓冲层,接着温度升高至  $700\ ^\circ\text{C}$  时生长  $2\ \mu\text{m}$  厚的 GaAs 层,并进行在位循环热退火。此时,由于外延层厚度适中(热应力适中),循环热退火能有效地降低外延层的缺陷密度,并且不会产生热失配裂纹。

2) 将样品取出,通过光刻和湿法腐蚀工艺,在 GaAs 外延层形成了大小为  $800\ \mu\text{m} \times 700\ \mu\text{m}$  的矩形台面,如图 1 所示。其中台面间 V 型槽的宽度为  $50\ \mu\text{m}$ 、深度为  $25\ \mu\text{m}$ ,台面面积的大小满足器件制备的要求。

3) 将刻槽的 GaAs/Si 外延片清洗完毕,重新放入 MOCVD 反应室,结合在位循环热退火生长基于 GaAs/AlGaAs 材料的法布里-珀罗(F-P)腔滤波器(其厚度为  $11.86\ \mu\text{m}$ )。由于热应力在刻槽处得到有效释放,因此能避免热失配裂纹产生。

生长完的外延片表面的光学显微图像如图 2 所示。由图可知,表面光滑平坦,没有热失配裂纹。

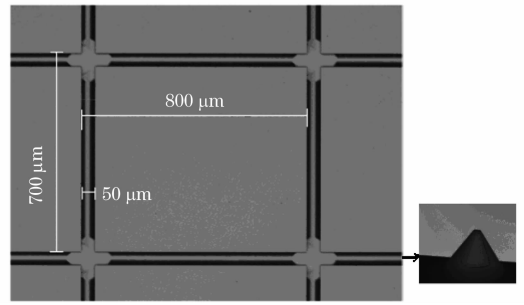


图 1 刻槽后的 GaAs/Si 外延片(右小图为刻槽的截面)  
Fig. 1 Optical micrograph of the patterned wafer (the right image is the cleaved cross-section)

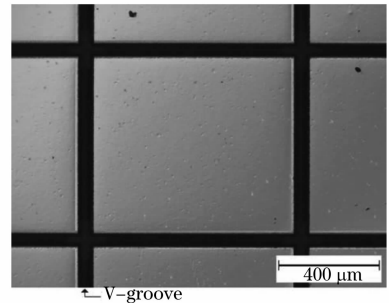


图 2 外延片表面的光学显微图像  
Fig. 2 Optical micrograph of the epilayer surface morphology

外延片截面的扫描电镜(SEM)图像如图 3 所示,其中的 GaAs/AlAs 布拉格反射镜(DBR)的透射电镜(TEM)图像如图 4 所示。由图可知,外延层厚度均匀、平整,并且存在少数残余位错(如图 4 中白色箭头所示)。

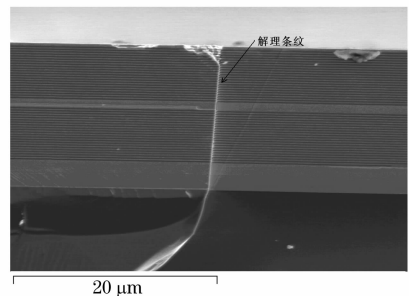


图 3 外延片截面的扫描电镜图像  
Fig. 3 SEM image of the cleaved cross-section of the epilayer

作为对比,未采用刻槽方案所生长的相同结构的外延片,其表面光学显微图像如图 5 所示。由图可知,热失配裂纹呈平行交错,裂纹密度达到  $10^2\ \text{cm}^{-1}$  量级,无法用于器件制作。

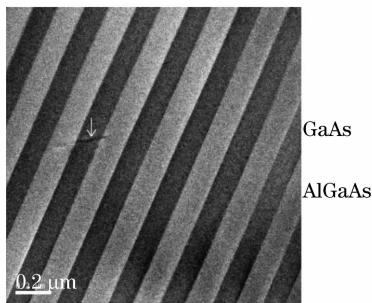


图 4 外延片中 DBR 截面的透射电镜图像

Fig. 4 TEM image of the cross-section of the GaAs/Al<sub>0.9</sub>Ga<sub>0.1</sub>As DBR of the epilayer

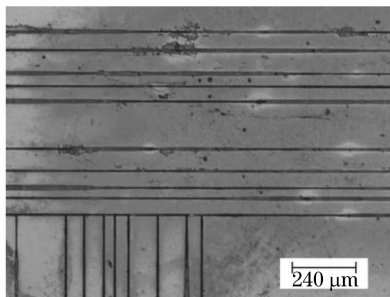


图 5 未采用刻槽方案的外延片表面光学显微图像

Fig. 5 Optical micrograph of the surface morphology of the epilayer grown without patterning

### 3 Si 基长波长、窄线宽光探测器的制备

在 Si 基 GaAs/AlGaAs 滤波器的外延片上,继续生长 InP 基 PIN 光吸收结构,用于制备 Si 基长波长、窄线宽光探测器,其中 PIN 结构中的 In<sub>0.53</sub>Ga<sub>0.47</sub>As 吸收层厚度为 300 nm。生长完的外延片截面的扫描电镜图像如图 6 所示。

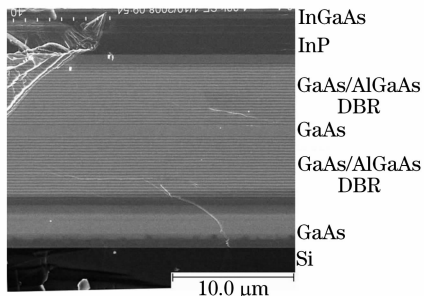


图 6 光探测器外延片的截面扫描电镜图像

Fig. 6 SEM image of the cleaved cross-section of the photodetector of the epilayer

接着在每个 800 μm×700 μm 大小的台面上制作一个完整的器件<sup>[7]</sup>,器件的光学显微镜图如图 7 所示。在镀电极的过程中,V 型槽边上的电极金属没有剥离干净,这对器件性能没有影响。

为了对比,我们还在 GaAs 衬底上生长了相同

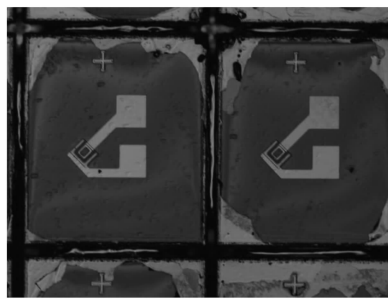


图 7 光探测器的光学显微镜图

Fig. 7 Optical micrograph of the photodetector structure of the detector. The device is tested in a back-illumination mode<sup>[7]</sup>, in the case of reverse bias 3V, the spectral responses of these two devices are shown in Fig. 8.

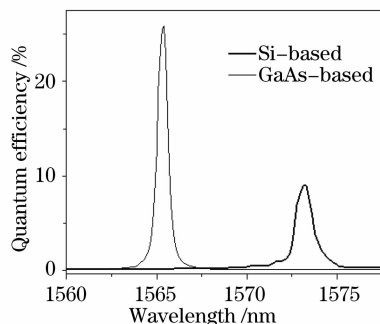


图 8 Si 基和 GaAs 基光探测器的响应谱

Fig. 8 Spectral responses of the Si-based and GaAs-based photodetectors

由光谱响应曲线可知,GaAs 基光探测器的中心波长位于 1565.5 nm、量子效率 27%,光谱线宽 0.8 nm;Si 基光探测器的中心波长位于 1573.2 nm、量子效率 9%、光谱线宽 1.1 nm。相对于 GaAs 基器件, Si 基器件的线宽较宽并且量子效率较低。这是由于 Si 基器件的 DBR 层中,有少量的穿透位错存在,这种位错对光会有散射作用,而且 GaAs/Si 间的残余热应力还会使得 F-P 腔体弯曲,这些因素都导致了滤波器的透过率降低、透射光谱展宽。

### 4 结 论

提出了一种 GaAs 层分两个阶段生长、中间插入刻槽工序(mid-pattern)的 GaAs/Si 异质外延技术,成功地实现了更大面积(800 μm×700 μm)、更大厚度(13 μm)、无裂纹、表面平坦的 GaAs/Si 异质外延。并且结合 InP/GaAs 异质外延技术,成功实现了 InP/GaAs/Si 的异质外延,并制作出了单片集成的 Si 基长波长、窄线宽光探测器,器件的中心波长位于 1573.2 nm、量子效率 9%、光谱线宽 1.1 nm。

## 参 考 文 献

- 1 T. Nishimura, K. Kadoiwa, N. Hayafuji *et al.*. Surface morphology improvement of GaAs-on-Si using a two-reactor MOCVD system and an AlAs/GaAs low temperature buffer layer; an approach to crack-free GaAs-on-Si [J]. *J. Crystal Growth*, 1991, **107**(1~4): 468~472
- 2 M. Tamura, A. Hashimoto, J. Kasai *et al.*. Threading dislocations in GaAs on pre-patterned Si and in post-patterned GaAs on Si[J]. *J. Crystal Growth*, 1995, **147**(3~4): 264~273
- 3 R. Fisher, D. Neuman, H. Zabel *et al.*. Dislocation reduction in epitaxial GaAs on Si(100)[J]. *Appl. Phys. Lett.*, 1986, **48**(18): 1223~1225
- 4 V. K. Yang, M. Groenert, C. W. Leitz *et al.*. Crack formation in GaAs heteroepitaxial films on Si and SiGe virtual substrates [J]. *J. Appl. Phys.*, 2003, **93**(7): 3859~3865
- 5 K. Woodbridge, P. Barnes, R. Murray *et al.*. GaAs / AlGaAs pin MQW structures grown on patterned Si substrates[J]. *J. Crystal Growth*, 1993, **127**(1~4): 112~115
- 6 N. H. Karam, V. Haven, S. M. Vernon *et al.*. Selective area epitaxy of GaAs on Si using atomic layer epitaxy by LP-MOVPE [J]. *J. Crystal Growth*, 1991, **107**(1~4): 129~135
- 7 J. Lü, H. Huang, X. Ren *et al.*. Monolithically integrated long-wavelength tunable photodetector [ J ]. *J. Lightwaive Technology*, 2008, **26**(3): 338~342