

文章编号: 0258-7025(2008)Supplement2-0068-05

基于异变缓冲层与应变层超晶格的 InP/GaAs 异质外延

王 琦 任晓敏 黄永清 黄 辉 蔡世伟

(北京邮电大学光通信与光波技术教育部重点实验室, 北京 100876)

摘要 利用低压金属有机化学气相沉积技术, 开展 InP/GaAs 异质外延实验。由 450 °C 生长的低温 GaAs 层与超薄低温 InP 层组成双异变缓冲层, 并进一步在正常 InP 外延层中插入 $\text{In}_{1-x}\text{Ga}_x\text{P}/\text{InP}$ ($x = 7.4\%$) 应变层超晶格。在不同低温 GaAs 缓冲层厚度、应变层超晶格插入位置及应变层超晶格周期数等条件下, 详细比较了 InP 外延层 (004) 晶面的 X 射线衍射谱, 还尝试插入双应变层超晶格。实验中, 1.2 μm 和 2.5 μm 厚 InP 外延层的 ω 扫描曲线半峰全宽仅 370 arcsec 和 219 arcsec; 在 2.5 μm 厚 InP 层上生长了 10 周期 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ 多量子阱, 室温 PL 谱峰值波长位于 1625 nm, 半峰全宽为 60 meV。实验结果表明, 该异质外延方案有可能成为实现 InP-GaAs 单片光电子集成的一种有效途径。

关键词 光电子学; 异质外延; 低温 GaAs; 低温 InP; 应变层超晶格

中图分类号 TN304.054 TN304.2+3

文献标识码 A

doi: 10.3788/CJL200835s2.0068

Heteroepitaxy of InP on GaAs Substrates Using Metamorphic Buffers and Strained Layer Superlattice

Wang Qi Ren Xiaomin Huang Yongqing Huang Hui Cai Shiwei

(Key Laboratory of Optical Communication & Lightwave Technologies, Ministry of Education, Beijing University of Posts and Telecommunications, Beijing 100876, China)

Abstract Heteroepitaxy of InP on GaAs substrates by LP-MOCVD has been investigated experimentally. Low temperature (LT) GaAs and ultrathin LT InP buffer layers are grown at 450 °C, which had composed the double metamorphic buffers together. In addition, $\text{In}_{1-x}\text{Ga}_x\text{P}/\text{InP}$ ($x = 7.4\%$) strained layer superlattices (SLSs) have been inserted into the normal InP epilayers. XRD curves of InP epilayers in (004) reflection have been compared under different thicknesses of LT GaAs buffer, different insertion positions and different periods of single InGaP/InP SLS. Insertion of double SLSs into InP epilayer has also been tried. In this experiment, the full width at half maximum (FWHM) values of XRD ω scan curves are only 370 arcsec and 219 arcsec for 1.2 μm and 2.5 μm -thick InP epilayers, respectively. Subsequently, 10-period $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ MQW structure has been deposited on 2.5 μm -thick InP epilayer, the peak wavelength of room-temperature PL spectrum was located at 1625nm with the FWHM value of only 60 meV. Experimental results indicate that the heteroepitaxy scheme described in this paper would become a potential approach to realize the monolithic optoelectronic integration between InP and GaAs.

Key words Optoelectronics; heteroepitaxy; low-temperature GaAs; low-temperature InP; strained layer superlattice

1 引 言

近年来, 在 GaAs 衬底上生长高质量 InP 基外延层、制备光纤通信用长波长光电子器件备受关

注^[1~3]。但 InP 和 GaAs 之间的晶格失配度高达 3.7%, 若直接在 GaAs 上生长 InP 基化合物半导体, 外延层中穿透位错密度非常高 ($\rho_t > 10^8/\text{cm}^2$),

基金项目: 国家 973 计划(2003CB314901)、国家 863 计划(2006AA03Z416, 2007AA03Z418)、国际合作(2006DFB11110)及 111 计划(B07005)资助项目。

作者简介: 王琦(1976—), 男, 讲师, 博士, 主要从事光纤通信用半导体光电子集成器件的相关工艺研究。

E-mail: wangqi@bupt.edu.cn

使得 GaAs 衬底上光电子集成器件的性能严重劣化。因此，如何有效地控制 InP/GaAs 异质外延中失配位错的形成、阻断位错向上穿透就显得尤为重要。

目前，InP 与 GaAs 间单片集成的手段主要有 3 种，分别是横向外延(ELOG)^[4]、组分渐变缓冲层(Compositionally graded buffer)^[5,6]与低温异变缓冲层(LT metamorphic buffer)^[7,8]。其中，横向外延属于二次外延工艺，需要沉积掩模、刻蚀图形窗口，获得的低位错密度的区域面积较小；组分渐变缓冲层方案一般是选用 InGa(Al)As、InAlAs、InGaP 等三元或四元材料作为缓冲层，生长工艺复杂、组分渐变很难控制及重复，而且大失配异质外延所需的渐变缓冲层很厚；低温异变缓冲层方案也称作两步生长法，通常是选用与外延层或衬底晶格匹配的二元材料充当异变缓冲层，而且缓冲层可以很薄。其中，低温异变缓冲层方案工艺最为简单、最易实现，但残余应变的存在使得外延层中还存在大量的位错和缺陷。因此，除了优化两步生长法的工艺参数外，还需增加如应变层超晶格(SLS)^[9]、热循环退火(TCA)^[7,10]等辅助技术进一步提高异质外延晶体质量。

为了进一步降低 GaAs 衬底上异质外延 InP 层中的位错密度，本文用低温 GaAs 与低温 InP 组成了双异变缓冲层，同时还在 InP 外延层中插入 InGaP/InP 应变层超晶格(SLS)以阻断失配位错穿透到晶片表面。实验结果证明该异质外延新方案能显著地提高 GaAs 衬底上生长的 InP 外延层的晶体质量。

2 InP/GaAs 异质外延实验

InP/GaAs 异质外延采用低压金属有机化学气相沉积(LP-MOCVD)技术，设备为英国 TSSEL 公司的 3×2" Closed Coupled Showerhead (CCS) 系统。三甲基镓(TMGa)和三甲基铟(TMIn)作为 III 族源，砷烷(AsH₃)和磷烷(PH₃)作为 V 族源，经过钯管(Pd-cell)纯化后的氢气(H₂)作为载气。在生长过程中，反应室的压力保持在 13.3 kPa，石墨舟转速为 100 rpm，载气总流量控制在 12,000 sccm。

通常的 InP/GaAs 异质外延实验，均选择 450 °C 生长的 15 nm 厚低温 InP 层作为单异变缓冲层^[2,8]。而且，在生长低温 InP 缓冲层之前，先要升温至 700 °C，在 GaAs 衬底上沉积 0.5 μm 厚的

正常 GaAs 缓冲层。本实验中，首先用低温 GaAs 缓冲层替代了正常 GaAs 缓冲层，让它与低温 InP 缓冲层组成双异变缓冲层，双异变缓冲层的生长温度固定为 450 °C。该新方案的简要生长流程如下：

- 1) 在 AsH₃ 气氛保护下升温至 450 °C，在 GaAs 衬底上生长一定厚度的低温 GaAs 缓冲层；
- 2) 在 450 °C 下，继续生长 15 nm 厚超薄低温 InP 缓冲层，输入 V/III 为 270；
- 3) 在 PH₃ 气氛保护下升温至 685 °C，生长正常 InP 外延层。

生长低温 GaAs 缓冲层时，AsH₃ 和 TMGa 的摩尔流量分别为 4.5×10^{-3} mol/min 和 2.7×10^{-5} mol/min，输入 V/III 比为 167。生长正常 InP 外延层时，PH₃ 和 TMIn 的摩尔流量分别为 6.7×10^{-3} mol/min 和 3.6×10^{-5} mol/min，输入 V/III 比为 186。实验中，保持正常 InP 外延层厚度为 1.2 μm，探索低温 GaAs 缓冲层生长厚度对 InP 外延层的影响，以确定最优的双异变缓冲层方案。接下来，又将应变层超晶格技术与最优的双异变缓冲层方案结合起来，在正常 InP 外延层中插入 In_{1-x}Ga_xP/InP ($x = 7.4\%$)应变层超晶格，重点探索 InGaP/InP 超晶格的插入位置及周期数对 InP 外延层的影响。实验中，超晶格的生长温度也是 685 °C，超晶格的周期厚度固定为 11 nm(其中张应变 InGaP 势垒层厚度为 4 nm，InP 阱层厚度为 7 nm，均未超过各自的临界厚度)。

所有异质外延样品均生长在两英寸 Epiready 级 GaAs 衬底上，并利用高分辨率双晶 X 射线衍射仪(DCXRD)、室温光荧光谱仪(PL)及透射电镜(TEM)分析外延层的晶体质量。

3 实验结果与分析

3.1 双异变缓冲层

表 1 为具体采用的双异变缓冲层方案及相关实验数据。为了便于对比，还列出了采用正常 GaAs 缓冲层与低温 InP 缓冲层(即单异变缓冲层)的 DCXRD 数据。

可以看出，由 80nm 厚低温 GaAs 缓冲层与 15nm 厚低温 InP 缓冲层构成的双异变缓冲层方案(样品 3)最佳，FWFM 值最小，且优于单异变缓冲层方案(样品 1)。该双异变缓冲层较为有效地协调 GaAs 衬底与 InP 外延层之间的失配应变，在一定程度上提高了 InP 外延层的晶体质量。节省了采用正常 GaAs 缓冲层所需的升温和降温过程。

表 1 低温 GaAs 缓冲层对异质外延 InP 层的影响

Table 1 Influence of LT GaAs buffers on the heteroepitaxial InP epilayers

Sample No.	InP/GaAs heteroepitaxial structure	DCXRD(004)	FWHM(arcsec)
		ω scan	$\omega - 2\theta$ scan
1	InP(1.2 μm)/ LT InP(450 $^{\circ}\text{C}$, 15 nm)/ Normal GaAs(700 $^{\circ}\text{C}$, 0.5 μm)	460	386
2	InP(1.2 μm)/ LT InP(450 $^{\circ}\text{C}$, 15 nm)/ LT GaAs(450 $^{\circ}\text{C}$, 20 nm)	476	412
3	InP(1.2 μm)/ LT InP(450 $^{\circ}\text{C}$, 15 nm)/ LT GaAs(450 $^{\circ}\text{C}$, 80 nm)	440	373
4	InP(1.2 μm)/ LT InP(450 $^{\circ}\text{C}$, 15 nm)/ LT GaAs(450 $^{\circ}\text{C}$, 140 nm)	479	400

3.2 插入单 InGaP/InP 应变层超晶格

表 2 给出了 10 周期 InGaP/InP 应变层超晶格在 1.2 μm 厚 InP 外延层中不同插入位置对 InP 外延层的影响, LT GaAs 和 LT InP 的生长条件与样品 3 保持一致。可以看出, 样品 7 的 ω 扫描与 $\omega - 2\theta$ 扫描曲线的 FWHM 值均最小, 且明显优于仅采

用双异变缓冲层的样品 3, 说明插入的 SLS 已显著地改善了 InP 外延层晶体质量。此时, 夹在 10 周期应变层超晶格与低温 InP 缓冲层之间的正常 InP 层厚度为 0.3 μm 。发现 SLS 的插入位置不能距离低温 InP 缓冲层过远(如样品 9), 否则反而会使得 InP 外延层的晶体质量劣化。

表 2 10 周期 InGaP/InP SLS 插入位置对异质外延 InP 层的影响

Table 2 Influence of the insertion position of 10-period InGaP/InP SLS on the heteroepitaxial InP epilayers

Sample No.	InP/GaAs heteroepitaxial structure	DCXRD(004)	FWHM(arcsec)
		ω scan	$\omega - 2\theta$ scan
5	InP(1140 nm)/ 10 * SLS/ InP(60 nm)/ LT InP/ LT GaAs	401	361
6	InP(960 nm)/ 10 * SLS/ InP(240 nm)/ LT InP/ LT GaAs	397	356
7	InP(900 nm)/ 10 * SLS/ InP(300 nm)/ LT InP/ LT GaAs	386	340
8	InP(840 nm)/ 10 * SLS/ InP(360 nm)/ LT InP/ LT GaAs	415	368
9	InP(600 nm)/ 10 * SLS/ InP(600 nm)/ LT InP/ LT GaAs	486	408

表 3 给出了不同周期数 InGaP/InP SLS 对 InP 外延层的影响, 其中 SLS 的周期数分别为 1、7、10、15 和 20, SLS 在 InP 外延层中的插入位置固定为 0.3 μm 。可以看出, 除超晶格周期数为 1 的样品

10 外, 插入其它周期数的 SLS 都能提高 InP 的晶体质量, 而且它们之间的差别并不大。在这些样品中, 样品 12 的 ω 扫描与 $\omega - 2\theta$ 扫描曲线的 FWHM 值最小, 因此 15 周期为 SLS 的最佳周期数。

表 3 InGaP/InP SLS 周期数对异质外延 InP 层的影响

Table 3 Influence of the period of InGaP/InP SLS on the heteroepitaxial InP epilayers

Sample No.	InP/GaAs heteroepitaxial structure	DCXRD(004)	FWHM(arcsec)
		ω scan	$\omega - 2\theta$ scan
10	InP(900 nm)/ 1 * SLS/ InP(300 nm)/ LT InP/ LT GaAs		405
11	InP(900 nm)/ 7 * SLS/ InP(300 nm)/ LT InP/ LT GaAs		370
7	InP(900 nm)/ 10 * SLS/ InP(300 nm)/ LT InP/ LT GaAs	386	340
12	InP(900 nm)/ 15 * SLS/ InP(300 nm)/ LT InP/ LT GaAs	370	338
13	InP(900 nm)/ 20 * SLS/ InP(300 nm)/ LT InP/ LT GaAs		353

随后, 在样品 12 的基础上, 通过将 InP 外延层厚度提高至 2.5 μm (SLS 的插入位置仍保持不变), 又生长了样品 14。此时, InP 外延层(004)晶面 ω 扫描与 $\omega - 2\theta$ 扫描曲线的 FWHM 值降低至 219 和 203 arcsec(如图 1 所示), 而 $\omega - 2\theta$ 扫描图样中(004)InP 与(004)GaAs 衍射峰之间出现的“肩膀”和“凸起”正是由插入 InGaP/InP 应变层超晶格所

引起的。样品 14 的 InP 室温 PL 谱的峰值波长位于 917 nm 处, FWHM 值仅为 42 meV。与样品 12 相比, 外延层的晶体质量又获得了明显提高。若仅采用单异变缓冲层方案, 2.5 μm 厚 InP 外延层(004)晶面 ω 扫描和 $\omega - 2\theta$ 扫描曲线的 FWHM 值则分别为 295 arcsec 和 264 arcsec, InP 室温 PL 的 FWHM 值为 45 meV。

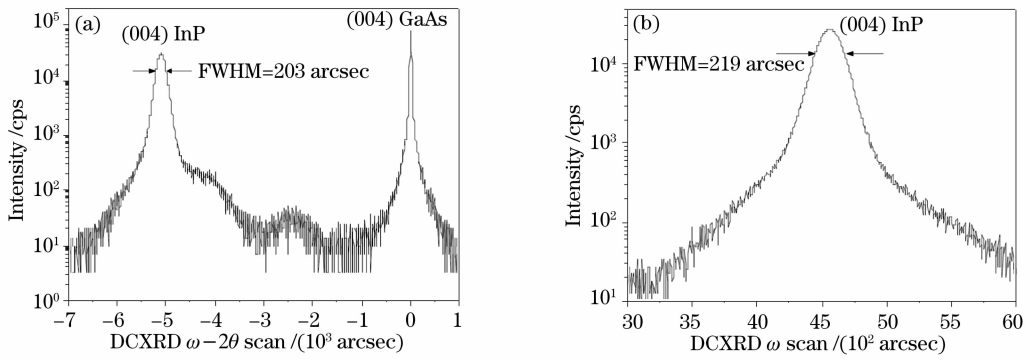


图 1 插入 15 周期 SLS 的 2.5 μm 厚 InP 外延层(004)晶面衍射图样

Fig. 1 (004) DCXRD patterns of 2.5 μm-thick InP epilayers with 15-period SLS inserted

此外，还对样品 14 的横截面进行了 TEM 测试，如图 2 所示。大部分的失配位错都被限制在双应变缓冲层与 GaAs 衬底的交界面附近以及双应变缓冲层中，还有一些位错进入到 SLS 与应变缓冲层间的 InP 外延层中。能穿透 15 周期应变层超晶格进入到顶部 Normal InP 层的位错极少，这充分说明了插入 InGaP/InP 应变层超晶格显著地降低了穿透位错的密度、提高了异质外延晶体质量。另外，如图 2 中箭头所示，TEM 测试也验证了应变层超晶格降低位错密度的机理，即在异质外延层中插入的应变层超晶格形成一个较强的应力场，该应力场可使得穿透应变缓冲层进入到 InP 外延层中的位错发生弯折，而且这些位错之间还会发生“湮灭”反应^[11]。

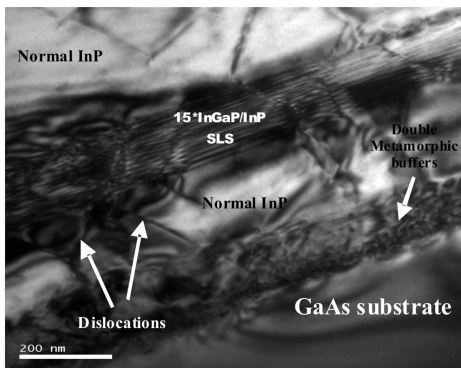


图 2 异质外延样品 14 的 TEM 横截面图像

Fig. 2 Cross-sectional TEM image of the heteroepitaxial sample 14

3.3 插入双 InGaP/InP 应变层超晶格

基于样品 14 的结构，在位于 15 周期 InGaP/InP 应变层超晶格顶部的 InP 外延层中又插入了 1 个 10 周期 InGaP/InP 应变层超晶格，形成了双应

应变层超晶格新方案，具体外延结构如图 3 所示。两个应变层超晶格的周期厚度均为 11 nm，夹在它们之间的正常 InP 外延层厚度为 0.6 μm。此时，2.5 μm 厚 InP 外延层(004)晶面 ω 扫描和 ω - 2θ 扫描曲线的 FWHM 值则分别为 206 arcsec 和 193 arcsec，略优于插入单应变层超晶格的样品 14。

Normal InP (685°C, 1.6μm)
10* [InGaP (4nm) SLS II InP (7nm)]
Normal InP (685°C, 0.6μm)
15* [InGaP (4nm) SLS I InP (7nm)]
Normal InP (685°C, 0.3μm)
LT InP buffer (450°C, 15nm)
LT GaAs buffer (450°C, 80nm)
(001) GaAs substrate

图 3 采用双应变层超晶格的异质外延样品的外延结构

Fig. 3 Schematic structure of the heteroepitaxial sample adopting double SLSs

3.4 生长 In_{0.53}Ga_{0.47}As/InP 多量子阱

同样基于样品 14 的结构，在 GaAs 衬底上生长了 10 周期 In_{0.53}Ga_{0.47}As/InP 多量子阱(MQW)结构，MQW 的周期厚度为 35 nm，具体外延结构见图 4(a)。如图 4(b)中箭头所示，DCXRD 衍射图样上可见较为清晰的量子阱卫星峰，表明 GaAs 衬底上生长的 MQW 的晶体质量较好、异质界面也比较陡峭，且 (004) InP 衍射峰的 FWHM 值仅 217 arcsec。室温 PL 谱测试表明，该 InGaAs/InP MQW 的 PL 峰值波长位于 1625 nm 处，FWHM 值为 60 meV，见[图 4(c)]。

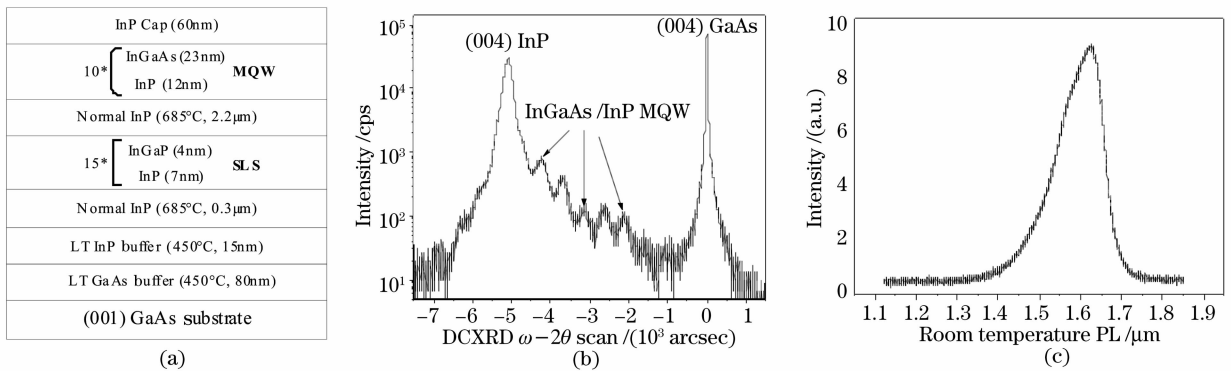


图4 GaAs衬底上生长的10周期InGaAs/InP多量子阱。(a)外延结构;(b)DCXRD $\omega-2\theta$ 扫描图样;(c)室温PL谱

Fig. 4 10-period InGaAs/InP MQW grown on GaAs substrate. (a) Schematic structure;

(b) DCXRD $\omega-2\theta$ scan pattern; (c) room temperature PL

4 结 论

在InP/GaAs异质外延实验中,采用LP-MOCVD生长技术,以450 $^{\circ}$ C生长的80 nm厚低温GaAs缓冲层替代了原700 $^{\circ}$ C生长的0.5 μ m厚正常GaAs缓冲层,并与450 $^{\circ}$ C生长的15 nm厚超薄低温InP缓冲层组成了双异变缓冲层。在该双异变缓冲层上生长的1.2 μ m厚InP外延层(004)晶面 ω 扫描曲线的FWHM值由最初的460 arcsec下降至440 arcsec。

将应变层超晶格技术与该双异变缓冲层方案结合起来,在InP外延层中插入周期厚度为11 nm的 $\text{In}_{1-x}\text{Ga}_x\text{P}/\text{InP}$ ($x=7.4\%$)应变层超晶格。实验研究表明:当SLS与低温InP缓冲层之间正常InP层厚度为0.3 μ m且SLS周期数为15时,SLS改善晶体质量的效果最佳。此时,1.2 μ m和2.5 μ m厚InP外延层(004)晶面 ω 扫描曲线的FWHM值分别低至370 arcsec和219 arcsec。在2.5 μ m厚InP外延层上生长的10周期 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ 多量子阱,其室温PL谱峰值波长位于1625 nm,PL谱FWHM为60 meV。DCXRD与TEM测试结果都表明了采用“双异变缓冲层+应变层超晶格”方案能显著降低GaAs衬底上生长的InP外延层的位错密度。

参 考 文 献

1 Y. Zhang, C. S. Wenlan, R. E. Leoni *et al.*. 40-Gbit/s OEIC

- on GaAs substrate through metamorphic buffer technology[J]. *IEEE Electron Device Letters*, 2003, **24**(9): 529~531
- 2 Qi Wang, Jihe Lv, Deping Xiong *et al.*. Metamorphic $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ p-i-n photodetector grown on GaAs substrates by low-pressure MOCVD[J]. *Chin. Opt. Lett.*, 2007, **5**(6): 358~360
- 3 Jihe Lv, Hui Huang, Xiaomin Ren *et al.*. Monolithically integrated long-wavelength tunable photodetector[J]. *IEEE J. Lightwave Technol.*, 2008, **26**(3): 338~342
- 4 Jing Zhou, Xiaomin Ren, Qi Wang *et al.*. Surface characterization of epitaxial lateral overgrowth of InP on InP/GaAs substrate by MOCVD[J]. *Microelectronics Journal*, 2007, **38**(2): 255~258
- 5 M. T. Bulsara, C. Leitz and E. A. Fitzgerald. Relaxed $\text{In}_x\text{Ga}_{1-x}\text{As}$ graded buffers grown with organometallic vapor phase epitaxy on GaAs [J]. *Appl. Phys. Lett.*, 1998, **72**(13): 1608~1610
- 6 N. J. Quitarinano, E. A. Fitzgerald. Relaxed, high-quality InP on GaAs by using InGaAs and InGaP graded buffers to avoid phase separation[J]. *J. Appl. Phys.*, 2007, **102**: 033511-1~033511-17
- 7 Y. Takano, T. Sasaki, Y. Nagaki *et al.*. Two-step growth of InP on GaAs substrates by metalorganic vapor phase epitaxy[J]. *Journal of Crystal Growth*, 1996, **169**: 621~624
- 8 Aiguang Ren, Xiaomin Ren, Qi Wang *et al.*. Heteroepitaxy of $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ on GaAs substrate by low pressure metalorganic chemical vapor deposition for the OEIC applications [J]. *Microelectronics Journal*, 2006, **37**(8): 700~704
- 9 T. Kimura, T. Kimura, E. Ishimura *et al.*. Improvement of InP crystal quality grown on GaAs substrates and device applications [J]. *Journal of Crystal Growth*, 1991, **107**(1-4): 827~831
- 10 Norio Hayafuji, Tatsuya Kimura, Naohito Yoshida *et al.*. Improvement of InP crystal quality on GaAs substrates by thermal cyclic annealing [J]. *Japanese Journal of Applied Physics*, 1989, **28**(10): L1721~L1724
- 11 C. Hu, Simpson, W. A. Jesser. On the use of low energy misfit dislocation structures to filter threading dislocations in epitaxial heterostructures[J]. *Physica Status Solidi (a)*, 1995, **149**(1): 9~20