

文章编号: 0258-7025(2005)04-0537-07

# APON 系统网络终端物理层的设计原理与实现

董大圣, 迟泽英, 陈文建

(南京理工大学电子工程与光电技术学院, 江苏 南京 210094)

**摘要** 在分析了基于异步传输模式(ATM)技术的无源光接入网(PON)的分层模型以及下行数据流的数据格式的基础上,给出了 APON 系统网络终端(ONT)物理层的设计原理,以及在设计中所使用到的信元定界、分布式扰码以及可编程门阵列(FPGA)芯片的编程和优化等关键技术;介绍了系统网络终端物理层的设计实现,给出了传输汇聚(TC)层部分同步信号的时序图,阐述了该设计完成了 G. 983. 1 协议所规定的物理层功能,达到了预定的设计目的。

**关键词** 光通信; 异步转移模式; 无源光网络; 物理层; 信元定界; 分布式扰码

**中图分类号** TN915. 6 **文献标识码** A

## Design and Implementation of Physical Layer of APON System Termination Equipment ONT

Dong Da-sheng, Chi Ze-ying, Chen Wen-jian

(School of Electronic and Optoelectronics Technology, Nanjing University of Science and Technology, Nanjing, Jiangsu 210094, China)

**Abstract** This article analyses the model of the ATM-PON system and its downstream data structure. Based on the analysis, the layout design of ONT's physical layers is illustrated, including some important key technique, such as cell delineating, DSS, and the VHDL programming technique of FPGA, and so on. Then the implementation of the physical layer and the timing relationship of synchronization is given to prove that the design destination of the physical layer of ONT is accomplished successfully.

**Key words** optical communication; asynchronous transfer mode (ATM); passive optical network (PON); physical layer; cell delineating; distributed sample scrambling

### 1 引 言

在网络技术飞速发展以及网络服务内容不断丰富的今天,骨干网大规模使用了以波分复用(WDM)<sup>[1]</sup>技术为核心的光纤通信网,其容量已经能够满足甚至远远超过现有的网络需求。而接入网还停留在以 56K 拨号上网为主的接入方式,即使 ADSL 宽带接入网的速度也不过 512K 甚至几兆比特每秒,不能满足不断发展的网络技术和需求,已经成为网络通信中的瓶颈,因此,提高接入网的网速,增加接入带宽是解决这一问题的根本途径。基于异步传输模式(ATM)技术的无源光网络<sup>[2,3]</sup>(PON)是采用无源光器件的光纤接入网,它的传输

带宽为 155 Mbit/s,最高可达 622 Mbit/s<sup>[2]</sup>。无源光网络提供对多种业务的支持并且具有服务质量保证(QoS)<sup>[2,4]</sup>,能够很好地支持现有的和可预见的各种业务,是宽带接入的理想解决方案之一<sup>[5]</sup>。

### 2 APON 系统网络终端物理层的设计

APON 系统网络终端(ONT)是采用分层的设计思想来实现的。根据 G. 983. 1 协议,该系统由下到上可以分为物理层、异步传输模式通道层、适配层以及应用层<sup>[2]</sup>。

其中,物理层包括物理媒介层和传输汇聚(TC)层,物理媒介层提供了系统网络终端的光接口功能,

收稿日期: 2004-01-13; 收到修改稿日期: 2004-05-13

基金项目: 江苏省高技术研究计划(BG2001046)资助项目。

作者简介: 董大圣(1978—),男,山东青岛人,南京理工大学电子工程与光电技术学院博士研究生,主要从事光接入网方面的研究。E-mail: dongdasheng@vip. sina. com

传输汇聚层提供了物理层的管理功能以及与异步传输模式层的接口功能。传输汇聚层功能是物理层的核心功能,它的设计完全是独立自主的,具有独立的知识产权。

### 2.1 物理媒介层设计原理与实现

物理媒介层完成光/电转换以及时钟提取功能,设计中采用飞通公司的 PT8351 单纤双向的光收发模块和时钟恢复芯片 sy87700v 来实现这些功能,如图 1。

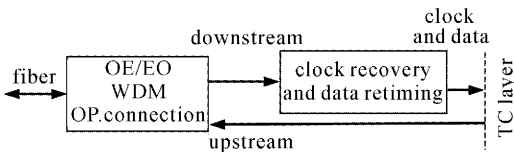


图 1 物理媒介层的工作原理框图  
Fig.1 Scheme of physical layer

### 2.2 传输汇聚层设计原理

#### 2.2.1 APON 系统的下行数据格式

APON 系统下行数据是速率为 155.52 Mbit/s 的连续数据流,这些数据是按照帧格式来传输的,每个数据帧又包含若干个不同的异步传输模式信元。其中物理层操作管理信元(PLOAM)携带有物理层的管理信息,它不携带数据信息;数据信息封装在其他异步传输模式信元当中,如图 2~图 4。

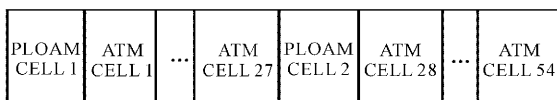


图 2 下行帧结构  
Fig.2 Structure of downstream frame

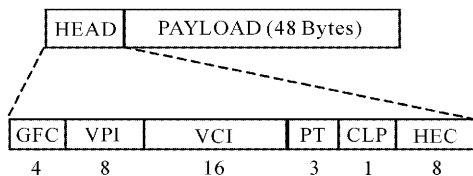


图 3 异步传输模式信元结构  
Fig.3 Structure of ATM cell

一个数据帧包括 54 个异步传输模式信元和 2 个物理层操作管理信元,物理层操作管理信元位于一帧中的第 1,28 个位置。每个异步传输模式信元都是由 53 个字节组成,包括 5 字节的信头和 48 字节的净荷部分,而信头的第 5 个字节是 HEC 校验字节,它是前 4 个字节的循环冗余校验(CRC)值,信元的定界就是在信头的基础上完成的。如图 4,每个物理层操作管理信元的信头都是相同的,在不加

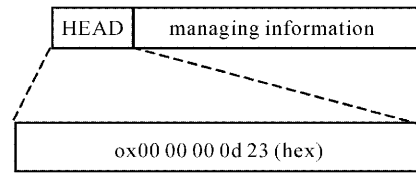


图 4 物理层操作管理信元结构  
Fig.4 Structure of PLOAM cell

模板的情况下,物理层操作管理信元的信头的取值为 0x0000000d23,该值也符合循环冗余校验。物理层操作管理信元的净荷部分携带物理层的管理信息,包括准许值和传送的消息<sup>[2]</sup>,其中第 1 个净荷字节用来分辨物理层操作管理信元在数据帧中的位置,如果该值为 0x01,则这个物理层操作管理信元是数据帧的第 1 个物理层操作管理信元,如果该值为 0x00,则这个物理层操作管理信元是数据帧的第 2 个物理层操作管理信元。该字节和物理层操作管理信元信头的特性是帧同步的基础。

由于数据中不可避免地会出现长的连 0 或者连 1,使得时钟恢复芯片失步<sup>[6]</sup>。为了避免这种现象,有必要在下行数据发送前使用伪随机序列进行加扰。对于 APON 系统,采用的加扰方式为分布式采样扰码(DSS)。分布式采样扰码是通过伪随机序列对信头的前 4 个字节和净荷部分进行正常加扰,而信头的第 5 个字节,也就是 HEC 字节的前 6 个比特是对信头前 4 个字节的加扰序列进行循环冗余校验计算得到的值与原值模 2 加得到的,第 7,8 两个比特是加扰序列的采样值与原值模 2 加得到的,这两个采样值用于扰码同步。由此可见,真正用信元定界的是 HEC 字节的前 6 个数据。

#### 2.2.2 传输汇聚层的设计原理

传输汇聚层的设计是采用 VHDL 语言在可编程门阵列芯片上实现的。为了满足 APON 系统 155M 的串行处理速度以及差分电平的接口要求,设计选用了 VIRTEXE 系列的芯片作为传输汇聚层的载体。

根据 APON 系统分层结构、传输汇聚层的功能要求以及 APON 系统下行数据流的格式,在传输汇聚层的设计中采用了模块化的设计思想,即把传输汇聚层的功能分为几个功能独立的模块并通过接口连接起来完整其功能。传输汇聚层设计原理如图 5 所示。

整个传输汇聚层分成了几个主要的模块,包括信元定界模块、帧定位模块、准许处理模块、消息处

理模块、异步传输模式物理层通用测试和操作接口 (UTOPIA)模块、上行输出控制模块。信元定界模块逐比特的搜索异步传输模式信头,在同步后给出并行的字节宽度的数据和时钟信号,接下来进行分布式解扰;帧定位模块根据下行数据帧格式进行帧同步,之后完成异步传输模式信元和物理层操作管理信元的分离工作,异步传输模式信元通过 UTOPIA 接口送到异步传输模式层,物理层操作管理信元则存储在存储器内等待进行准许和消息的处

理;测距状态机根据准许和消息的处理结果控制系统的工作状态;在上行方向上,读控制器从 UTOPIA 接口读入异步传输模式信元,输出控制根据系统的控制信号在准许的时隙内向上行发送相应于授权类型的信元,经过并串转换和帧同步加扰 (FSS)后,通过差分接口发送到物理媒介子层。通过采用模块化的设计思想,减轻了设计的难度,增加了系统的可维护性,大大缩短了设计的周期以及调试的复杂程度。

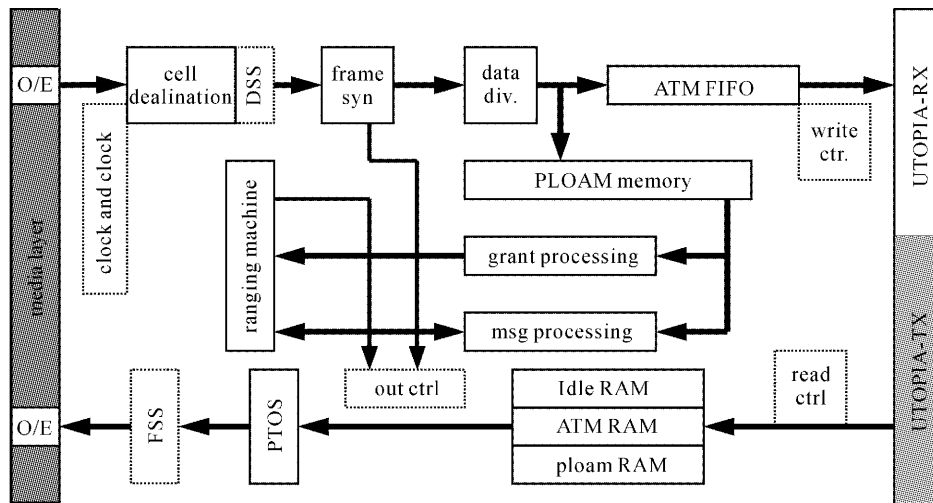


图 5 传输汇聚层设计原理图  
Fig. 5 Scheme of TC layer design

### 2.3 传输汇聚层的关键技术

#### 2.3.1 信元同步技术

信元同步是根据信元的 HEC 字节来实现的,这个字节是信头前 4 个字节的循环冗余校验值,在加扰的情况下,只有低 6 位的 6 个比特值符合循环冗余校验,因此同步是在这 6 个比特的基础上实现的。而同步要在 APON 系统下行 155M 的高时钟速率条件下实现,这对于系统也提出了很高的要求。

异步传输模式信头采用循环冗余校验的生成多

项式是:  $g(x) = x^8 + x^2 + x + 1$ <sup>[2,7]</sup>。该多项式最多可保护 15 个字节<sup>[8,9]</sup>,因此也被用于 7 个字节一组的授权和 12 个一组的消息的保护中。串行的循环冗余校验算法可以采用带反馈的移位寄存器来实现<sup>[8~10]</sup>,但是对于系统逐比特搜索的要求来看,串行搜索电路的运行速度虽然很高,但搜索周期很长,因此采用并行的校验算法来减少信头的搜索时间。由校验多项式  $g(x) = x^8 + x^2 + x + 1$  可得循环码的生成矩阵

$$G(x) = \begin{bmatrix} x^{k-1}g(x) \\ x^{k-2}g(x) \\ \vdots \\ xg(x) \\ g(x) \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & \cdots & 0 \\ \vdots & & & & & & & & & & & & \\ 0 & \cdots & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 \\ 0 & \cdots & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 \end{bmatrix}; \quad k = 32. \quad (1)$$

对(1)式进行标准化处理之后,得到  $G'(x)$ 。

$$C = [C_{30} C_{38} \cdots C_8 C_7 \cdots C_0] = [C_{39} C_{38} \cdots C_8]G'(x). \quad (2)$$

根据  $G'(x)$  式和(2)式,就可以得到 HEC 字节的 8 位数据  $C_7 \cdots C_0$  与被保护的信头的数据  $C_{39} C_{38} \cdots C_8$  之间的函数关系,也就是循环冗余校验的并行算法为

$$\begin{aligned}
 C(7) &= C(19) \oplus C(15) \oplus C(14) \oplus \\
 & C(13) \oplus C(23) \oplus C(30) \oplus \\
 & C(35) \oplus C(21) \oplus C(37) \oplus \\
 & C(28) \oplus C(26) \oplus C(38) \oplus \\
 & C(25); \\
 & \vdots \\
 C(0) &= C(16) \oplus C(15) \oplus C(14) \oplus \\
 & C(8) \oplus C(24) \oplus C(31) \oplus \\
 & C(22) \oplus C(29) \oplus C(20) \oplus \\
 & C(36) \oplus C(27) \oplus C(39) \oplus \\
 & C(26) \oplus C(38).
 \end{aligned}
 \tag{3}$$

在采用并行算法后,可以一次读入 40 位的数据

进行校验计算。然而,40 位数据的并行校验算法有很长的异或链会造成很大的延时,因此在设计中还采用了流水线的方法<sup>[11]</sup>来减少组合电路的长度,提高系统的运行速度。同时,采用并行处理的方法,使用 8 个校验模块在每个可能的字节边界(未定界前字节的边界有 8 种可能)进行校验,这样每个校验模块每字节工作一次,8 个校验模块就可以覆盖连续的 8 bit,在实现了逐比特搜索信头的功能的同时实现了字节的定界,信元定界设计的原理如图 6 所示。

信元同步模块最终输出锁定后的字节时钟信号以及信头脉冲信号和并行的字节时钟信号,为后续的解扰、帧定位以及其他模块的处理打下了基础。

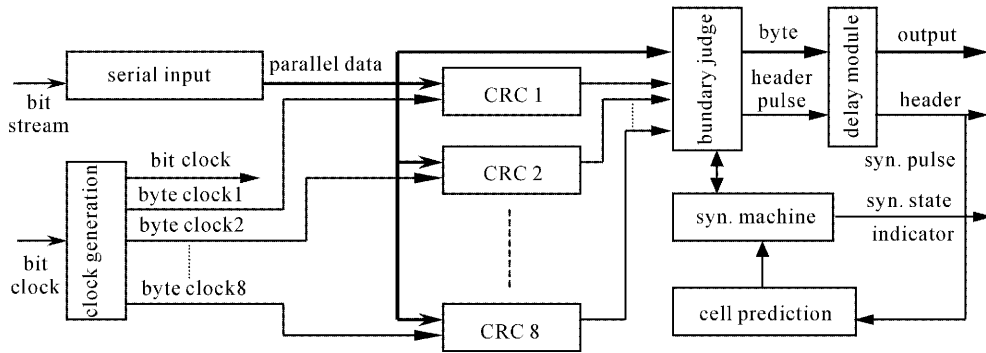


图 6 信元同步模块设计框图

Fig. 6 Scheme of cell delineation module design

### 2.3.2 分布式扰码技术

#### 2.3.2.1 分布式加扰原理

为了避免下行连续比特流中出现长 0 和长 1 现象,造成时钟提取芯片的失步,有必要在下行数据发送进行加扰<sup>[10,12]</sup>。在 APON 系统中采用分布式采样扰码,工作原理如图 7<sup>[10]</sup>所示。

在加扰端,移位寄存器(SRG)用来产生伪随机序列 $\{s_k\}$ ,然后与串行序列 $\{b_k\}$ 进行模 2 运算得到

输出序列 $\{b_k + s_k\}$ ,同时通过对伪随机序列 $\{s_k\}$ 进行适当的采样,该采样值传送到解扰并被解扰器用来进行扰码同步。采样点的选取必须满足如下条件:

对于扰码空间为  $L$  维序列空间  $V[\psi(x)]$  的移位寄存器产生的扰码序列 $\{s_k\}$ ,在采样时刻  $\alpha_i$ ,  $i=0,1,\dots,L-1$  采样得到的采样矢量  $z=[z_0 z_1 \dots z_{L-1}]^i$  可以通过  $z = \Delta_\alpha \cdot s$  进行表达,  $s$  为序列的初始化矢量,  $\Delta_\alpha$  为  $L \times L$  维的判别矩阵,定义如下

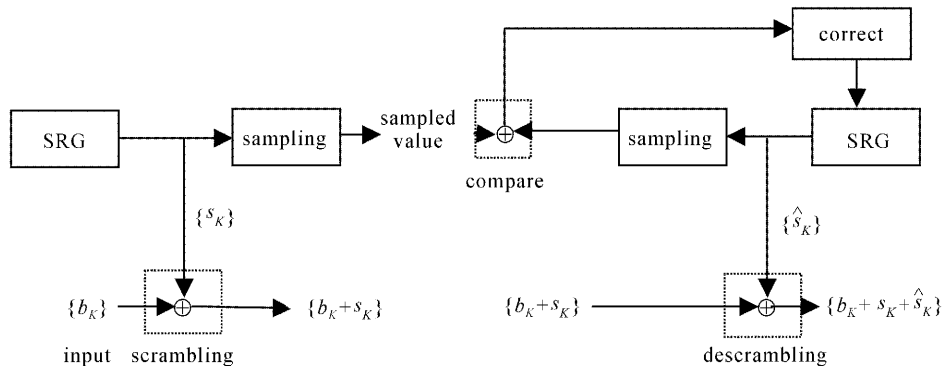


图 7 分布式采样扰码原理框图

Fig. 7 Scheme of DSS mechanism

$$\Delta_\alpha = \begin{bmatrix} e_0^T \cdot [A_{\psi(x)}^T]^{\alpha_0} \\ e_0^T \cdot [A_{\psi(x)}^T]^{\alpha_1} \\ \vdots \\ e_0^T \cdot [A_{\psi(x)}^T]^{\alpha_{L-1}} \end{bmatrix},$$

$A_{\psi(x)}$  为  $\psi(x)$  的伴随矩阵。如果矩阵  $\Delta_\alpha$  是满秩的, 则采样时刻  $\alpha_i, i = 0, 1, \dots, L - 1$  是可预测的采样时间, 采样值  $z_0, z_1, \dots, z_{L-1}$  可以用来进行扰码同步。从这里也可以看出, 如果要达到扰码同步, 至少需要  $L$  个采样值。

对于 APON 系统, 序列空间  $V[\psi(x)]$  的多项式为  $\psi(x) = x^{31} + x^{28} + 1, L = 31^{[7]}$ 。采样时刻选取周

表 1 信头加扰图样

Table 1 Scrambling pattern of cell header

CLP	HEC <sub>8</sub>	HEC <sub>7</sub>	HEC <sub>6</sub>	HEC <sub>5</sub>	HEC <sub>4</sub>	HEC <sub>3</sub>	HEC <sub>2</sub>	HEC <sub>1</sub>	1 <sup>st</sup> payload bit	2 <sup>nd</sup> payload bit
+	+	+							+	+
$U_{t-1}$	$U_{t-211}$	$U_{t+1}$							$U_{t+8}$	$U_{t+9}$

对于 HEC<sub>7</sub> 采样值就是正常加扰时的扰码值, 但 HEC<sub>8</sub> 的值是 211 个比特前的值, 如果要在嵌入该值的时刻(称作采样传输时刻)将该值加到 HEC<sub>7</sub> 上显然应该在采样时存储该值, 并且附加定时电路才能够达到目的。这不仅浪费了可编程门阵列芯片的资源, 而且增加了设计上的复杂程度, 为此, 可以采用并发采样技术。

并发采样技术是在伪随机序列发生器一带反馈的移位寄存器的状态转换的可追溯性的基础上实现的, 它的核心思想是: 利用采样传输时刻与采样时刻的移位寄存器状态之间的关系, 等效地计算出采样传输时刻移位寄存器的状态与采样时刻的采样值的关系, 这样就可以丢掉定时存储电路, 简化系统设计, 推导关系如下

$$z_i = \mathbf{v}^i \cdot \mathbf{d}_i, \quad (4)$$

$\mathbf{v}$  是联系移位寄存器状态  $d_i$  与该时刻采样值  $z_i$  的一个矢量, 称为采样矢量。根据

$$\hat{\mathbf{v}} = (\mathbf{T}^i)^{j-i} \cdot \mathbf{v}, \quad (5)$$

可得联系采样时刻  $i$  的采样值  $z_i$  与采样传送时刻  $j$  的移位寄存器状态  $d_j$  的采样矢量  $\hat{\mathbf{v}}$ , 根据(4)式, 就可以计算出传输时刻  $j$  的等效采样值  $z_i$ 。其中, (5)式中  $\mathbf{T}$  是移位寄存器的转移矩阵, 它满足  $\mathbf{T} \sim A_{\psi(x)}$  关系并控制着移位寄存器状态的变化。

如图 8, 在传输时刻  $j$ , 通过采样矢量  $\mathbf{v}$ , 就可以计算出等效的采样时刻采样值  $z_i$ 。

期是 212 比特的位置, 即  $\alpha_i = 212i - 211, i = 0, 1, 2, \dots, 30$ 。可以验证, 判别矩阵  $\Delta_\alpha$  是满秩的, 因此, 通过这些采样值可以实现扰码同步。

2.3.2.2 加扰端设计以及并发采样技术

分布式扰码加扰端的工作主要是产生伪随机序列并对数据加扰以及对数据进行采样并发送到解扰端。伪随机序列可以通过反馈移位寄存器来实现<sup>[8,10,12]</sup>。对于 APON 系统, 根据 I.432 协议, 采样值  $U_{t-211}$  和  $U_{t+1}$  嵌入到异步传输模式信元信头的 HEC 字节的第 7,8 两个比特, 如表 1 所示。

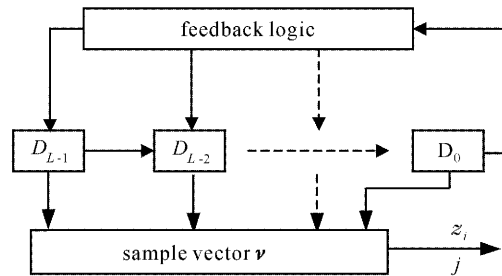


图 8 并发采样原理图

Fig. 8 Scheme of concurrent sample

2.3.2.3 解扰端设计以及公共校正

分布式扰码解扰端的主要工作从下行数据中提取出采样值, 并使用该采样值进行扰码同步, 然后对数据进行解扰。采样值的提取是加扰端加扰的逆运算, 首先计算出加扰后信头的循环冗余校验值, 然后将该值的高两位与收到的信头的 HEC 字段的高两位进行模 2 运算, 得到的结果就是采样值。扰码同

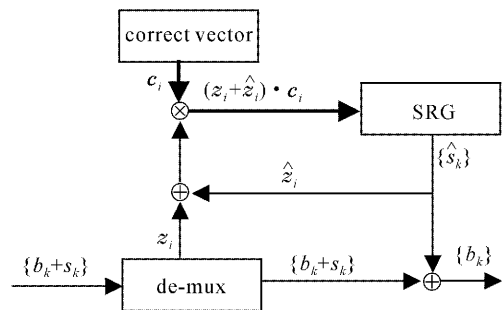


图 9 分布式采样扰码解扰原理图

Fig. 9 Scheme of DSS descrambling

步的原理如图 9 所示。

图 9 中,首先,解复用器将采样数据从下行加扰后的数据中提取出来;然后,解扰器生成与加扰器相同的伪随机序列  $\{\hat{s}_k\}$  并进行采样得到采样值  $\hat{z}_i$ ;最后使用加扰器与解扰器的采样值之和乘纠正矢量,得到  $(z_i + \hat{z}_i) \cdot c_i$ ,用这个矢量来纠正移位寄存器的状态,最终达到同步。从图中可以看出,如果  $\hat{z}_i = z_i$ ,则不纠正移位寄存器状态,否则,就进行纠正,移位寄存器在经过  $L$  次状态纠正后,达到同步状态。

对于一般情况,相对于不同的采样比较结果,纠正矢量的值是不相同的,这就给系统的设计带来麻烦,需要增加很多附加电路。但是,对于一种特殊情况,即,采样间隔是均匀分布的  $\alpha_i = i \cdot \alpha, i = 0, 1, \dots, L-1$ ,则在纠正时间  $\beta_i = \beta + i\alpha, i = 0, 1, 2, \dots, L-1, \beta \leq \alpha, L$  个纠正矢量  $c_i$  取得值相同,称为公共纠正矢量,这可以由式(6)得到

$$c = T^{\beta+(L-1)\alpha} \cdot \tilde{H}^{-1} \cdot e_{L-1}, \quad (6)$$

其中  $\tilde{H} = \begin{bmatrix} \hat{h}^t \cdot \hat{T}^{\alpha_0} \\ \hat{h}^t \cdot \hat{T}^{\alpha_1} \\ \vdots \\ \hat{h}^t \cdot \hat{T}^{\alpha_{L-1}} \end{bmatrix}$ , 而  $h$  定义为生成矢量,是联

系解扰移位寄存器状态与随机序列  $\{\hat{s}_k\}$  的矢量。这样通过  $L$  次采样值的比较,并在纠正时刻  $\beta_i$  使用公共纠正矢量  $c$  对移位寄存器的状态进行纠正,就可以使解扰器与加扰器同步。

### 2.3.3 VHDL 编程以及优化技术

传输汇聚层的设计是在可编程门阵列芯片中使用 VHDL 语言编程实现的,在设计过程中使用了自

顶向下的模块化的设计方法<sup>[11]</sup>,这使得设计的复杂程度大大降低和可维护性大大提高。在设计的优化方面,大量地使用了并行算法以及一些并行的处理方法,不仅降低了系统的运行速度,而且提高了系统的稳定性;应用了流水线以及重定时(re-timing)技术,提高了系统的运行速度并增强了系统的性能;合理地使用了可编程门阵列芯片内的资源,如:延时锁相环(DLL),全局时钟网络,BLOCK RAM 存储资源、查找表(LUT)结构以及寄存器等,大大提高了系统的性能和设计的模块化程度。总之,通过以上的编程和优化技术的使用,不仅降低了系统的设计难度,而且提高了系统的运行速度和性能。经过实际测试,系统目前可以稳定工作于 155.52M 时钟频率下,达到了设计要求。

## 3 系统网络终端物理层的设计实现与测试结果

物理层电路板示意图如图 10 所示。物理层电路板上的功能包括:光电转换功能、时钟提取功能、供电功能、工作状态显示功能、可编程门阵列芯片配置功能、传输汇聚层功能、复位以及测试用的输入输出功能、ATM 物理层通用测试和操作接口功能,它实现了 G.983.1 协议所规定的物理层功能,并能够稳定工作于额定的 155.52M 时钟速率下。其中,传输汇聚层信元同步和分布式采样扰码解扰部分信号的时序如图 11 所示。

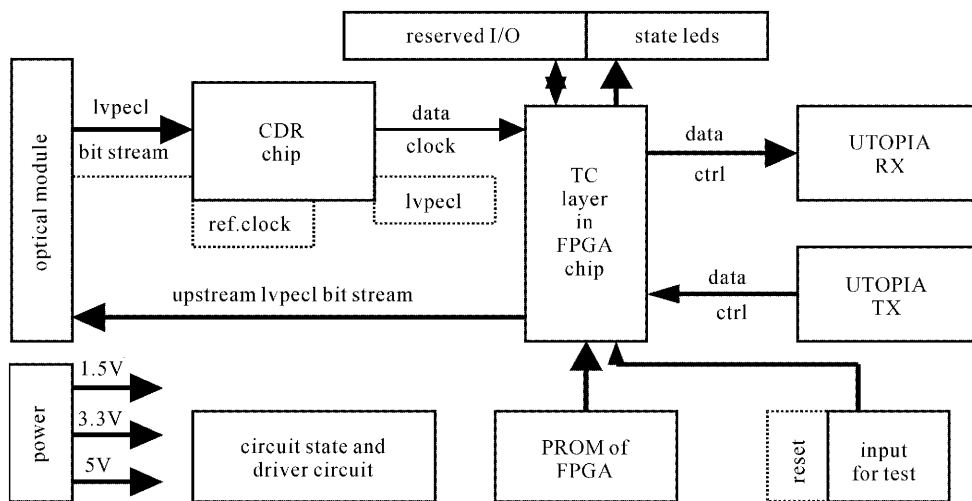


图 10 物理层电路板示意图  
Fig. 10 Sketch map of physical layer circuit

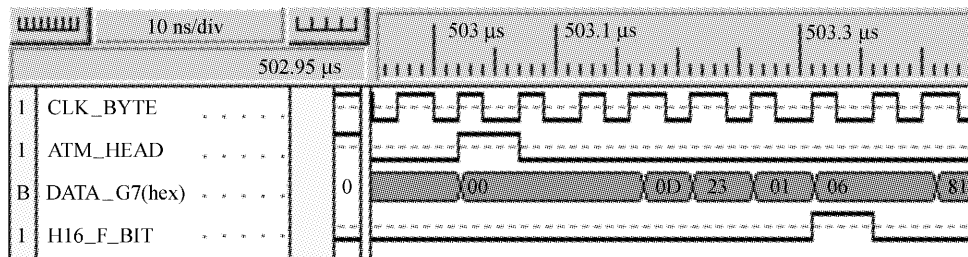


图 11 同步时序图

Fig. 11 Synchronization timing relation figure

图 11 中,CLK\_BYTE 是字节时钟,它是通过比特时钟 8 分频得到的;ATM\_HEAD 信号是信元同步模块输出的与信元第一个字节对齐的字节宽度的脉冲信号;DATA\_G 是并行输出的字节信号;F\_BIT 是帧同步信号,它和帧的第一个物理层操作管理信元的第二个净荷对齐。从图中可以看出,传输汇聚层的信元同步和帧同步功能经过仿真是正确的,并且在电路实际调试中被验证。由于传输汇聚层内部信号繁多,其他信号的时序图在此省略,但在实际调试中均已调试成功。

## 4 结 论

通过对 APON 系统分层结构和下行数据流结构的分析,给出了 APON 系统网络终端物理层的设计原理,并且阐述了设计中使用到的一些关键技术,最后给出了物理层的设计实现以及部分调试结果,最终可以说明该设计能够完成 G. 983. 1 协议所规定的物理层的功能,达到了既定的设计目的。

## 参 考 文 献

- 1 Yongseok Chang, Changgyu Choi, Jonghoon Eom *et al.*. Bandwidth allocation method by service for WDM EPON[J]. *Acta Optica Sinica*, 2003, **23**(Suppl.): 775~776
- 2 YD/T1090-2000, Access Network Technical Specifications—Passive Optical Network Based on ATM[S]  
YD/T1090-2000,接入网技术要求——基于 ATM 的无源光网络(A-PON)[S]
- 3 Qi Jiang, Qiao Yiaojun, Chen Shuqiang *et al.*. A novel initial WDM updata scheme of a passive optical network[J]. *Chinese J. Lasers*, 2001, **A28**(9): 854~856
- 4 齐江,乔耀军,陈树强等. 无源光网络的初步升级方案[J]. *中国激光*, 2001, **A28**(9): 854~856
- 4 Md. Julius Hossain, Md. Nurul Huda. On the QoS for ATM networks using a new buffer utilization technique[J]. *Acta Optica Sinica*, 2003, **23**(Suppl.): 705~706
- 5 Li Mingqi. Broadband Access Network[M]. Beijing: Science Press, 2002. 1~213
- 李明琪. 宽带接入网络[M]. 北京: 科学出版社, 2002. 1~213
- 6 Zhang Juesheng, Zheng Jiyu, Wan Xinping. PLL Technique [M]. Shaanxi: XDU Publish House, 2003. 158~210
- 张厥盛,郑继禹,万心平. 锁相技术[M]. 陕西: 西安电子科技大学出版社, 2003. 158~210
- 7 ITU-T Recommendation I. 432. 1. B-ISDN user-network interface-physical layer specification: General characteristics [S]. Geneva, 1996
- 8 Cai Zongwei. Practicality Coding Technique [M]. Beijing: People's Posts & Telecommunications Publish House, 1983. 1~201
- 蔡宗蔚. 实用编码技术[M]. 北京: 人民邮电出版社, 1983. 1~201
- 9 Qin Xiaoyi, Zeng Lieguang, Huang Fuwei. The integrated design of APON system [J]. *Optical Communication Research*, 2000, (4): 6~11
- 秦晓懿,曾烈光,皇甫伟. APON 系统的集成化设计[J]. *光通信研究*, 2000, (4): 6~11
- 10 Byeong Gi Lee, Seok Chang Kim. Scrambling Techniques for Digital Transmission [M]. London: Springer-Verlag, 1995. 1~233
- 11 Bian Jinian, Xue Hongxi. Circuit Designing Using VHDL Language [M]. Beijing: Tsinghua Publish House, 2000. 1~256
- 边计年,薛宏熙. 用 VHDL 设计电子线路[M]. 北京: 清华大学出版社, 2000. 1~256
- 12 Seok Chang Kim, Byeong Gi Lee. Synchronization of shift register generators in general distributed sample scramblers[J]. *IEEE Transactions on Communications*, 1997, **45** (10): 1253~1259