

文章编号: 0258-7025(2003)04-0345-04

准分子脉冲激光沉积法制备的 ZrO_2 薄膜 结构和电学性能的研究

章宁琳, 宋志棠, 邢 溯, 万 青, 林成鲁

(中国科学院上海微系统和信息技术研究所信息功能材料国家重点实验室, 上海 200050)

摘要 采用准分子脉冲激光沉积法(PLD)分别在 Pt/Ti/SiO₂/Si 和 SiO₂/Si 衬底上制备了 ZrO₂ 薄膜,采用扩展电阻法(SRP)研究了薄膜纵向电阻分布;采用 X 射线衍射法(XRD)研究了衬底温度对 ZrO₂ 薄膜结晶性能的影响;精确测试了薄膜的表面粗糙度;讨论了薄膜结晶性能与其电学 I - V 特性之间的关系。

关键词 薄膜物理学; ZrO₂ 薄膜; 脉冲激光沉积法; 衬底温度; 结晶结构; 电学性能

中图分类号 O 484.1 **文献标识码** A

Investigations on the Relations between Crystal Structure and Electrical Properties of ZrO₂ Thin Films

ZHANG Ning-lin, SONG Zhi-tang, XING Su, WAN Qing, LIN Cheng-lu

(State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of
Microsystem and Information Technology, The Chinese Academy of Sciences, Shanghai 200050, China)

Abstract ZrO₂ thin films were deposited on Pt/Ti/SiO₂/Si and SiO₂/Si substrates by pulsed laser deposition (PLD), respectively. Spreading resistance profile (SRP) was used to study the resistivity distribution across the ZrO₂ thin films. The relations between the crystal structure and substrate temperature were tested, using X-ray diffraction (XRD). The surface roughness of ZrO₂ thin films is measured accurately and the influence of the crystal structure of the ZrO₂ thin films on their electrical I - V characteristics is briefly discussed.

Key words thin-film physics; ZrO₂ thin film; PLD; substrate temperature; crystal structure; electrical property

1 引 言

在过去的 30 年里,随着微电子行业的不断发展,硅基工业已经取得了惊人的进展,半导体器件的尺寸越来越小,单片集成电路上器件数越来越多。随着器件尺寸的减小和性能的不断提高,成本不断下降。这一现象称之为“摩尔定律”,即单一芯片上的器件数每 18 个月翻一番,晶体管数目不断增加,尺寸不断减小,如表 1 所示。当偏置电压为 1 V 时,栅极漏电流从栅极氧化物厚度为 3.5 nm 时的 1×10^{-11} A/cm² 陡增至 1.5 nm 时的 1×10 A/cm²,即当栅氧化层厚度减小约一半时,漏电流增加了 12 个

数量级。栅极电介质漏电流的陡增造成 MOS 器件“关”态时的功耗增加,因而对器件集成度、可靠性和寿命都有很大的影响。同时为了增强 MOSFET 的电流驱动能力和加快集成电路的运行速度,根据驱动电流和栅氧化物厚度的关系^[1]

$$I_{\text{dsat}} = \frac{1}{2} \frac{W}{L} \frac{\epsilon_0 K A}{\mu_n t_{\text{ox}}} (V_G - V_T)^2$$

式中 I_{dsat} 为 MOSFET 的饱和驱动电流, V_G 为栅压, V_T 为阈值电压, ϵ_0 为真空介电常数(通常取 $\epsilon_0 = 1$), μ_n 为载流子迁移率, W 为沟道宽度, L 为沟道长度, t_{ox} 为栅介质厚度, K 为栅介质的介电常数。根据上式,随着器件的尺寸越来越小,同时为了增大器件的

收稿日期: 2002-01-28; 收到修改稿日期: 2002-04-30

基金项目: 国家 973(G2000036506)和国家自然科学基金(J960202-s 和 90101012)资助项目。

作者简介: 章宁琳(1977—),女,中国科学院上海微系统与信息技术研究所在读博士,主要从事高介电常数介质和光子晶体方面的研究。E-mail: ninglinzhang@mail.sim.ac.cn

饱和驱动电流,需要采用具有较高介电常数的物理厚度较大的栅介质薄膜材料,可以大大降低直接隧穿效应和栅介质层承受的电场强度^[2]。

表 1 符合摩尔定律的中央处理器发展简表

Table 1 Brief table of the development of central processing unit in accordance with Moore Law

Central processing unit (CPU)	Production year	Transistors
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386 TM processor	1985	275,000
486 TM DX processor	1989	1,180,000
Pentium processor	1993	3,100,000
Pentium II processor	1997	7,500,000
Pentium III processor	1999	24,000,000
Pentium 4 processor	2000	42,000,000

ZrO₂ 薄膜具有独特的优点:1) 适当的介电常数(15~30);2) 宽禁带(7.8 eV);3) 在 Si 上热稳定性好;4) 可以被 HF 溶液腐蚀,因此可以与传统的 MOS 生产工艺兼容^[3],故其作为栅介质材料得到了广泛的研究^[4~6],文献中虽然对 ZrO₂ 薄膜的电学性能作了较全面的研究,但是没有给出结构和电学性能之间的联系,本文正是针对这一点,着重研究了 ZrO₂ 薄膜结构和相应的电学 *I-V* 特性,并考察了薄膜表面形貌和粗糙度等性质。

制备 ZrO₂ 薄膜的方法很多,主要有分子束外延(MBE)^[7],金属有机物化学气相沉积法(MOCVD)^[8]、反应磁控溅射法(RF sputtering)、溶胶-凝胶法(Sol-gel)^[9]和脉冲激光沉积(PLD)^[10]法等。PLD 法具有保持靶材料和薄膜较好的化学计量比一致性、生长速率高、沉积参数易调节等优点。而准分子脉冲激光光子能量高、功率密度大、易被材料吸收,从陶瓷靶表面激发出的原子、分子或原子簇具有高动能,这样沉积到衬底表面后的上述粒子有足够的动能进行结构重排,从而获得高质量的和靶材料化学配比一致的结晶薄膜,是研究薄膜生长的理想实验手段之一。

2 实 验

采用德国制造的 Lambda Physik LPX120icc 准分子激光器沉积 ZrO₂ 薄膜,激光输出波长为 193

nm,输出能量密度范围 2~5 mJ/cm²。ZrO₂ 陶瓷靶由分析纯二氧化锆白色结晶性粉末经过机械压成圆柱状,再经过等静压,最后在 800℃,1000℃和 1300℃空气氛围中分别热处理 4 h,2 h,1.5 h。衬底采用 Pt/Ti/SiO₂/Si 和 SiO₂/Si,并用常规半导体清洗工艺清洗,然后迅速装入靶室。首先由机械泵和分子泵将靶室抽真空至 1 Pa,然后通入高纯 O₂,在实验过程中持续通高纯 O₂ 并保持 O₂ 分压恒定为 10 Pa。

ArF 激光束经紫外光学透镜会聚成一面积为 3 mm² 左右的光斑,激光光斑以 45°入射角打在 ZrO₂ 陶瓷靶上,其旋转速率为 5 r/min,靶材与衬底间距为 4 cm。图 1 给出了准分子脉冲激光沉积过程示意图。PLD 属于非平衡成膜方法,脉冲激光对靶材料的烧蚀形成局部高温等离子体,烧蚀产物具有较高的动能和位能^[11]。衬底背面可通过加热丝升温,热电偶传感显示温度值。实验条件下衬底温度范围 400~700℃。激光输出能量密度 3.5 mJ/cm²,频率 3 Hz,沉积时间 30 min。

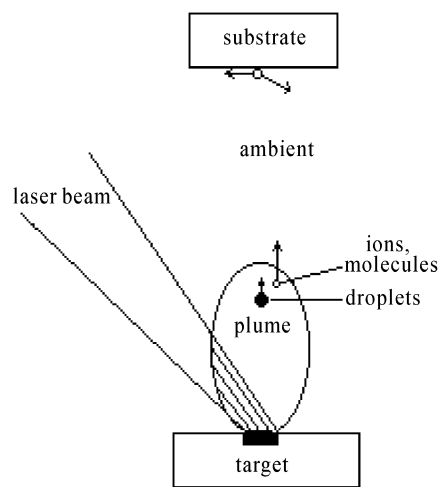


图 1 脉冲激光沉积过程示意图

Fig. 1 Sketch of the process of pulsed laser deposition

采用扩展电阻法(SRP)研究了薄膜厚度及纵向电阻分布;采用 X 射线衍射法(XRD)研究了衬底温度对 ZrO₂ 薄膜结晶性能的影响;精确测试了薄膜的表面粗糙度;测试了薄膜的 *I-V* 特性曲线以表征薄膜的漏电流性能。

3 结果与讨论

扩展电阻法因具有测量范围宽(测量深度从几纳米到几百微米),深度分辨率高(每一数据点间隔

可达几纳米),测量的分辨率简易可调,能测多结构等特点,广泛用于测试薄膜的纵向电阻分布和界面情况^[12,13]。为了测得 ZrO_2 薄膜的厚度和纵向电阻分布情况,同时为了得到清晰的电阻分布界面,采用了 Pt/Ti/SiO₂/Si 衬底,对薄膜测试了扩展电阻。图 2 给出了 Pt/Ti/SiO₂/Si 衬底上 ZrO_2 薄膜的扩展电阻曲线。从图中可得 ZrO_2 薄膜厚度为 0.11 μm 左右,电阻分布呈现出清晰的绝缘层 ZrO_2 和衬底表面金属层 Pt/Ti 的界面,衬底其余界面(Ti/SiO₂, SiO₂/Si)也很陡直。而且 ZrO_2 薄层的电阻在 $10^8 \Omega$ 以上,说明其绝缘性能好,与 SiO₂ 相当。

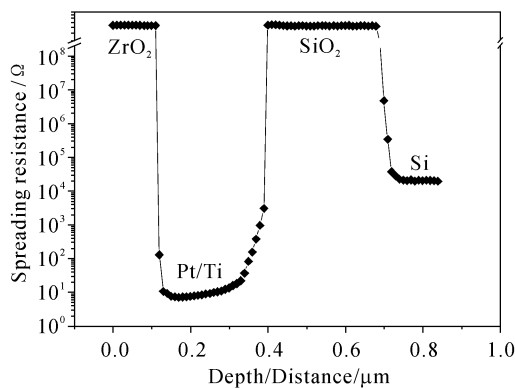


图 2 ZrO_2 薄膜的扩展电阻深度分布

Fig. 2 Spreading resistance profile of ZrO_2 thin films

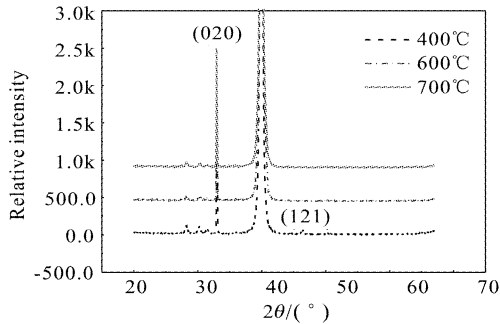


图 3 不同衬底温度下 ZrO_2 薄膜的 XRD 谱

Fig. 3 XRD spectrum of ZrO_2 thin films deposited at different temperatures

3.1 衬底温度对 ZrO_2 薄膜结晶性能的影响

图 3 给出了不同衬底温度条件下生长的 ZrO_2 薄膜的 XRD 实验曲线。在衬底温度为 400℃ 条件下沉积的 ZrO_2 薄膜为主要取向有两个峰,分别对应(020)和(121)晶向。随着温度的升高,(020)峰呈逐渐长大的趋势,并且当温度升高至 600℃ 和 700℃ 时,(121)峰基本消失,生成了主要取向为(020)的 ZrO_2 薄膜。这可能和 ZrO_2 薄膜不同晶面的生成自

由焓有关,说明温度升高,有利于(020)晶向生长。

3.2 衬底温度对 ZrO_2 薄膜表面粗糙度的影响

样品采用的衬底是热氧化 Si 片。表面粗糙度也是栅介质薄膜材料一个非常重要的性能指标。对于 1 nm 厚的氧化物薄膜来说,其均方根(Root-Mean-Square,RMS)粗糙度每增加 0.1 nm,漏电流将增加 10 倍^[14]。薄膜的表面粗糙度对薄膜性质产生了很大的影响,因此相对精确地表征这一性质就显得尤为重要。图 4 相对精确地表征了 ZrO_2 薄膜的表面粗糙度。 ZrO_2 薄膜也是淀积在热氧化 Si 片上的。400℃ 衬底温度下, ZrO_2 薄膜的表面凹凸处的最大峰值差在 25 nm 左右;衬底温度为 600℃,其值在 20 nm 左右;当衬底温度达到 700℃ 时,该值增大到 26 nm 以内。但是平均粗糙度明显是在 400℃ 和 700℃ 时高,600℃ 时表面相对平坦。400℃ 生长的 ZrO_2 薄膜由于具有较多的晶面,这样潜在地裸露 ZrO_2 薄膜表面的晶面多,所以相对粗糙度大,且表面出现了较大的峰值差。当温度升高至 600℃ 时,薄膜晶面由两个主要取向变成一个,宏观上就表现出了较小的粗糙度和相对平坦的表面;而当进一步升高衬底温度,导致晶体相应晶面的不断生长,这样薄膜的表面粗糙度就又增大了,表面出现相对规则的较大起伏。

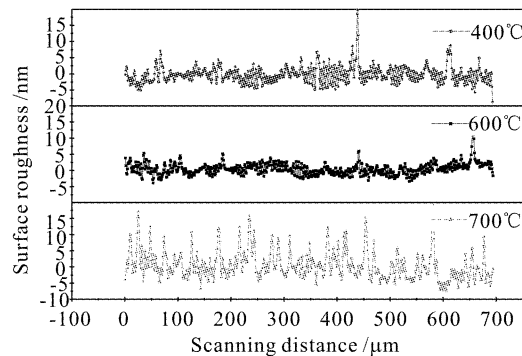


图 4 不同衬底温度样品的表面粗糙度

Fig. 4 Surface roughness of samples prepared at different temperatures

3.3 衬底温度对 ZrO_2 薄膜的电学 $I-V$ 特性的影响

随着器件特征尺寸的不断减小,尤其对于传统的 SiO₂ 栅介质,栅偏压为 1 V 时介质厚度在 ~3.5 nm 数量级,漏电流为 $1 \times 10^{-12} \text{ A/cm}^2$ 数量级,而当膜厚降至 ~1.5 nm 时,漏电流达 $1 \times 10 \text{ A/cm}^2$ ^[15]。如此大的漏电流将对器件的可靠性产生极大的影响,并且造成器件的功耗也相当大,从而给整个集成电路的稳定性和可靠性造成不好的影响。而高 K

介质则可以保证足够的物理厚度的同时,避免这种由电子直接隧穿导致的漏电流。因此作为未来栅介质的候选高 K 材料之一,其电学 $I-V$ 特性的研究就显得尤为重要。

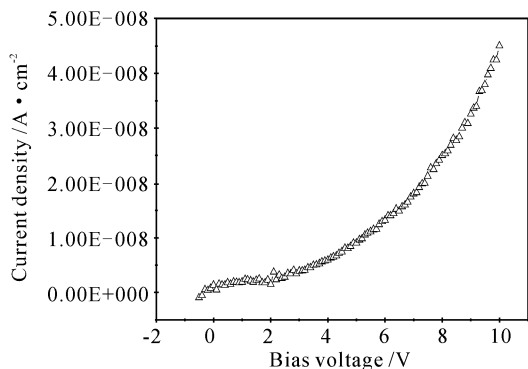


图 5 典型 $I-V$ 特性曲线(衬底温度为 700°C 样品)

Fig. 5 Typical $I-V$ characteristic curve of the sample (deposited at 700°C)

表 2 不同衬底温度样品偏压为 5 V 时对应的漏电流

Table 2 Leakage currents of samples prepared at different temperatures with gate bias at 5 V

Samples	Leakage current when gate bias at $5\text{ V} / \text{A} \cdot \text{cm}^{-2}$
Substrate Temp. 400°C	1.299×10^{-7}
Substrate Temp. 600°C	6.987×10^{-10}
Substrate Temp. 700°C	9.035×10^{-9}

图 5 给出的是衬底温度为 700°C 时样品的典型 $I-V$ 特性曲线。相应栅偏压为 5 V 时对应的漏电流的大小如表 2 所示。从表中数据可以看出,衬底温度为 400°C 时,所对应的漏电流比 600°C 和 700°C 样品的要高 2~3 个数量级,可能其多晶(121)取向对薄膜的漏电流性质不利。衬底温度为 600°C 和 700°C 时样品相应漏电流非常小。产生这种现象的原因可以这样解释:对于集成电路上纳米尺寸的器件来说,多晶薄膜上漏电流本身就分布不均匀,这是因为晶粒之间的晶界往往成为漏电流的通路^[16]。而 400°C 生长的 ZrO_2 薄膜由于较多的晶面,因而相对漏电流较大;而当温度升高至 600°C 时,薄膜晶面由两个主要取向变成一个,所以漏电流性能相对得到改善;而当进一步升高衬底温度,导致晶体相应晶面的不断生长、增大,这样薄膜的表面粗糙度就有所增加,而表面粗糙度也对薄膜的电学性能,尤其是漏电流性能产生负面影响。

参 考 文 献

- 1 C. C. Liao, Albert Chin, C. Tsai. Electrical characterization of Al_2O_3 on Si from thermally oxidized AlAs and Al [J]. *J. Crystal Growth*, 1999, **201/202**: 652~655
- 2 Tang Jinfeng, Liu Xiaoyan, Wang Wei *et al.*. Epitaxial growth of CeO_2 films on Si(100) substrate and its electrical properties [J]. *Chinese J. Semiconductors* (半导体学报), 2001, **22**(7):865~870 (in Chinese)
- 3 Zhang Ninglin, Wan Qing, Song Zhitang *et al.*. High quality ZrO_2 thin films deposited on silicon by high vacuum electron beam evaporation [J]. *Chin. Phys. Lett.*, 2002, **19**(3):395~397
- 4 Wen-Jie Qi, Byoung Hun Lee, Renee Nieh *et al.*. High-K Gate Dielectrics [C]. California: Part of the SPIE Conference on Microelectronic Device Technology III Santa Clara, California, 1999, **3881**(9):24~32
- 5 T. Ngai, W. J. Qi, R. Sharma *et al.*. Electrical properties of ZrO_2 gate dielectric on SiGe [J]. *Appl. Phys. Lett.*, 2000, **76**(4):502~504
- 6 Wen-Jie Qi, Renee Nieh, Byoung Hun Lee *et al.*. Ultrathin zirconium silicate thin film with good thermal stability for alternative gate dielectric application [J]. *Appl. Phys. Lett.*, 2000, **77**(11):1704~1706
- 7 H. Asaoka, Y. Katano, K. Noda. Epitaxial growth of zirconium dioxide films on sapphire substrates [J]. *Applied Surface Science*, 1997, **113/114**:198~201
- 8 T. S. Jeon, J. M. White, D. L. Kwoong. Thermal stability of ultrathin ZrO_2 films prepared by chemical vapor deposition on Si(100) [J]. *Appl. Phys. Lett.*, 2001, **78**(3):368~370
- 9 Weimin Huang, Jianlin Shi. Properties of zirconia films dispersed with PbS nanoparticles [J]. *J. Mater. Res.*, 2000, **15**(11):2343~2346
- 10 F. Hanus, L. D. Laude. Pulsed laser deposition of polycrystalline zirconia thin films [J]. *Applied Surface Science*, 1998, **127~129**:544~548
- 11 Ling Hao, Shi Wei, Sun Jian *et al.*. Preparation of aluminum nitride films using pulsed laser deposition [J]. *Chinese J. Lasers* (中国激光), 2001, **A28**(3):272~274 (in Chinese)
- 12 J. Lin-Kwang, S. Ramey, J. M. Reynes *et al.*. The role of spreading resistance profiling in manufacturing control and technology development [J]. *Microelectronics Reliability*, 2000, **40**:1497~1502
- 13 T. Clarysse, P. Eyben, T. Hantschel *et al.*. Towards sub-10 nm carrier profiling with spreading resistance techniques [J]. *Materials Science in Semiconductor Processing*, 2001, **4**:61~66
- 14 D. A. Muller, T. Sorsch, S. Moccio *et al.*. The electronic structure at the atomic scale of ultrathin gate oxides [J]. *Nature*, 1999, **399**:758~761
- 15 S.-H. Lo, D. A. Buchanan, Y. Taur *et al.*. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin oxide nMOSFETs [J]. *IEEE Electron Device Lett.*, 1997, **18**:209
- 16 L. Manchanda, M. D. Morris, M. L. Green *et al.*. Multi-component high-K gate dielectrics for the silicon industry [J]. *Microelectronic Engineering*, 2001, **59**: 351~359